## G. Datablad for portkretser

#### G.1. Forklaring av forkortelser

For å forstå databladet riktig, er det viktig å ha klart for seg hvilke data som er oppgitt. De fleste datablad følger en standard navngiving av variable, men det er meget viktig at dere ved fremtidig bruk av datablad sjekker med produsenten hva eksakt mener med de forskjellige dataene. Enkelte avvik kan forekomme.

Under følger en kort forklaring på de data dere har behov for i laboratorieøvingene.

**Typ** Typisk verdi: Dette er den «forventede» verdien. Faktiske verdier kan ligge både under og over denne verdien.

**Max** Maks verdi: Den oppgitte parameter skal ikke, under noen omstendighet, overgå denne verdien. Det er viktig å merke seg hvilke forutsettninger maksverdien er gitt under.

**Min** Minimumsverdi: Den oppgitte parameter skal ikke under noen omstendighet under denne verdien.

 $t_{PLH}$  Forplantningstiden for når signalet går fra «lav» til «høy».

 $t_{PHL}$  Forplantningstiden for når signalet går fra «høy» til «lav».

 $t_{TLH}$  Stigetiden. Signalet går fra «lav» til «høy».

 $t_{THL}$  Falltiden. Signalet går fra «høy» til «lav».

 $V_{DD}$  Driftspenningen verdien er gyldig for.

 $V_{IL}$  Maksimumspenningen et innsignal kan ha, og fremdeles bli tolket som binært 0.

 $V_{IH}$  Minimumspenningen et innsignal kan ha, og fremdeles bli tolket som binært 1.

**MERK**: For de påfølgende data i databladene er gitt under forutsettning av en gitt temperatur,  $T_A$ , gitt lastkapasitans  $C_L$  og gitt resistiv last  $R_L$ . I tillegg er det antatt innsignal innenfor krav til både spenning og stige-/falltid.

### G.2. Timingdata for CD4011UB(x)



CMOS Quad 2-Input NAND Gate

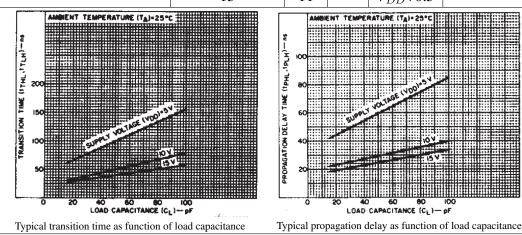
**CD4011UB** 

Data sheet acquired from Harris Semiconducto SCHS022D - Revised September 2003

Dynamic electrical characteristics at:

 $T_A=25^\circ$  C, Input  $t_{THL}$  and  $t_{TLH}=20$  ns,  $C_L=50$  pf,  $R_L=200~{\rm k}\Omega$ 

CHARACTERISTICS	CONDITIONS	LIMITS			UNITS
	$V_{DD}$ [V]	Min	Тур	Max	ONIIS
Propagation Delay Time, $t_{PLH}, t_{PHL}$	5	-	60	120	
	10	-	30	60	ns
	15	-	25	50	
Transition Time, $t_{TLH}, t_{THL}$	5	-	100	200	
	10	-	50	100	ns
	15	-	40	80	
Input Capacitance, $C_{IN}$	-	-	10	15	pF
Input logic-low $V_{IL}$	5	-0.5		1.5	
	10	-0.5	-	3	V
	15	-0.5	-	4	
Input logic-high $V_{IH}$	5	3.5		$V_{DD}$ +0.5	
	10	7	-	$V_{DD}$ +0.5	V
	15	11	-	$V_{DD}$ +0.5	



Tabell G.1.: Timingdata for CD4011UB(x)

#### G.3. Timingdata for CD4030B



CMOS Quad Exclusive-OR Gate

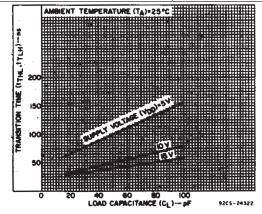
**CD4030B** 

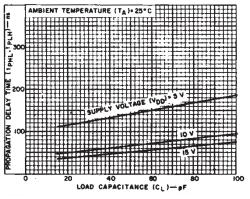
Data sheet acquired from Harris Semiconduc SCHS035C - Revised September 2003

Dynamic electrical characteristics at:

 $T_A=25^{\circ}$  C, Input  $t_{THL}$  and  $t_{TLH}=20$  ns,  $C_L=50$  pf,  $R_L=200~{\rm k}\Omega$ 

CHARACTERISTICS	CONDITIONS	LIMITS			UNITS
	$V_{DD}$ [V]	Min	Тур	Max	
Propagation Delay Time, $t_{PLH}, t_{PHL}$	5	-	140	280	
	10	-	65	130	ns
	15	-	50	100	
Transition Time, $t_{TLH}, t_{THL}$	5	-	100	200	
	10	-	50	100	ns
	15	-	40	80	
Input Capacitance, $C_{IN}$	-	-	5	7.5	pF
Input logic-low $V_{IL}$	5	-0.5		1.5	
	10	-0.5	-	3	V
	15	-0.5	-	4	
Input logic-high $V_{IH}$	5	3.5		$V_{DD}$ +0.5	
	10	7	-	$V_{DD}$ +0.5	V
	15	11	_	$V_{DD}$ +0.5	





Typical transition time as function of load capacitance

Typical propagation delay as function of load capacitance

Tabell G.2.: Timingdata for CD4030B

#### G.4. Timingdata for CD4081B



CMOS Quad 2-input AND Gate

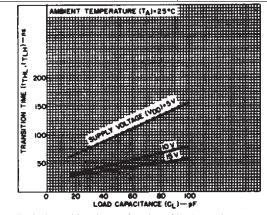
CD4081B

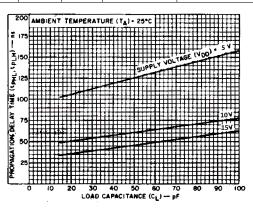
Data sheet acquired from Harris Semiconducto SCHS057C - Revised September 2003

Dynamic electrical characteristics at:

 $T_A=25^\circ$  C, Input  $t_{THL}$  and  $t_{TLH}=20$  ns,  $C_L=50$  pf,  $R_L=200~{\rm k}\Omega$ 

CHARACTERISTICS	CONDITIONS	LIMITS			UNITS
	$V_{DD}$ [V]	Min	Тур	Max	UNITS
Propagation Delay Time, $t_{PLH}, t_{PHL}$	5	-	125	250	
	10	-	60	120	ns
	15	-	45	90	
Transition Time, $t_{TLH}, t_{THL}$	5	-	100	200	
	10	-	50	100	ns
	15	-	40	80	
Input Capacitance, $C_{IN}$	-	-	5	7.5	pF
Input logic-low $V_{IL}$	5	-0.5		1.5	
	10	-0.5	-	3	V
	15	-0.5	-	4	
Input logic-high $V_{IH}$	5	3.5		$V_{DD}$ +0.5	
	10	7	-	$V_{DD}$ +0.5	V
	15	11	-	$V_{DD}$ +0.5	



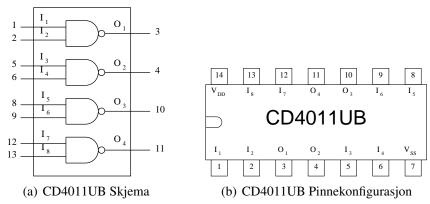


Typical transition time as function of load capacitance

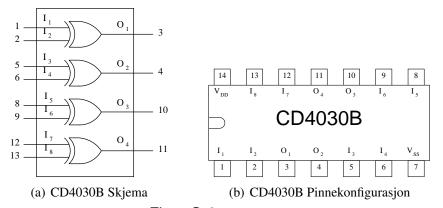
Typical propagation delay as function of load capacitance

Tabell G.3.: Timingdata for CD4081B

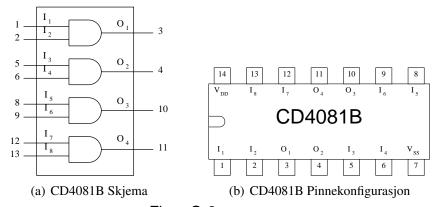
# G.5. Pinnekonfigurasjon for CD4011UB, CD4030B og CD4081B



Figur G-1.: CD4011UB



Figur G-2.: CD4030B



Figur G-3.: CD4081B