**文档版本： Ver1.0**

**Lab4\_利用makefile脚本做仿真**

**请大家将自己的作业上传到发给讲师邮箱，word的命名采用“姓名\_第n次\_VCS”格式。**

**实验简介：**

通过这次实验，熟悉使用VCS工具编译仿真，理解逻辑仿真技术, 同时理解构成一个验证平台（以下称为Testbench）最基本的组件 – 激励生成、响应获取和结果比对。利用makefile脚本完成自动化的仿真。

**实验目的：**

1. 熟悉使用VCS工具的使用方法，包括GUI界面
2. 熟悉使用Makefile脚本使用VCS 工具进行编译和仿真
3. 对一个典型的基于Verilog的Testbench有一个大致的感受；

**实验准备：**

* 没有基础的同学，请预习文件中的脚本内容，如果其它仿真工具基础的同学，请参考脚本makefile其它后缀的文件。
* 使用VNC登录服务器，本次上机内容在以下路径，请自行拷贝到你的主目录下做上机题：

***/ASIC\_design/04-lab4\_logic\_simulation2***

目录中，该目录中包含了本次实验所需要的相关代码和文档。

* 如果在上述准备工作中遇到任何困难，请及时与讲师联系解决。

**实验步骤：**

虽然使用命令行可以方便执行仿真任务，但是实际工程中，文件量大，每次仿真都敲一遍所有命令，浪费时间，可以将这些语句写入自动化运行的脚本中，在需要的时候直接调用脚本执行命令即可自动完成编译和仿真的过程。本次实验中请使用Makefile脚本来实现编译仿真。

此处共有4个文件夹，一共有4个设计，请对这4个代码添加仿真环境tb，添加makefile，查看仿真波形。

附上做这4个电路的仿真脚本和实验步骤截图，并各自说明这4个电路的功能。（每个电路25分，共100分）