

Trabalho Prático 2

DCC006: Organização de Computadores

Professor: Omar Paranaíba Vilela Neto

Monitor: Arthur Fortini

18 de maio de 2023

Antes de começar seu trabalho, leia todas as instruções abaixo:

- O trabalho pode ser feito em grupos compostos por até 3 alunos.
- Cópias de trabalho acarretarão em devida penalização às partes envolvidas.
- Entregas após o prazo serão aceitas, porém haverá uma penalização. Quanto maior o atraso maior a penalização.
- O objetivo desse trabalho é te familiarizar com a Linguagem de Descrição de Hardware Verilog. Será disponibilizado no moodle um arquivo .ipynb com uma implementação do RISC-V 5 estágios em Verilog. Sua tarefa neste trabalho será alterar o caminho de dados fornecido a fim de incluir mais operações e módulos. **É necessário executar esse arquivo no Google Colab**, sendo esta a plataforma que será utilizada para avaliar as submissões dos trabalhos.
- Você deve entregar um único arquivo zip, contendo um arquivo .ipynb com a implementação do caminho de dados com as funções pedidas a seguir, em Verilog. Note que todas as funções devem estar no mesmo caminho de dados, ou seja, o trabalho é incremental, você deve entregar **somente um caminho de dados contendo todas as funções solicitadas**.
- Deverão ser implementados os arquivos Verilog e os códigos de teste em assembly das instruções. As suas modificações devem ser feitas em uma cópia do código Verilog fornecido. **É recomendado que você mostre as formas de onda, assim como mostradas nos exemplos do arquivo .ipynb fornecido**.
- No mesmo arquivo zip contendo o caminho de dados, você deve **enviar um relatório**, em pdf, explicando suas decisões de projeto, testes realizados e waveforms. Este documento deve conter **nome e matrícula de todos os integrantes do grupo**.
- **Cada grupo deve fazer somente uma submissão.**

1 Orientações para compilar os arquivos Verilog e rodar testes

No .ipynb fornecido, você encontrará a implementação de um RiscV sem foward, e com unidade de Hazard. Para se familiarizar com sua estrutura, siga os passos abaixo:

1. Na seção 'Assembly' há um exemplo de um código de testes em hexadecimal, e em seguida um código em Python que pode auxiliar a transformá-lo em hexadecimal. Todos os testes devem ser carregados em hexadecimal para a memória de instruções do processador. Teste diferentes combinações de instruções.
2. Execute as células da seção 'Instalação de Extensões'
3. A seção 'Implementação do Processador' contém as descrições em Verilog de todos os estágios do processador. Elas estão divididas por estágio. No final há uma imagem do processador para ilustração. Execute cada uma das células e se familiarize com a implementação.
4. Em 'Código de execução' e 'Compilando e Executando' há um exemplo de como escrever as instruções pra serem carregadas no processador (que devem estar em `im_data.txt`) e como rodar. Note que após a execução é printado o estado do pipeline ao longo da execução do programa. Além disso, vocês podem sempre printar os bancos de registradores para conferir o estado final do processador. Esses dados ficam em `reg.data` e `mem.data`.
5. Em 'Interativo Compilando e Executando' há uma versão interativa do estado do pipeline, onde você pode ver uma animação do estado do processador a cada ciclo de execução.
6. Em 'Teste Load e Store' e 'Material Complementar (debug)', há mais exemplos de execução de instruções e também de como gerar uma waveform para sinais específicos do Design. No relatório é desejado que se coloque waveforms mostrando os sinais de interesse para verificar se a execução das instruções implementadas está correta.
7. Utilizem a seção 'Testes' para adicionar seus testes e tudo que seja relevante para explicar o processo de desenvolvimento e validação das novas instruções.

2 Problemas

Para este trabalho prático, deve-se implementar as seguintes instruções:

1. `mul Rd, Rs1, Rs2`
2. `div Rd, Rs1, Rs2`
3. `andi Rd, Rs1, Rs2`
4. `beq, Rs1, Rs2, label`

Para mais informações sobre o funcionamento dessas instruções confira a documentação do RISC-V:

<https://github.com/riscv/riscv-isa-manual/releases/latest>