|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  | | --- | | 258057-15121013434242 | | 2022/11/21  實驗九  暫存器定址  姓名：張銀軒 學號：00957050  班級：資工3A  E-mail：00957050@mail.ntou.edu.tw | |  | |  | |  | | --- | | 注意繳交時一律轉PDF檔繳交期限為上完課後當週五晚上12點前一人繳交一份檔名：學號\_HW?.pdf檔名請按照作業檔名格式進行填寫未依照格式不予批改 | |  | |  | |

* **實驗說明：**

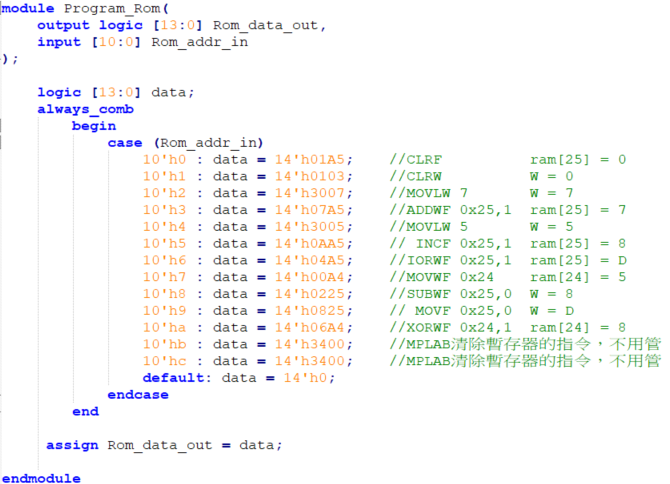
1. 如圖所示，設計一個架構實現暫存器定址的指令
2. 輸入：clk, reset
3. 輸出：w\_q[7:0]

下方有附Rom的截圖，請務必按照規定的input及output來做

* **系統硬體架構方塊圖（接線圖）：**



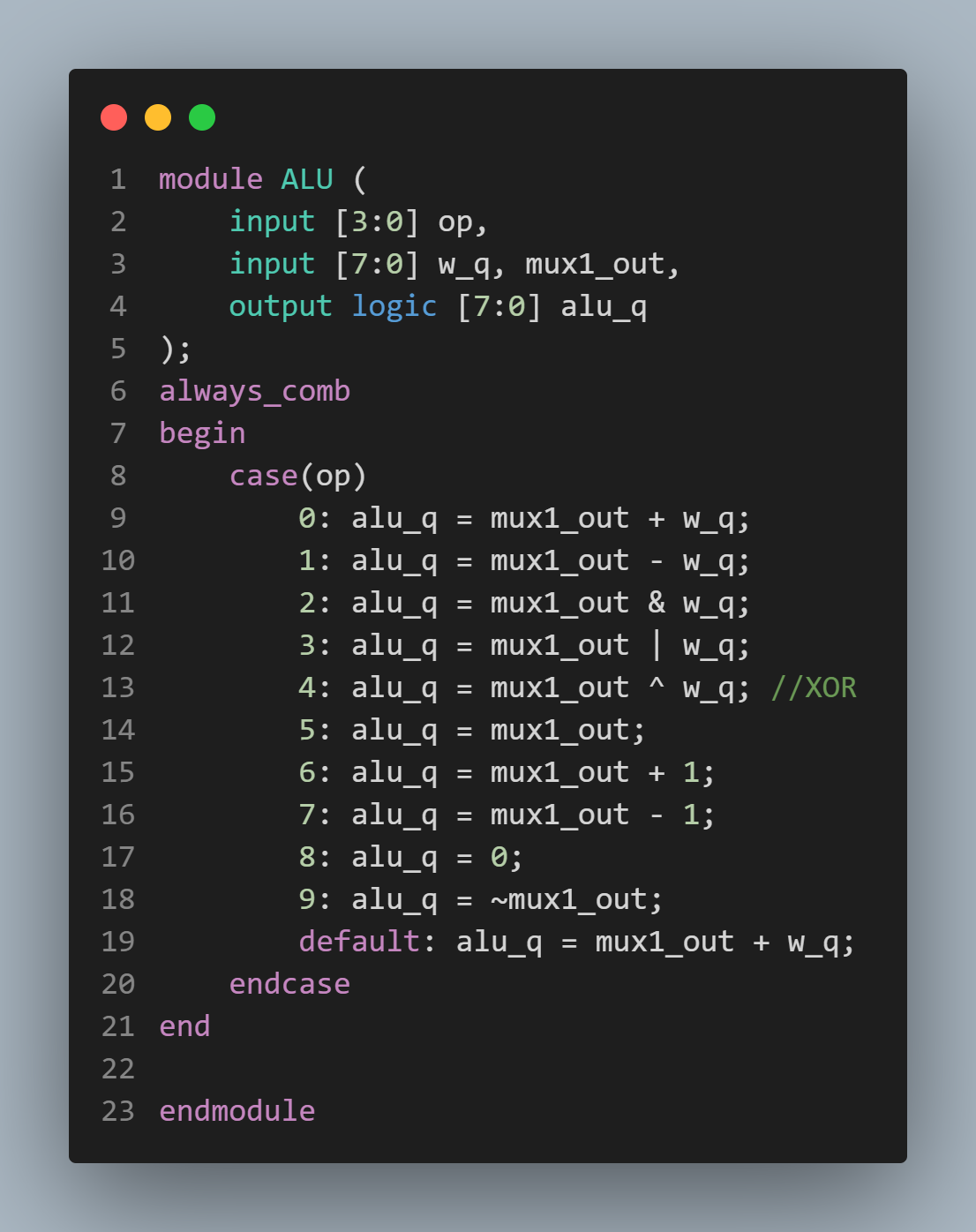
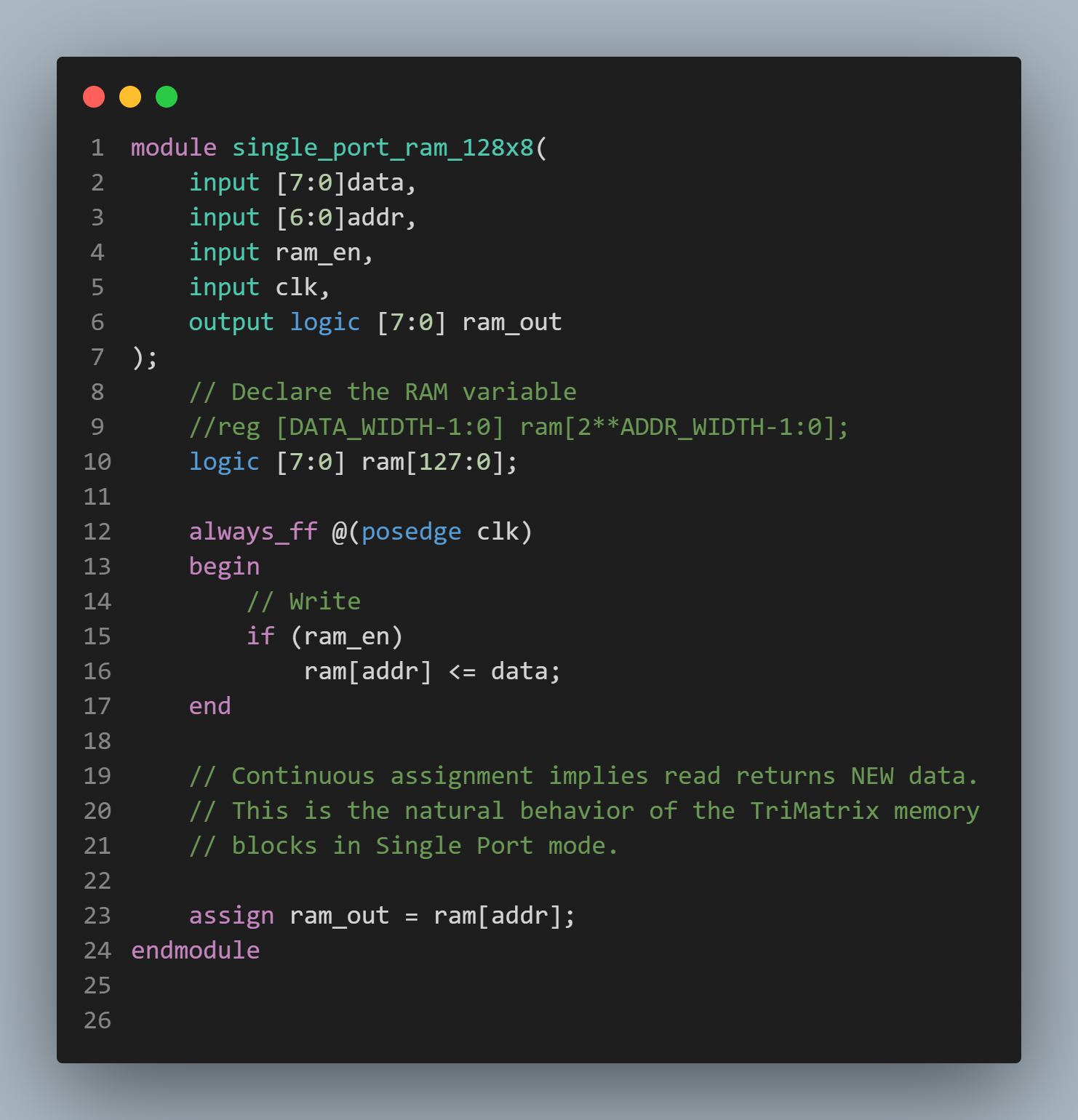
**架構圖**

****

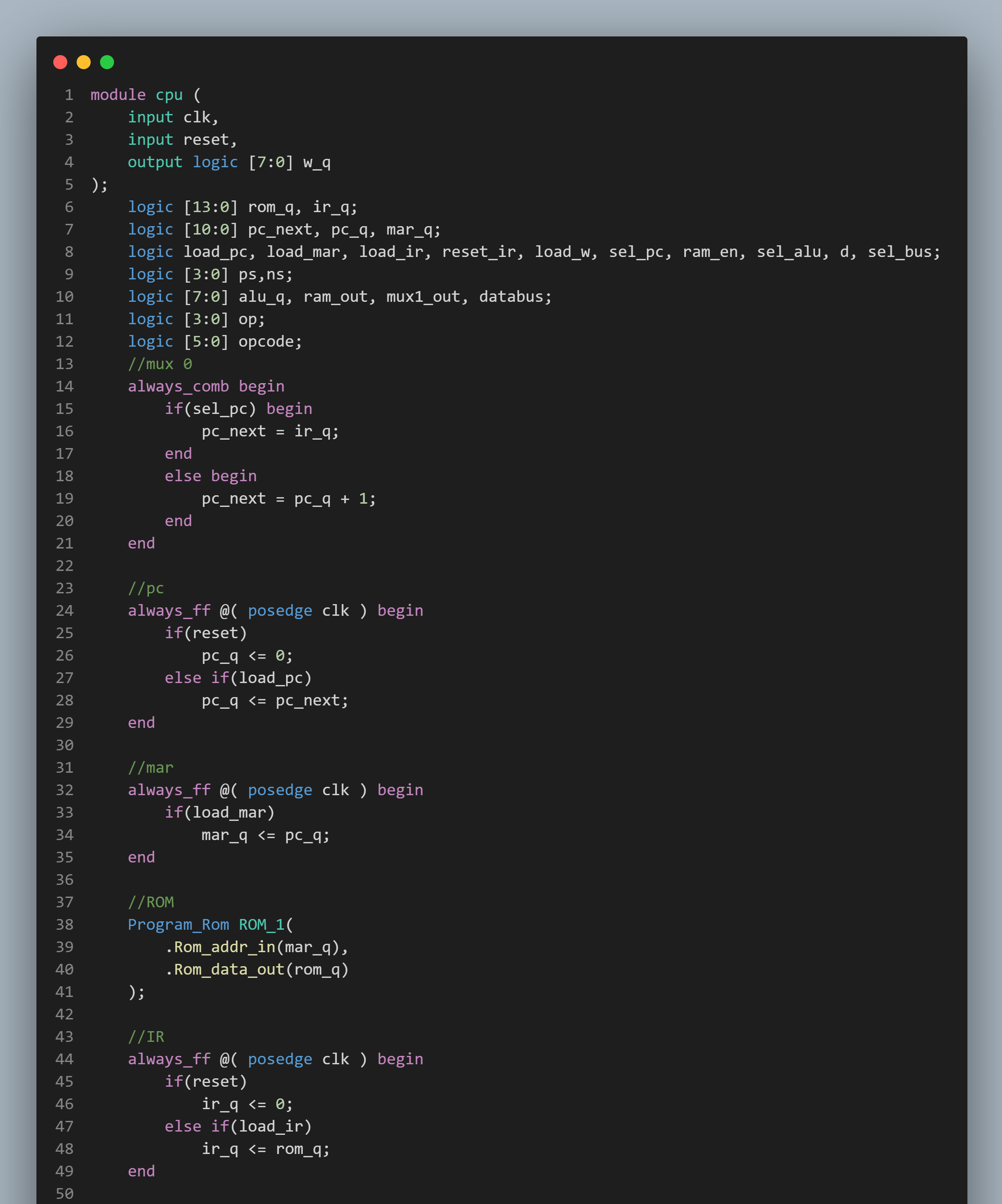
**Program\_Rom**

* **系統架構程式碼、測試資料程式碼與程式碼說明(.sv檔及.do檔都要截圖)**

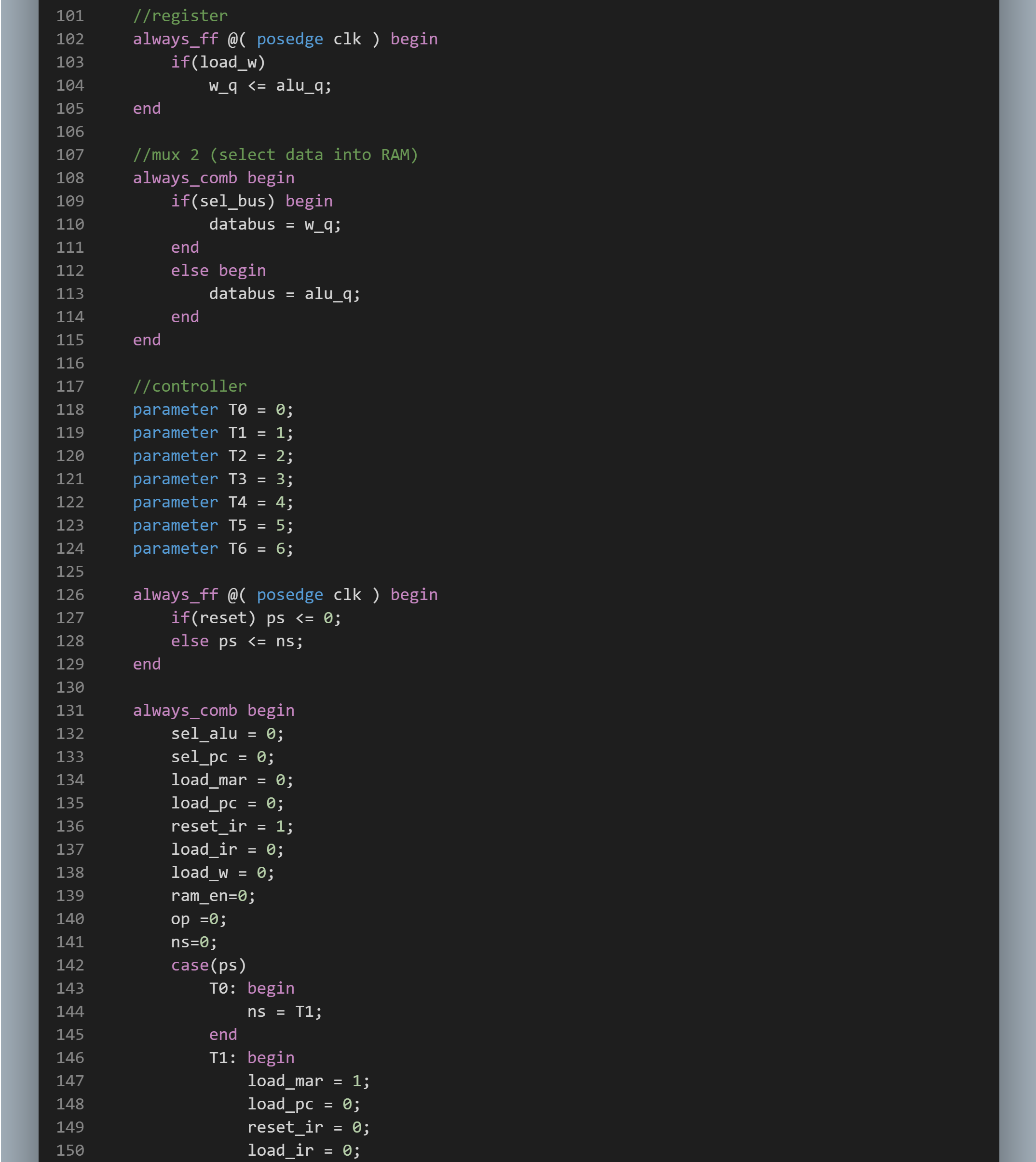
**截圖請善用win+shift+S**

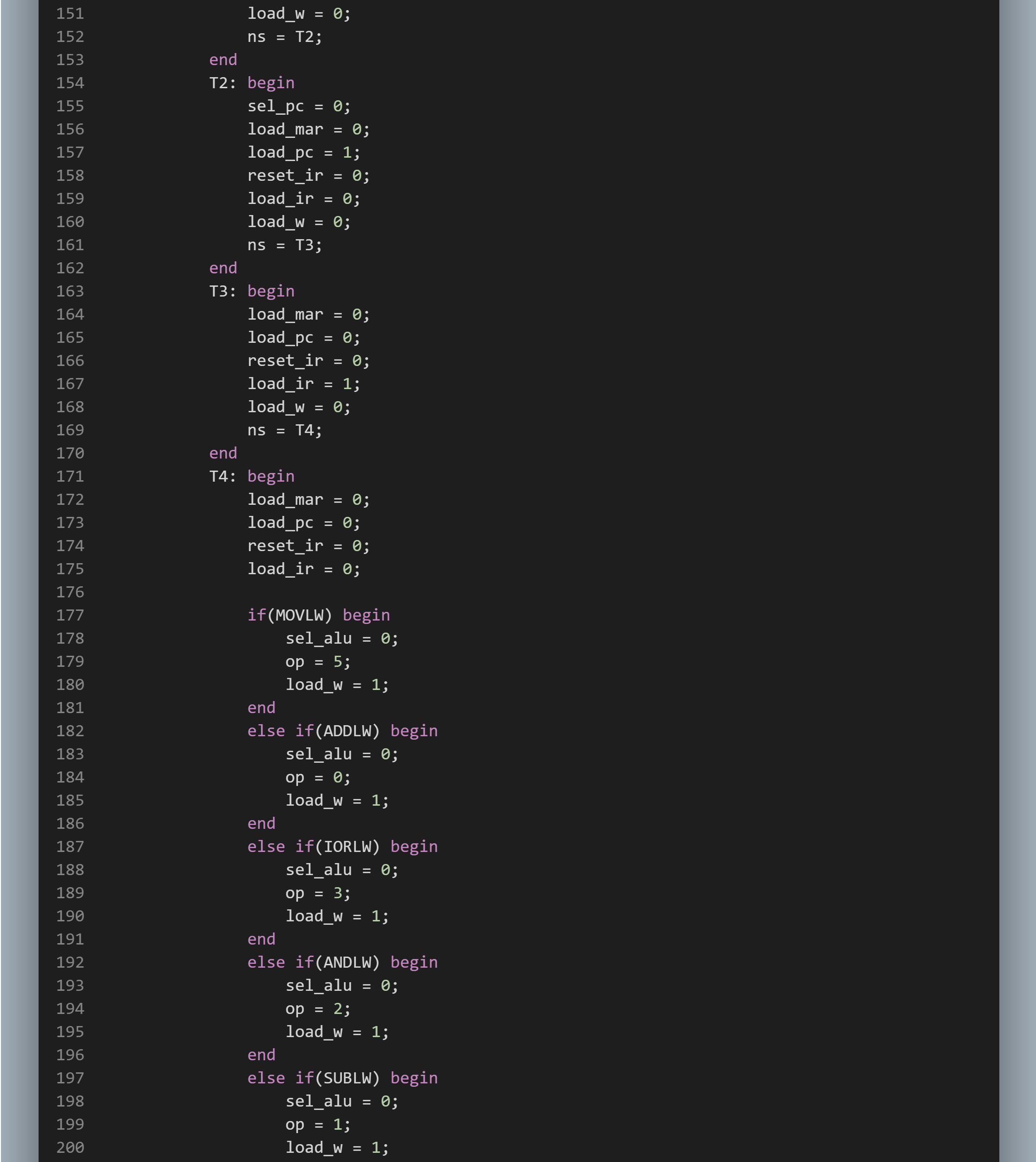
****

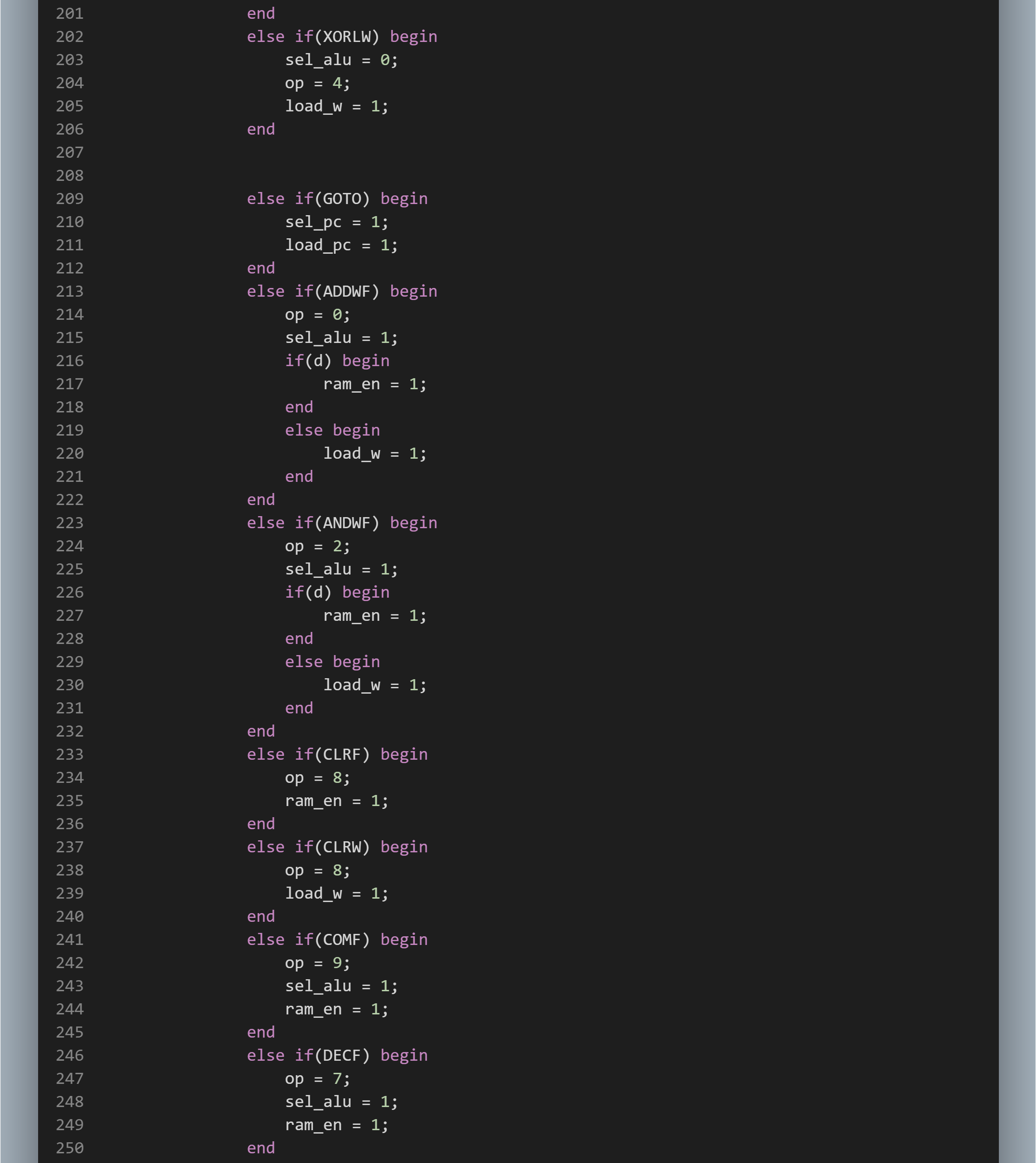
****

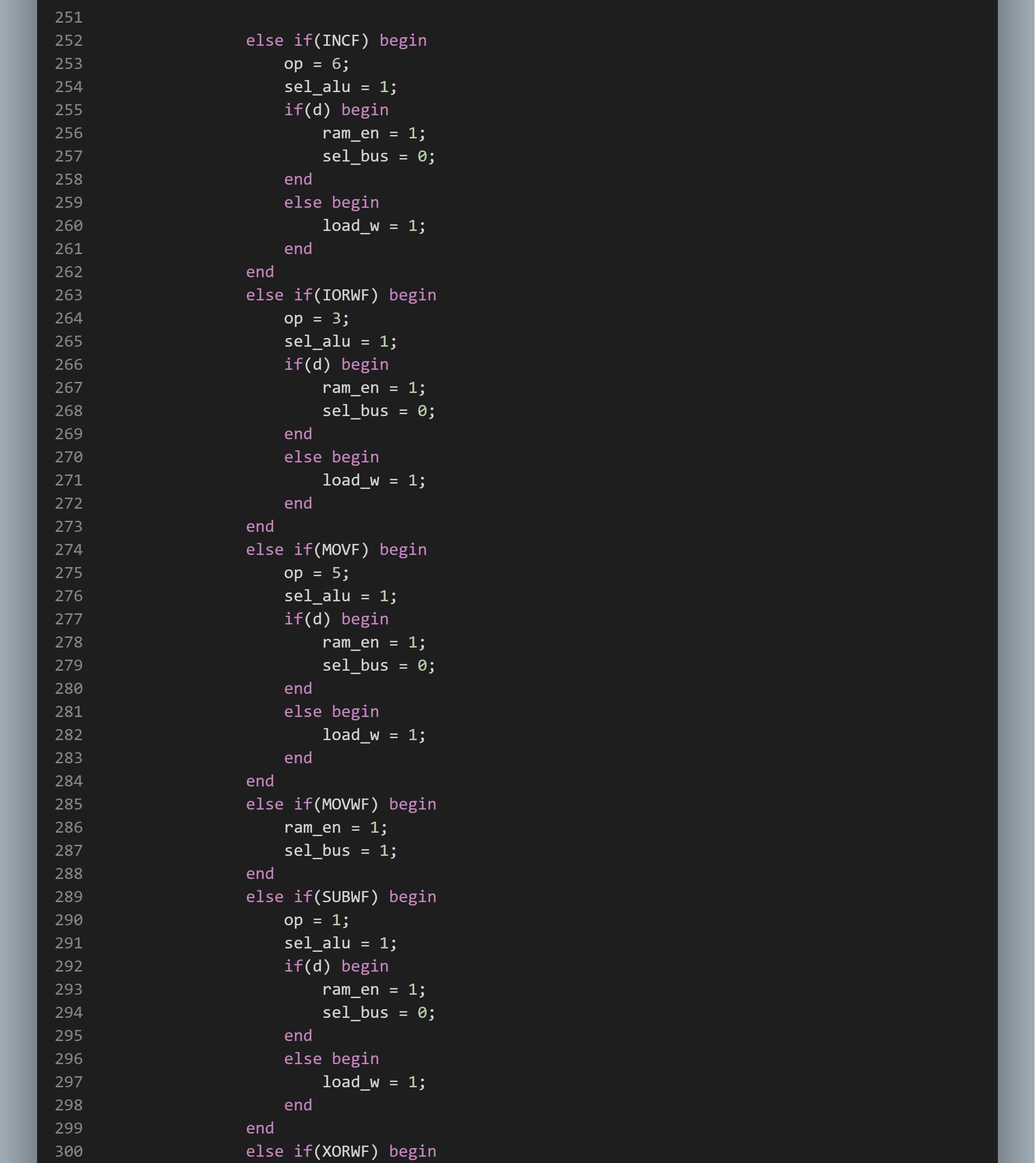
****

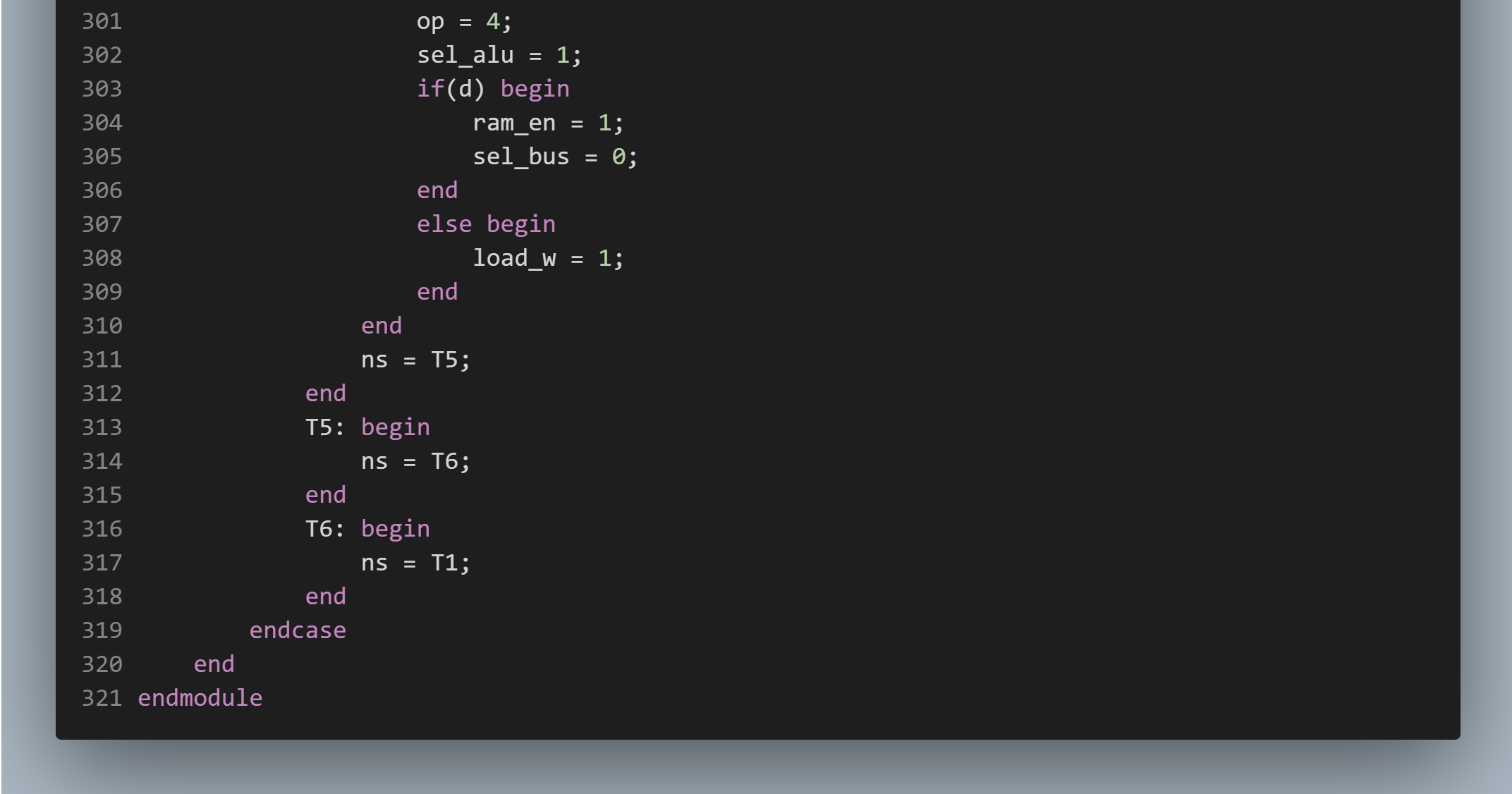
****

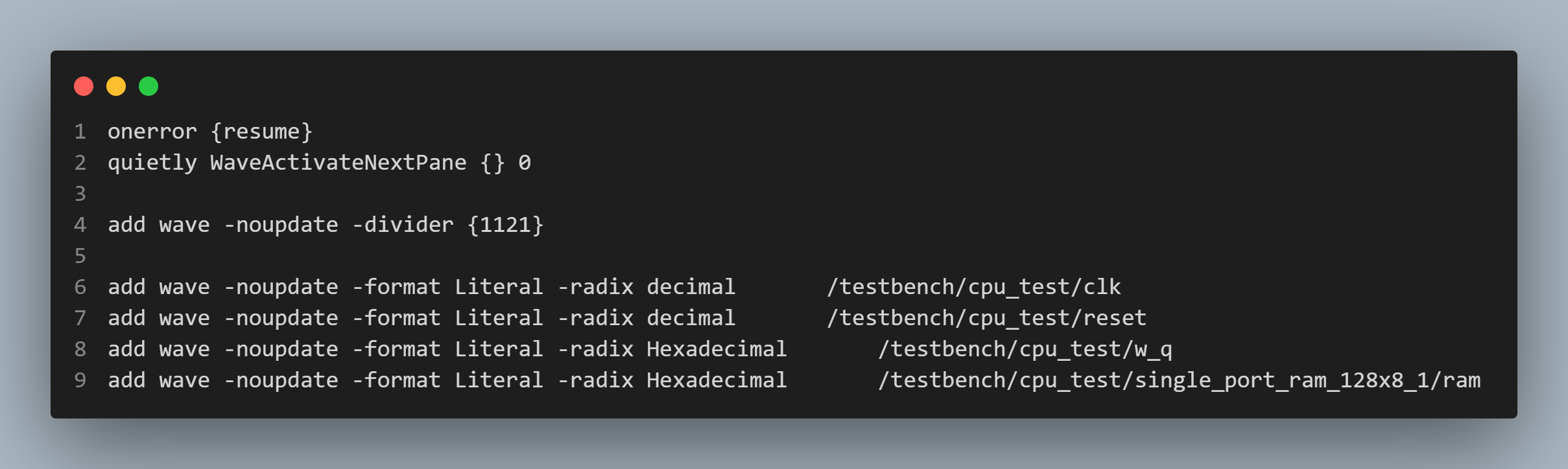
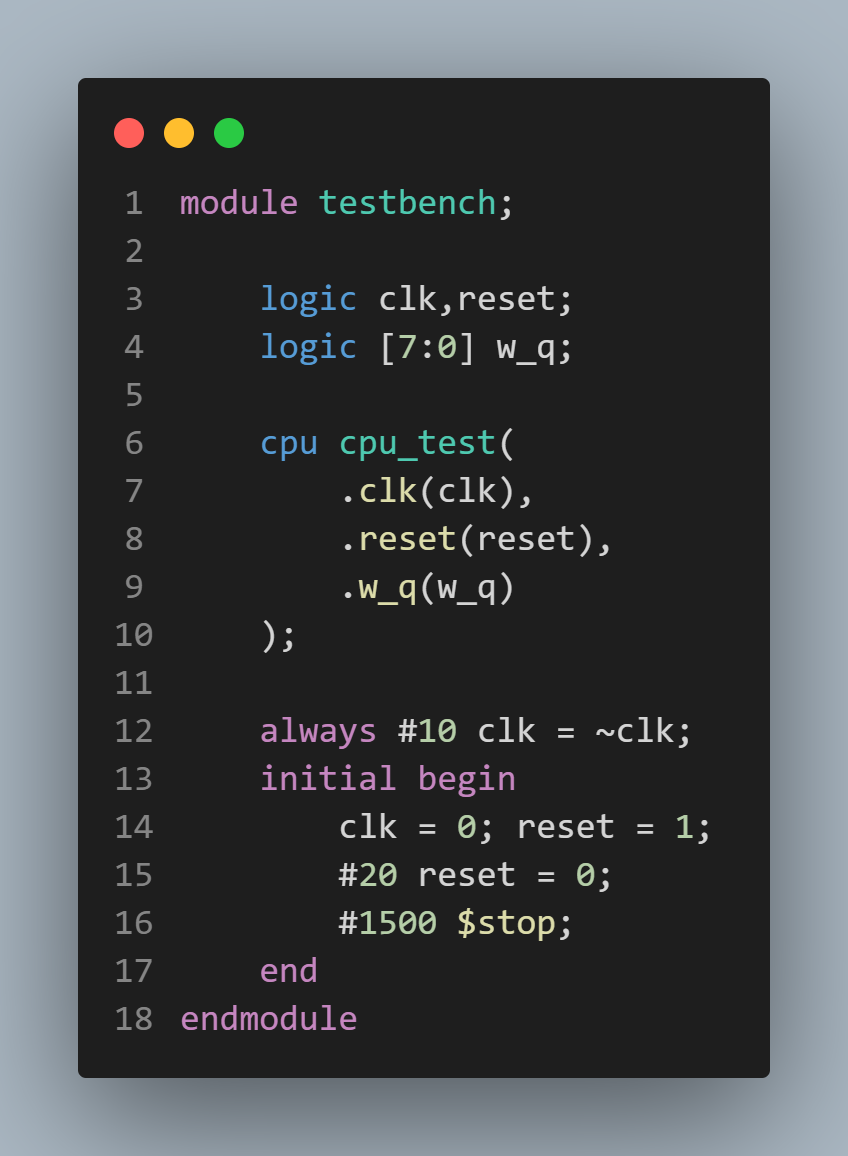
****

****

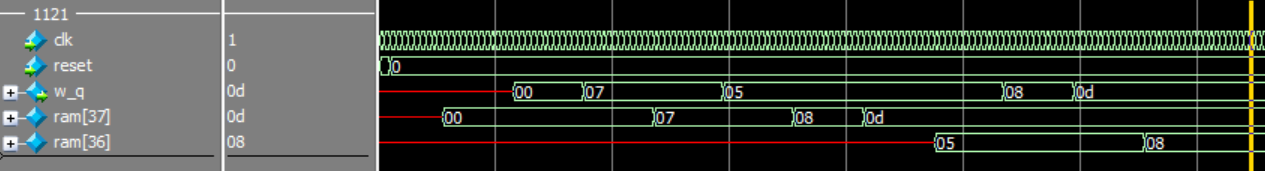
****

****

****

****

* **模擬結果與結果說明：**

****

能夠依照Program\_Rom的指令正確進行運算及寫入w暫存器和記憶體

* **結論與心得：**

本周與上周相比又增加了一條從w暫存器接到RAM的線，可以把w暫存器的值放進RAM裡面，除此之外也增加了6個新的指令，目前架構看起來相當完整。老師在影片中也提到，之後會教學MPLAB以及把組合語言轉譯成System Verilog，非常期待，也祝補考的同學順利!