به نام خدا

آزمایش شماره ۴

آز معماری – دکتر سربازی آزاد

دانشکده مهندسی کامپیوتر

دانشگاه صنعتی شریف

نیم‌سال تابستان ۰۲-۰۳

گروه :

آریان افضل‌زاده - 401105572

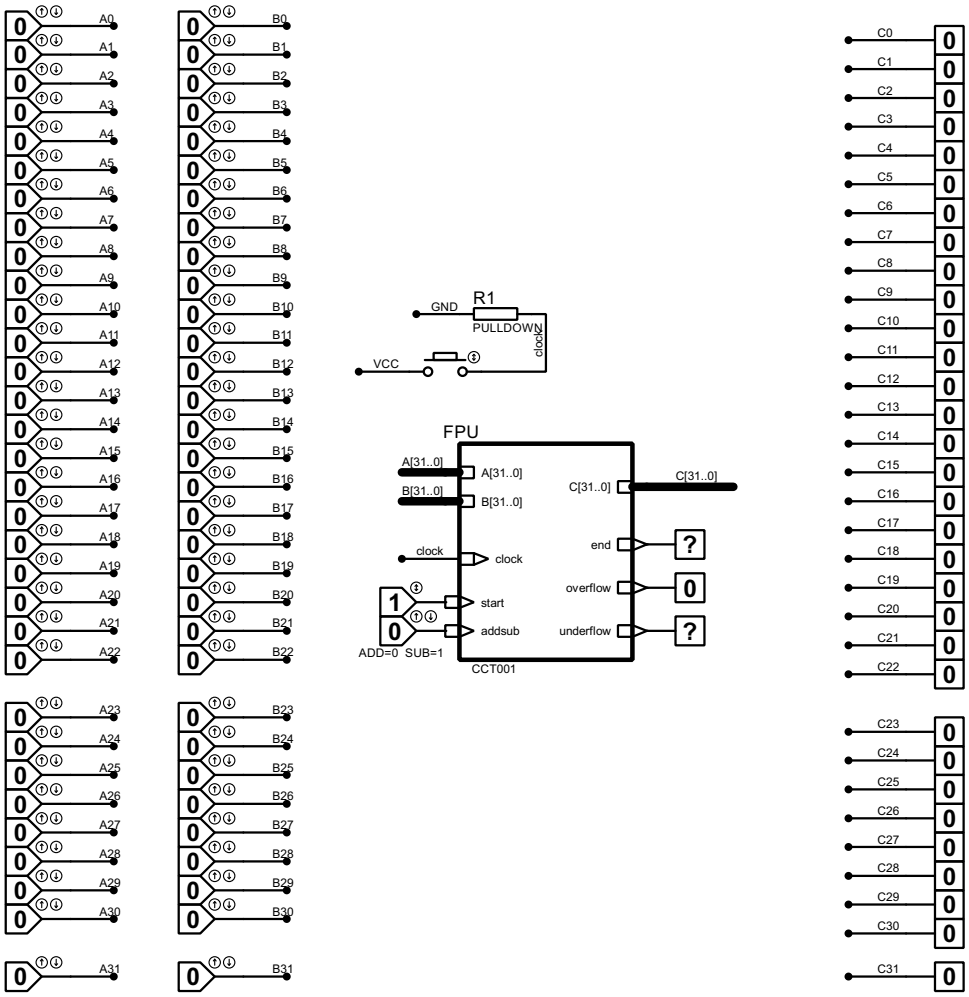
آرمین خسروی - 401105872

محمد شفیع‌زاده - 401110386

۱ مقدمه

یکی از آزمایش‌های کاربردی و مهم، طراحی و پیاده‌سازی یک جمع و تفریق‌کننده ۳۲ بیتی شناور با استفاده از استاندارد IEEE 754 طبق شکل ۱ است. این آزمایش به عنوان یک تمرین عملی درک مفاهیم اساسی و پیچیده محاسبات با اعداد شناور را فراهم می‌آورد.

استاندارد IEEE 754 یکی از مهم‌ترین استانداردها در محاسبات اعداد شناور است که به منظور افزایش دقت و قابلیت اطمینان محاسبات عددی طراحی شده است. این استاندارد، نحوه نمایش و محاسبات با اعداد شناور را تعریف می‌کند و شامل قوانین و فرمول‌های خاصی برای انجام عملیات ریاضی همچون جمع، تفریق، ضرب و تقسیم است.



شکل ۱: مدار کلی

۲ هدف

در این آزمایش هدف اصلی طراحی یک مدار است که قادر به انجام عملیات جمع و تفریق بر روی اعداد ممیز شناور ۳۲ بیتی با فرمت IEEE 754 باشد. مدار مورد نظر باید علاوه بر انجام عملیات ریاضی، دارای سیگنال‌های شروع و پایان عملیات و همچنین شناسایی وضعیت Overflow و Underflow باشد.

۳ نحوه انجام جمع و تفریق اعداد ممیز شناور ۳۲ بیتی

۱.۳ نمایش اعداد

اعداد شناور ۳۲ بیتی در IEEE 754 شامل یک بیت علامت، هشت بیت برای نما و بیست و سه بیت برای مانتیس هستند. این ساختار به نحوی است که می‌تواند مقادیر بسیار کوچک و بسیار بزرگ را با دقت معقولی نمایش دهد.

۲.۳ یونیت‌ها و عملیات‌ها

۱.۲.۳ نرمال‌سازی اعداد

اعداد ورودی به فرم نرمال‌شده در می‌آیند. این به معنای تنظیم اعداد به شکلی است که یک رقم یک در ابتدای مانتیس قرار داشته باشد.

۲.۲.۳ تطبیق نماها

قبل از انجام عملیات جمع یا تفریق، نماهای دو عدد با هم مقایسه و تطبیق می‌شوند. این کار با شیفت راست دادن مانتیس عدد کوچیک‌تر و افزایش نمای آن انجام می‌پذیرد.

۳.۲.۳ جمع و تفریق مانتیس

پس از تطبیق نمایه‌ها، مانتیس‌های دو عدد باید با یکدیگر جمع یا از هم کم شوند. برای انجام این عملیات، ابتدا باید مقادیر مانتیس‌ها را طوری جابه‌جا کنیم که بتوانیم بزرگ‌تر بودن یکی از آن‌ها را نسبت به دیگری شناسایی کنیم. سپس، با توجه به این که کدام عدد بزرگ‌تر است، یا مانتیس بزرگ‌تر به مانتیس کوچک‌تر اضافه می‌شود، یا از آن کم می‌شود. این عمل با XOR بیت‌های علامت هر عدد و نوع عملیاتی که باید انجام شود (جمع یا تفریق) تعیین می‌شود.

۴.۲.۳ نرمال‌سازی نتیجه

:پس از انجام عملیات ریاضی بر روی مانتساها، نتیجه‌ی حاصل نیاز به نرمال‌سازی دارد. نرمال‌سازی به معنای تبدیل مانتسای حاصل به فرم استانداردی است که در آن تنها یک رقم غیرصفر در سمت چپ ممیز قرار داشته باشد. برای این کار، ابتدا باید مقدار مانتسای حاصل را بررسی کنیم و در صورت لزوم، آن را به نحوی تغییر دهیم که این شرط برقرار شود.

اگر نتیجه‌ی عملیات ریاضی منجر به مقداری شود که نیاز به جابجایی ممیز دارد (یعنی مقدار مانتسا کمتر از ۱ یا بزرگ‌تر از ۲ باشد)، باید ممیز را به چپ یا راست جابه‌جا کنیم تا مانتیس نرمال‌شده به فرم صحیحی برسد. در این مرحله، تعداد بیت‌های جابه‌جاشده در نمایه نیز تنظیم می‌شود تا نمایه نهایی با مقدار مناسب به‌روز شود.

۳.۳ شناسایی Overflow و Underflow

زمانی رخ می‌دهد که نتیجه عملیات از محدوده قابل نمایش در IEEE 754 فراتر رود. Underflow نیز زمانی اتفاق می‌افتد که نتیجه‌ی عملیات کوچک‌تر از حد ممکن برای نمایش در این استاندارد شود. این وضعیت معمولاً با استفاده از بیت‌های علامت یا مقادیر نمایه تشخیص داده می‌شود.

۱.۳.۳ بررسی نمایه

پس از انجام عملیات، اگر نمایه نهایی از حداکثر مقدار قابل نمایش (۲۵۵ در حالت ۸ بیتی) بیشتر شود، به معنی Overflow است. اگر از ۱ کم‌تر شود، به معنای Underflow است.

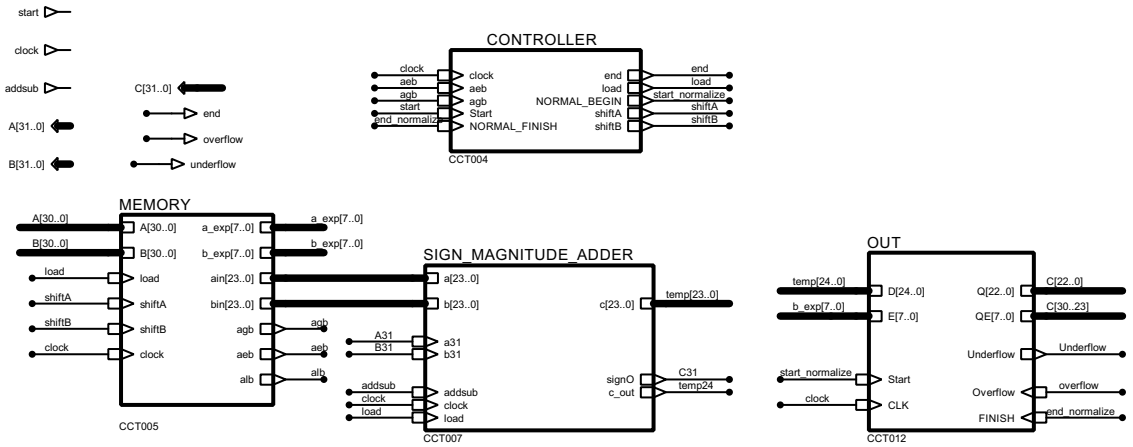
۲.۳.۳ بررسی مانتسا

اگر مانتسای نهایی نیاز به جابجایی ممیز به سمت چپ داشته باشد تا به فرم نرمال برسد و نمایه به حداکثر مقدار برسد، Overflow رخ داده است.

۳.۳.۳ تشخیص با بیت‌های علامت

بیت‌های علامت و نمایه ممکن است به طور خاص برای شناسایی Overflow طراحی شده باشند. در این شرایط، در نتیجه نهایی ممکن است مقدار نمایه به حداکثر برسد و بیت‌های علامت ممکن است نشان‌دهنده Overflow باشند.

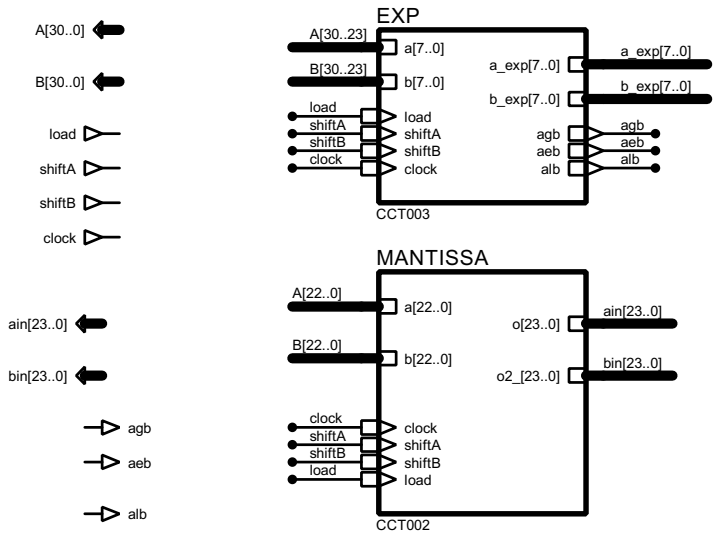
۴ طراحی



شکل ۲: Datapath

۱.۴ حافظه

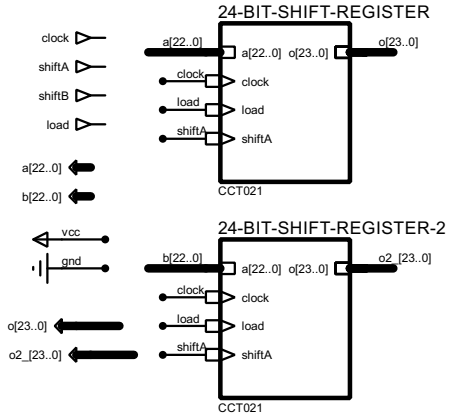
حافظه این واحد شامل دو نوع ثبات با وظایف خاص است. این ساختار دوگانه حافظه که در شکل ۳ قابل مشاهده است، امکان انجام دقیق عملیات یکسان‌سازی نماها را فراهم می‌آورد و به تضمین صحت و تطابق نتایج محاسبات مطابق با استاندارد IEEE 754 کمک می‌کند.



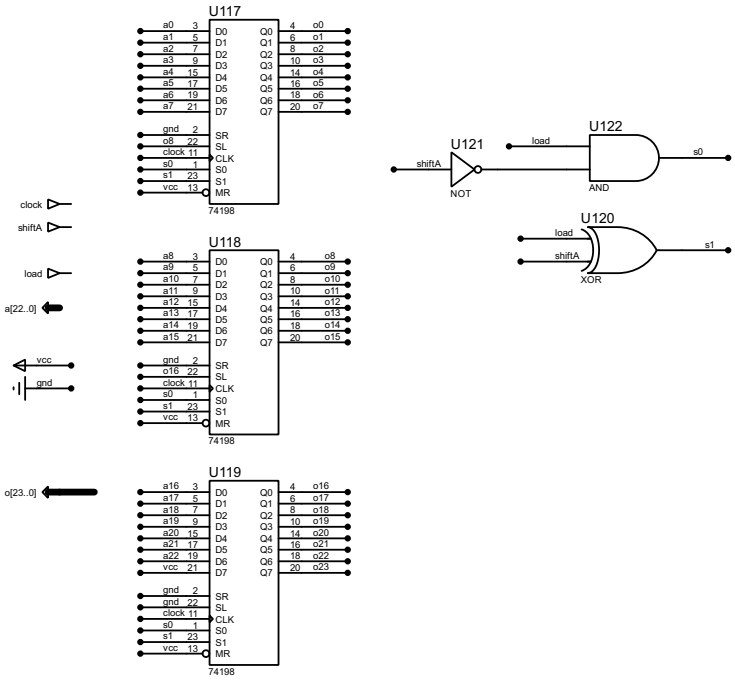
شکل ۳: Memory

۱.۱.۴ ثبات مانتیس

این ثبات طبق شکل ۴ دارای ۲۴ بیت است و برای ذخیره‌سازی مانتیس‌ها به کار می‌رود. به طور پیش‌فرض، بیت ۲۴م این ثبات همیشه برابر با ۱ است. این ثبات به یک سیگنال کنترلی **شیفت به راست** مجهز است که در مرحله یکسان‌سازی نمایه‌ها برای تطبیق نماها با یکدیگر مورد استفاده قرار می‌گیرد. ساختار درونی شیفت‌رجیستر ۲۴ بیتی نیز در شکل ۵ آمده است.



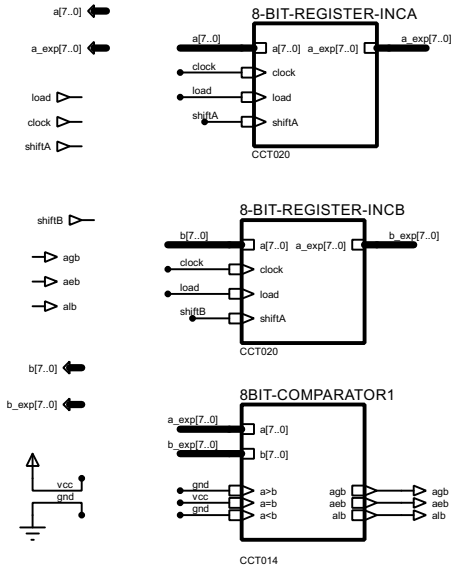
شکل ۴: Mantissa Memory



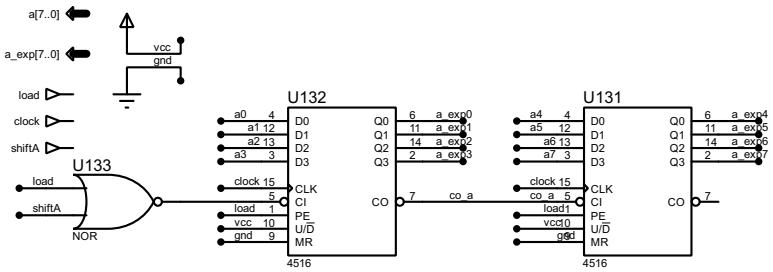
شکل ۵: 24-Bit Shift-Register

۲.۱.۴ ثبات نما

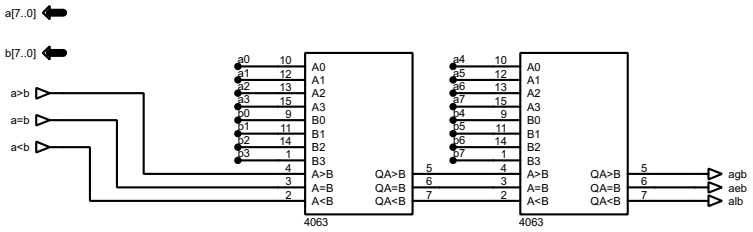
این ثبات طبق شکل ۶ هشت بیتی است. همچنین، این ثبات دارای سیگنال کنترلی inc است که برای افزایش توان عدد کوچکتر در مرحله تطبیق نماها به کار می‌رود. ساختار درونی ثبات‌های ۸ بیتی و مقایسه‌کننده‌ی ۸ بیتی در شکل‌های ۷ و ۸ آمده است.



شکل ۶: Exponent Memory

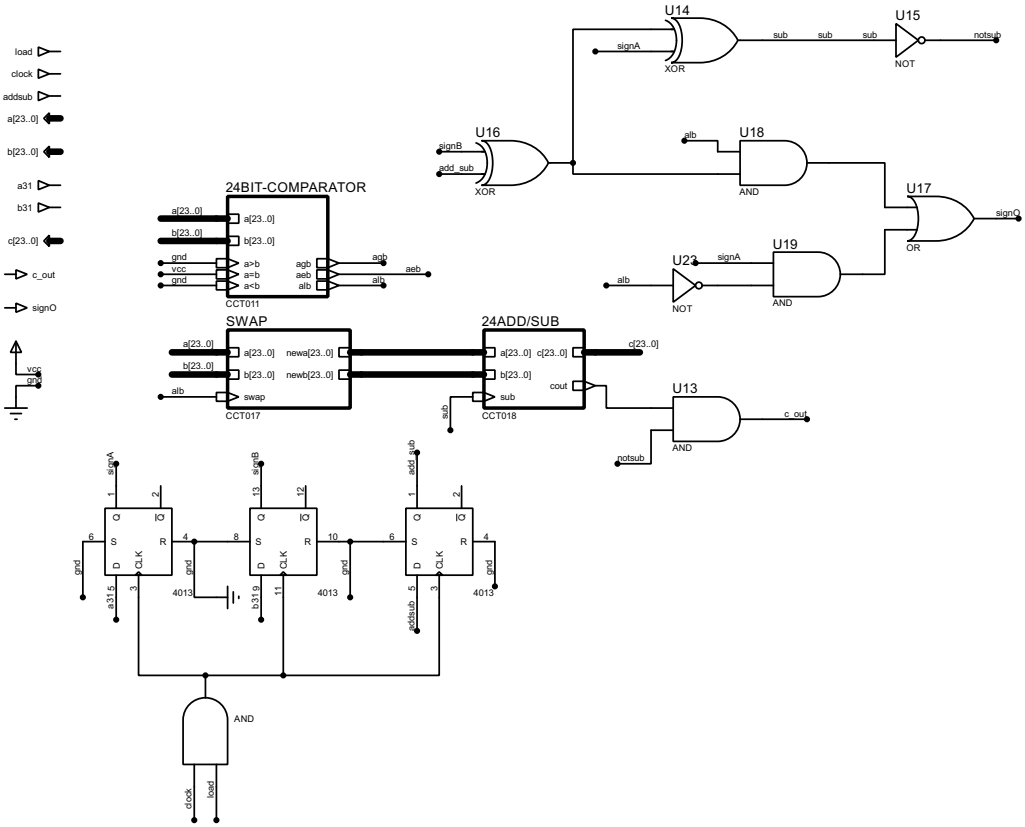


شکل ۷: 8-Bit Register With Increment Support



شکل ۸: 8-Bit Comparator

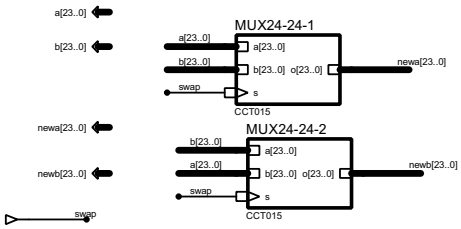
۲.۴ جمع‌کننده



شکل ۹: Mantissa Adder

۱.۲.۴ ماژول Swap

این ماژول در شکل ۱۰ شامل دو مالتی‌پلکسر است که برای جابه‌جایی ورودی‌ها به کار می‌روند. هدف از این ماژول، اطمینان از این است که همیشه عدد بزرگ‌تر در سمت چپ عملیات حسابی قرار گیرد.



شکل ۱۰: Swapper

۲.۲.۴ مقایسه‌کننده ۲۴ بیتی

برای مقایسه دو عدد و تعیین ترتیب آن‌ها استفاده می‌شود.

۳.۲.۴ جمع‌کننده ۲۴ بیتی

این جمع‌کننده برای انجام عملیات جمع بر روی مانتساهای ۲۴ بیتی به کار می‌رود.

۴.۲.۴ DFF و گیت‌ها

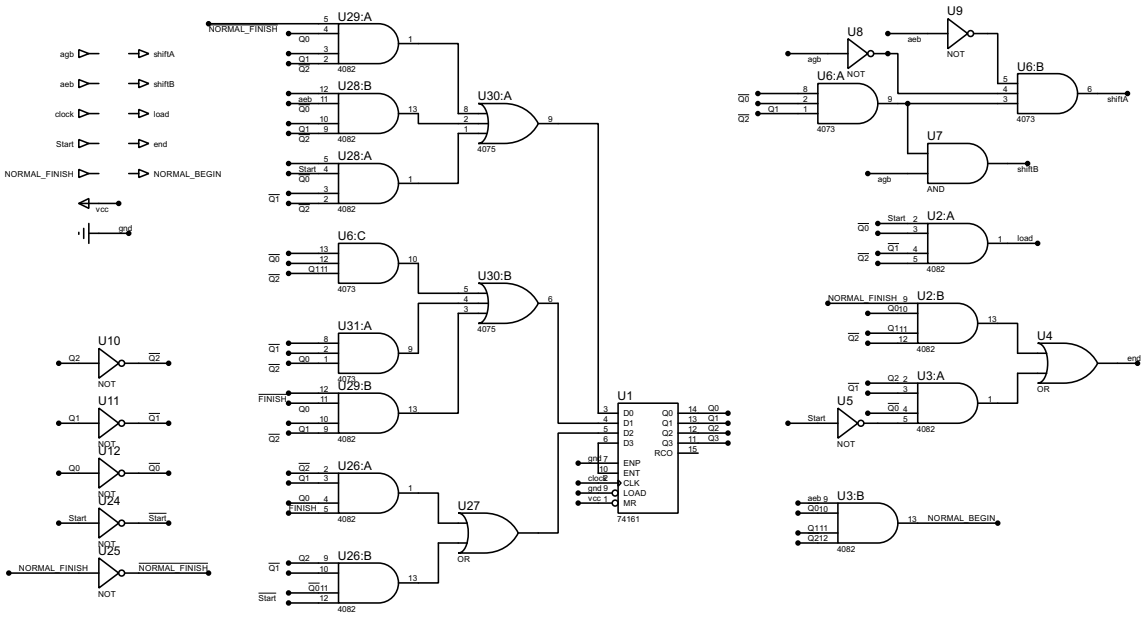
برای مدیریت و ذخیره‌سازی سیگنال‌های کنترلی و تعیین علامت خروجی استفاده می‌شوند. برای تعیین علامت نیز با حالت بندی روی alb و علامت‌های ورودی با تعدادی گیت به علامت خروجی می‌توان رسید.

تشخیص نوع عملیات

برای تعیین اینکه باید عمل جمع انجام دهیم یا تفریق، از XOR بیت‌های علامت دو عدد و سیگنال کنترلی add/sub استفاده می‌شود. علاوه بر این، برای شناسایی رقم نقلی، حاصل با سیگنال AND add/sub می‌شود؛ زیرا رقم نقلی زمانی به وجود می‌آید که جمع انجام شده باشد.

۳.۴ واحد کنترل

این قطعه که در شکل ۱۱ آمده است، شامل یک شمارنده ۴ بیتی و گیت‌های منطقی برای تولید سیگنال‌های کنترلی است. به جای استفاده از چهار عدد D-Flip Flop برای مشخص کردن وضعیت‌های مختلف به صورت One-Hot، از یک شمارنده ۴ بیتی استفاده شده است. استفاده از شمارنده به دلیل سهولت پیاده‌سازی آن با تراشه‌های آماده و همچنین بهینه‌سازی فضای مدار، انتخاب شده است. این روش در شرایطی که نیاز به بستن برد و پیاده‌سازی حضوری است، بهتر است. با استفاده از عملگرهای منطقی AND، وضعیت کنونی شمارنده و عملیات تعیین می‌شود.



شکل ۱۱: Controller

وضعیت‌های مختلف شمارنده به شرح زیر است:

۱. در حالت ۰، با دریافت سیگنال Start، سیگنال Load یک می‌شود تا مراحل بعدی آغاز شود.

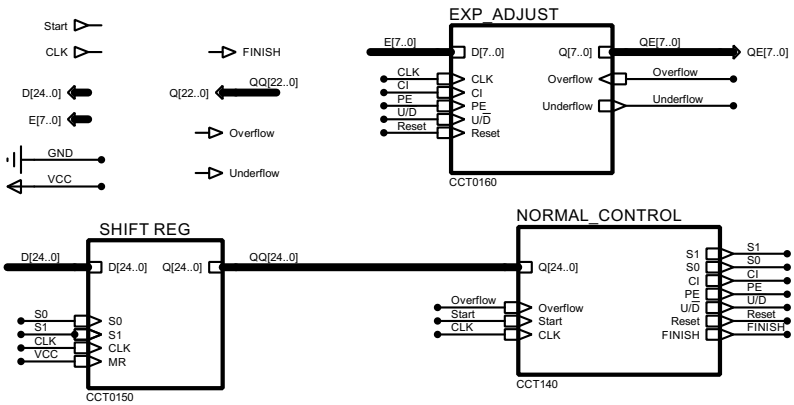
۲. در حالت ۱، مقادیر در ثبات‌ها لود می‌شوند. این وضعیت نشان‌دهنده آغاز فرآیند بارگذاری مقادیر است.

۳. حالت ۲ نمایانگر مرحله تطابق نما است. به دلیل اینکه تطابق نما ممکن است بسته به اختلاف نماها، بیش از یک سیکل کلاک طول بکشد، برای جلوگیری از ورود به وضعیت بعدی تا زمانی که نمای دو عدد برابر شود، شمارنده در این وضعیت به صورت مداوم به مقدار ۲ لود می‌شود. این کار از طریق ترکیب عملگرهای AND و OR انجام می‌شود.

۴. در حالت ۳، محاسبات انجام شده و خروجی آماده است. حال واحد کنترل به مرحله نرمال‌سازی عدد می‌رود و تا زمانی که فعالیت واحد نرمال سازی تمام نشده است در وضعیت ۳ باقی می‌ماند.

۴.۴ واحد نرمال‌سازی

نرمال‌سازی به معنای تغییر شکل عدد اعشاری به فرم استاندارد IEEE 754 است، به طوری که مانتیسا (یا بخش کسر) در بازه‌ای از [۱، ۲) قرار گیرد و نمای (یا بخش نمای) به درستی تنظیم شود تا عدد در فرم صحیح نمایشی قرار گیرد. مدار کلی آن و واحد کنترلی این بخش در شکل‌های ۱۲ و ۱۴ قرار گرفته است.



شکل ۱۲: Normalizer

۱.۴.۴ نرمال‌سازی مانتیس

در مرحله نرمال‌سازی، مانتیسا باید طوری تغییر یابد که تنها یک بیت ۱ در سمت چپ نقطه باینری باقی بماند. بعد از شیفت، ممکن است مانتیسا به طول ۲۴ بیت محدود شود. این یعنی اگر مانتیسا بیشتر از ۲۳ بیت طول داشته باشد، باید بیت‌های اضافی را قطع کنیم.

۲.۴.۴ نرمال‌سازی نما

نمای باید به طور صحیح تنظیم شود تا تغییرات در مانتیس به درستی در عدد نهایی منعکس شود. هنگامی که مانتیسا شیفت می‌خورد نما نیز باید تغییر کند. به عبارت دیگر، هر شیفت به سمت راست در مانتیسا باید به تغییر معادل افزایش ۱ واحد در نما منجر شود.

۳.۴.۴ استفاده از شمارنده و شیفت ۲۴ بیتی

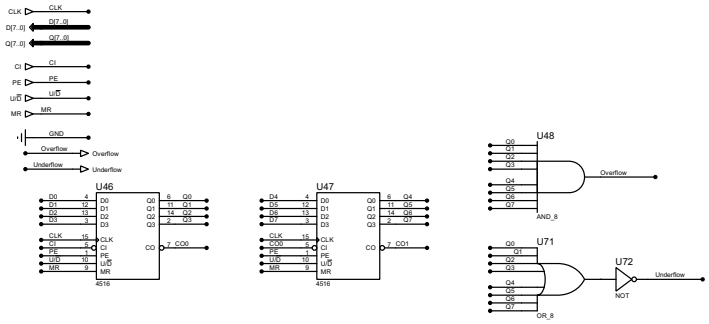
برای نرمال‌سازی نمای و تنظیم آن، از شمارنده استفاده می‌شود که شامل شمارش بالا و پایین است. شمارنده تغییرات در نمای را ردیابی کرده و تغییرات لازم را اعمال می‌کند. شمارنده با اضافه کردن یا کم کردن مقدار نمای، اطمینان حاصل می‌کند که عدد در فرم استاندارد باقی می‌ماند. در ادامه، برای مانتیسا از یک شیفت‌رجیستر ۲۴ بیتی استفاده می‌شود که توانایی جابه‌جایی (شیفت) را فراهم می‌آورد.

۴.۴.۴ تشخیص Overflow و Underflow

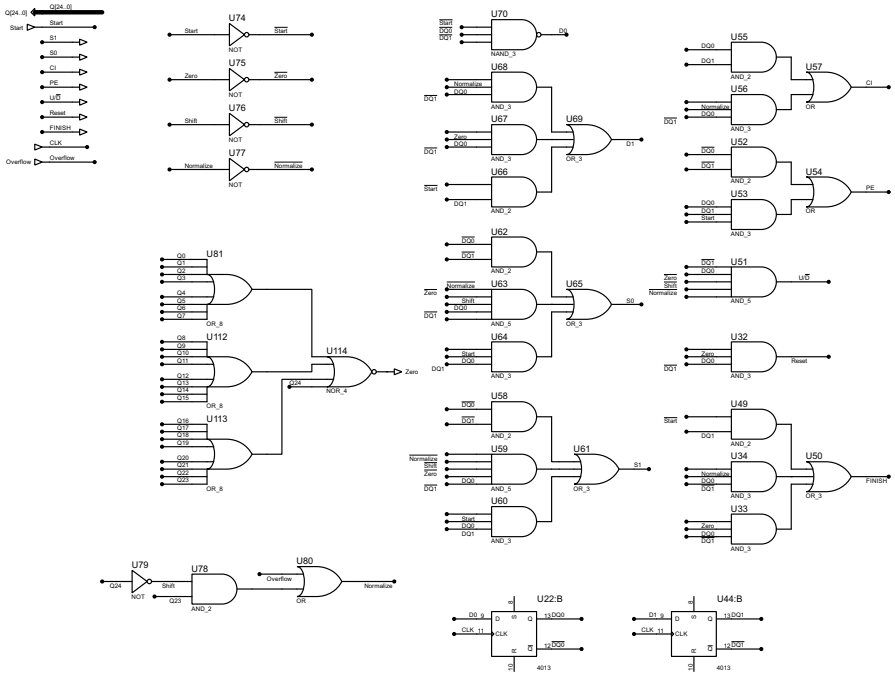
اگر در نهایت مقدار نمای برابر ۰ شود، یعنی نتیجه کوچک‌تر از حد ممکن برای نمایش در این استاندارد بوده و Underflow اتفاق می‌افتد. اگر بعد از شیفت، مانتیسا بیشتر از ۲۳ بیت طول داشته باشد، نشان‌دهنده Overflow است. در این حالت، باید مانتیسا را به اندازه معین قطع کنیم و نمای را تنظیم کنیم تا در نتیجه، عدد به فرم صحیح باقی بماند.

۵.۴.۴ تنظیم نمای

اگر مانتیسا شیفت بخورد و نیاز به تغییر نما وجود دارد، نما به اندازه معادل تغییر می‌یابد. اگر مانتیسا بیش از حد شیفت شده باشد، نمای افزایش می‌یابد. برعکس، اگر مانتیسا کمتر از مقدار مورد نیاز باشد، نمای کاهش می‌یابد. ساختار تنظیم‌گر نمای در شکل ۱۳ قابل مشاهده است.

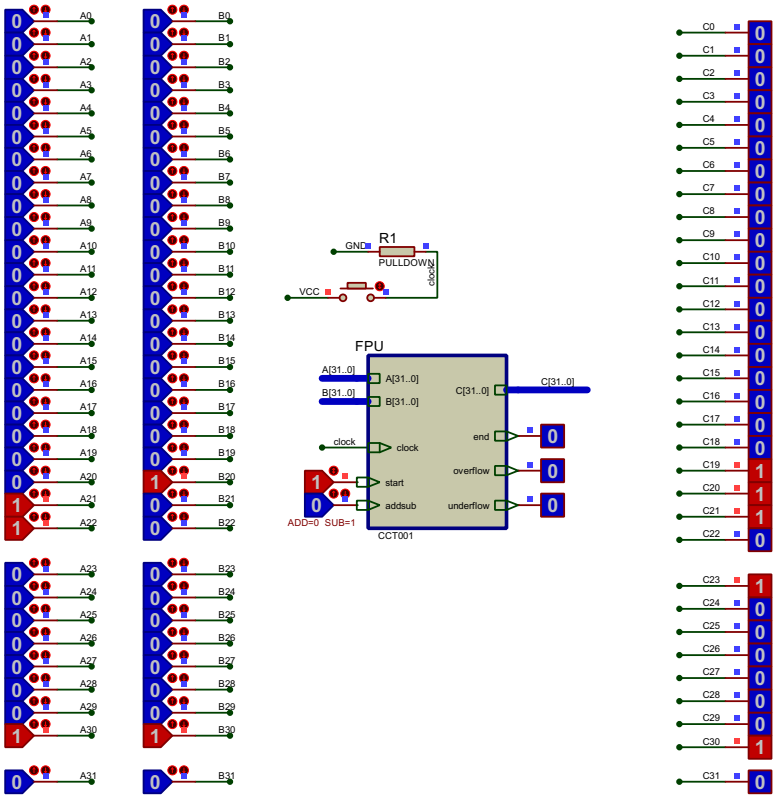


شکل ۱۳: Exponent Adjuster



شکل ۱۴: Normalization Controller

۵ شبیه‌سازی


A0 A1 A2 A3 A4 A5 A6 A7 A8 A9 A10 A11 A12 A13 A14 A15 A16 A17 A18 A19 A20 A21 A22 A23 A24 A25 A26 A27 A28 A29 A30 A31
B0 B1 B2 B3 B4 B5 B6 B7 B8 B9 B10 B11 B12 B13 B14 B15 B16 B17 B18 B19 B20 B21 B22 B23 B24 B25 B26 B27 B28 B29 B30 B31
GND
R1
PULLDOWN
clock2
VCC
FPU
A[31..0]
B[31..0]
C[31..0]
clock
start
addsub
end
overflow
underflow
ADD=0 SUB=1
CCT001
C0 C1 C2 C3 C4 C5 C6 C7 C8 C9 C10 C11 C12 C13 C14 C15 C16 C17 C18 C19 C20 C21 C22 C23 C24 C25 C26 C27 C28 C29 C30 C31