# **آزمایش۳: مدارات ترتیبی**

**نام و نام خانوادگی**: کیمیا منتظری و آرین قزوینی

**شماره دانشجویی**: 9931078 و 9931045

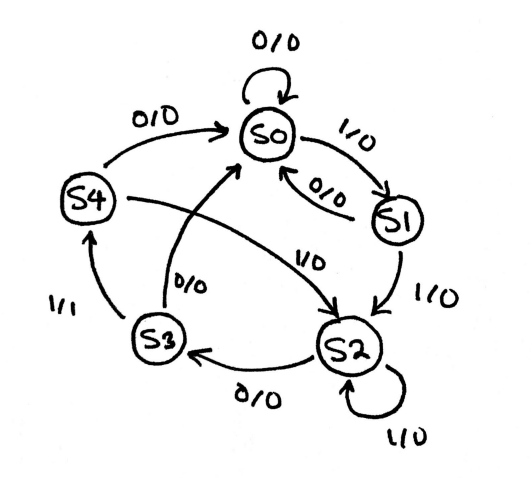
**نام استاد**: فاطمه خجسته دانا

**هدف آزمایش**: آشنایی با Processها، طراحی فلیپ فلاپ‌ها، شمارنده‌ها و ماشین‌های حالت

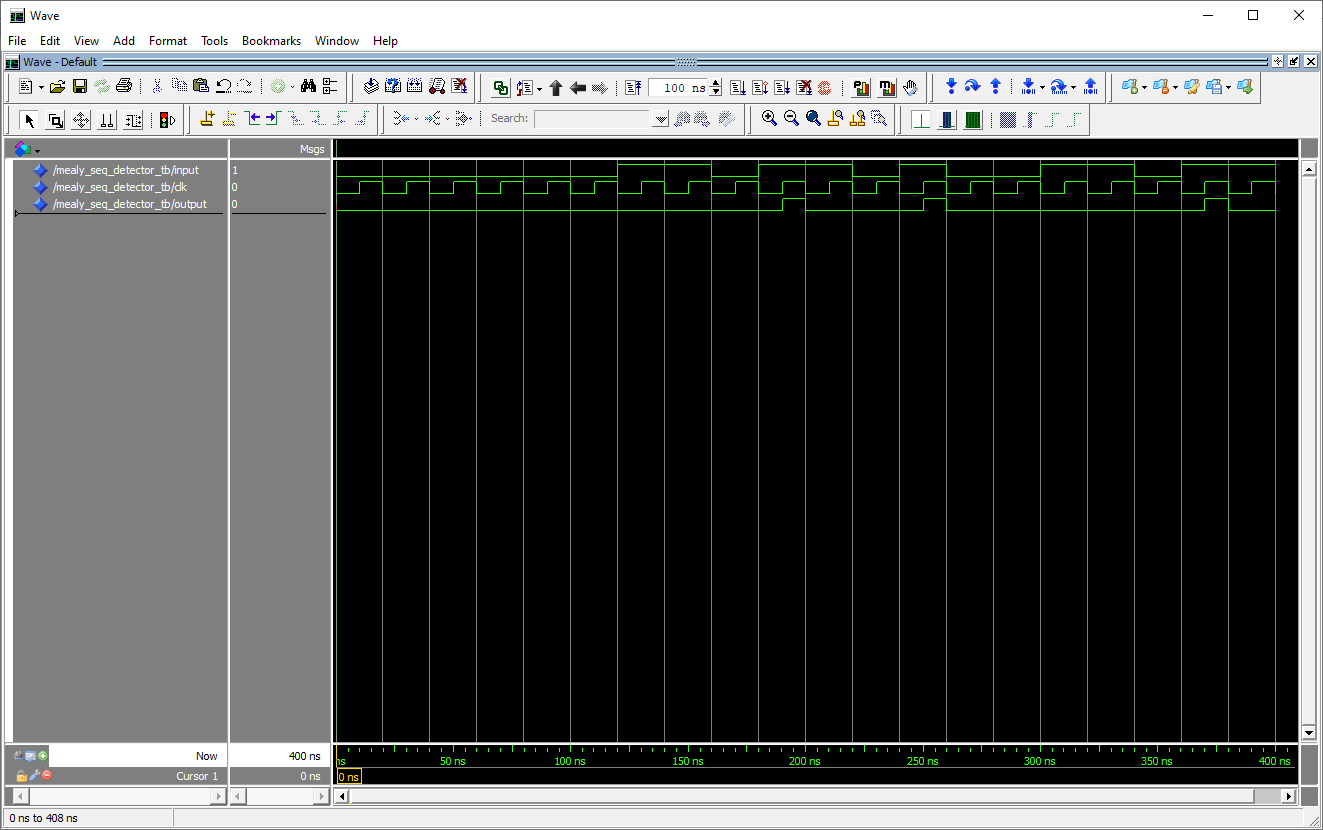
پس از یادگیری نحوه طراحی مدارات ترتیبی به کمک Process در زبان VHDL، توانستیم موارد خواسته شده در این آزمایش را پیاده‌سازی کنیم که به شرح زیر است.

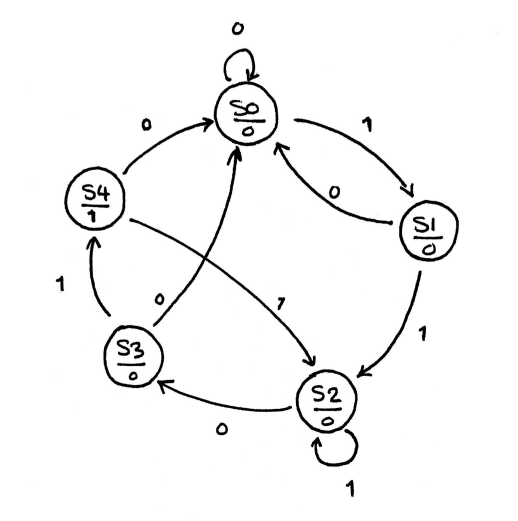
* DFF
* TFF
* Ripple Counter
* Sequence Detector

**۱)**‌ سخت‌افزار اول موظف است تا دنباله ۱۱۰۱ را تشخیص دهد و در صورت مشاهده آن، خروجی تک بیتی خود را یک کند. این مدار را به دو شکلmealy و moore طراحی کردیم که به ترتیب به هر یک می‌پردازیم:

****

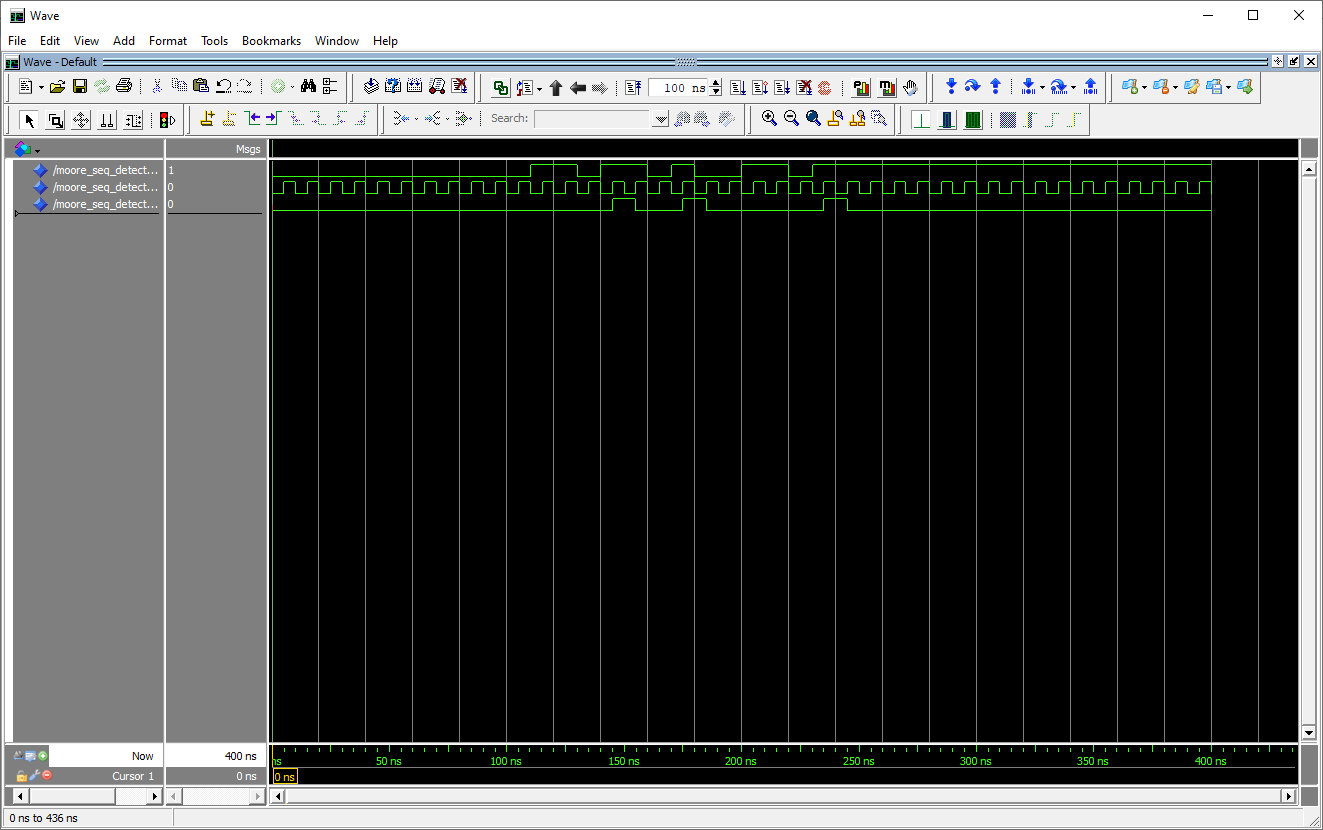
Mealy Machine

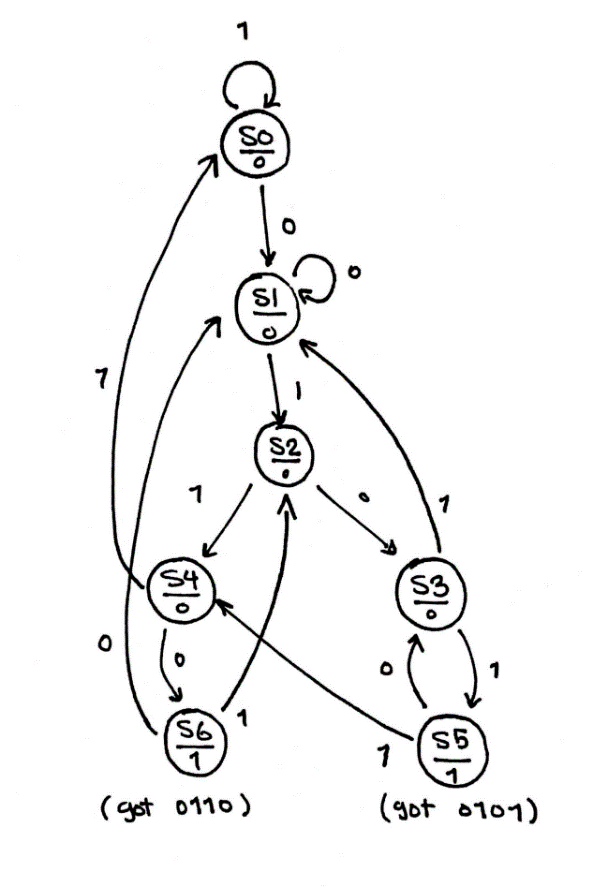
خروجی تست‌بنچ این طراحی به شکل زیر است و رشته ورودی داده شده 011011010011011.

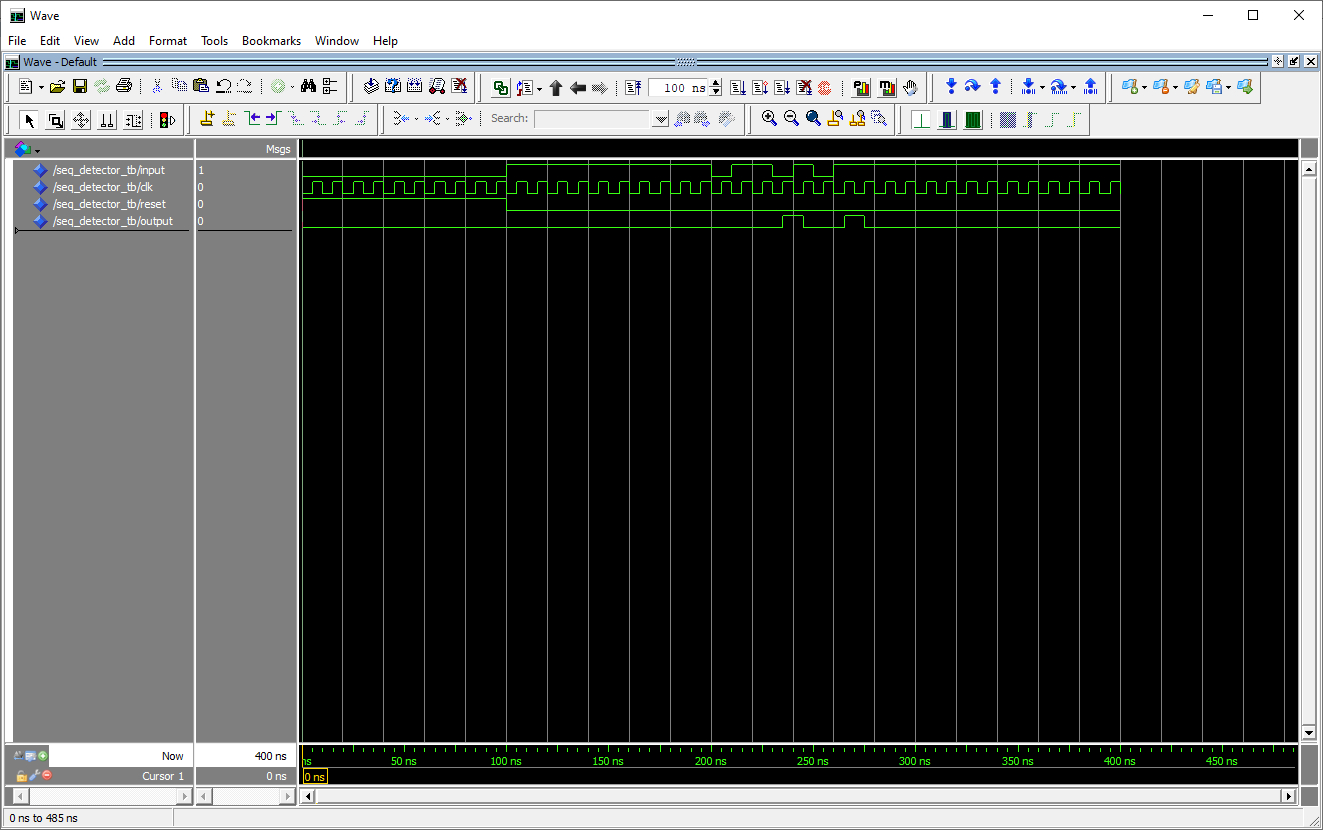
****

Moore Machine

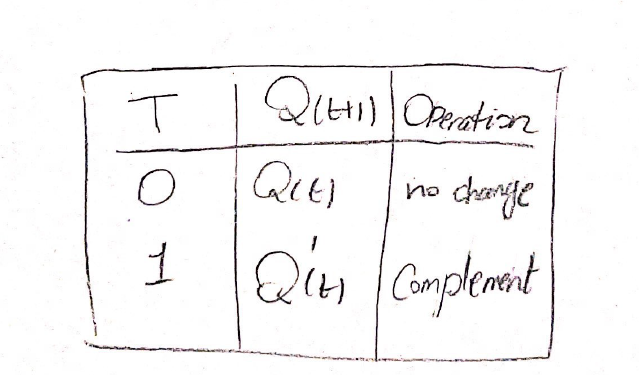
خروجی تست‌بنچ این طراحی به شکل زیر است که دقیقا مانند حالت mealy است.

رشته ورودی داده شده: 011011010011011 که دارای overlap است.

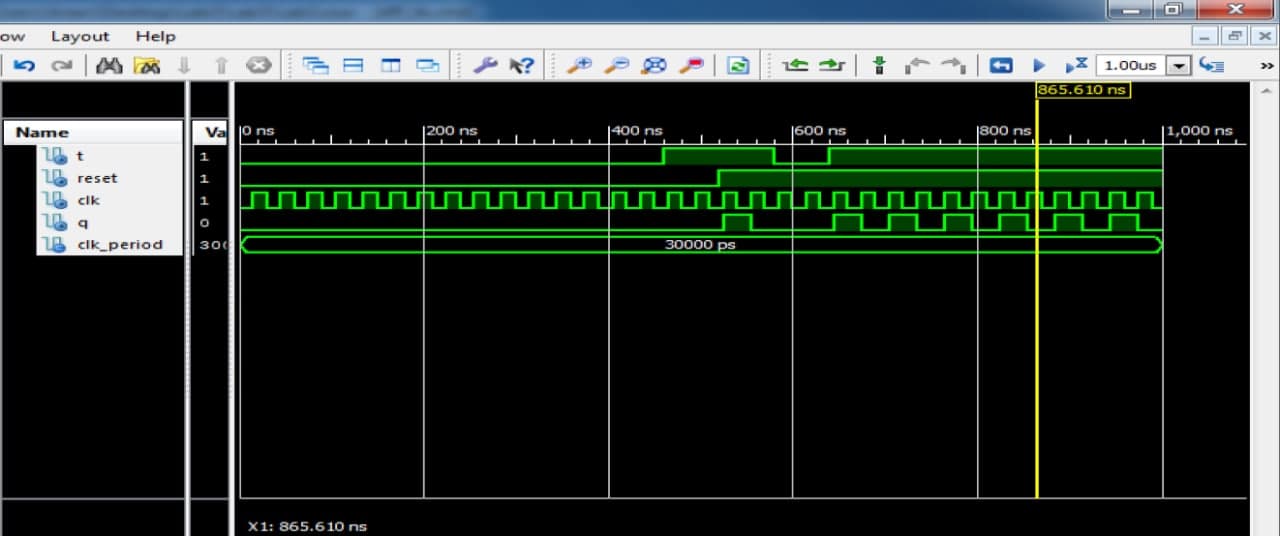
**۲)** سخت‌افزار دوم موظف است تا دنباله‌های «۰۱۱۰» و «۰۱۰۱» را تشخیص و در صورت مشاهده هر یک، خروجی تک بیتی خود را یک کند. این مدار را به شکل moore طراحی کردیم:

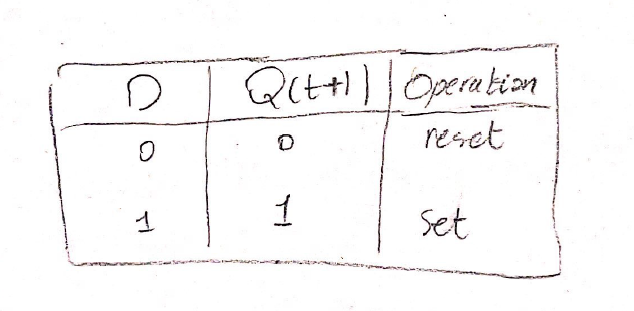
در خروجی تست‌بنچ این بخش، حالتی که overlap رخ دهد نیز چک شده است که به شکل زیر است.

رشته ورودی داده شده: 01111111111011010111

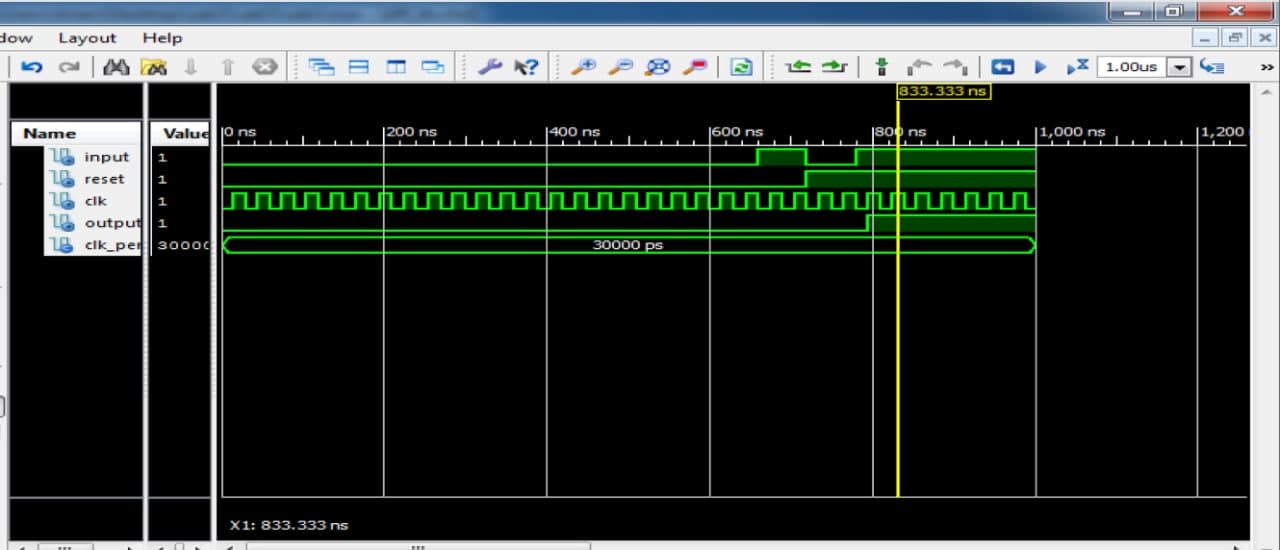


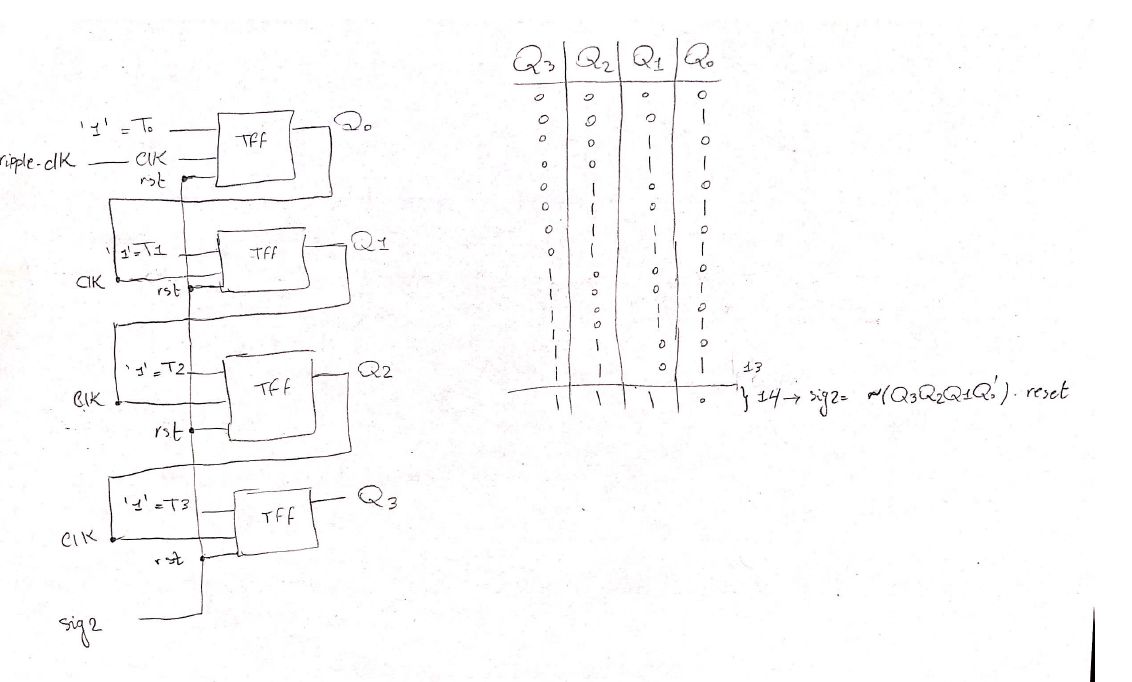
T-Flip Flop



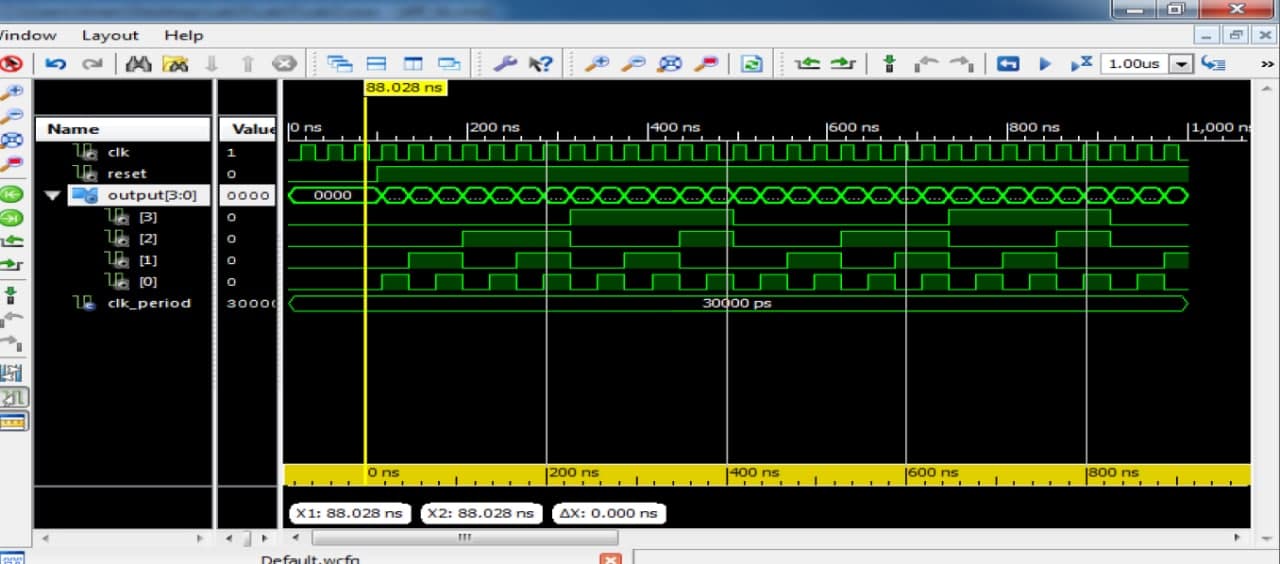


D-Flip Flop





Ripple Counter



مشاهده می‌کنیم که شمارنده از 0000 شروع می‌کند و تا 1101 ادامه می‌دهد سپس دوباره از 0000 شروع می کند .