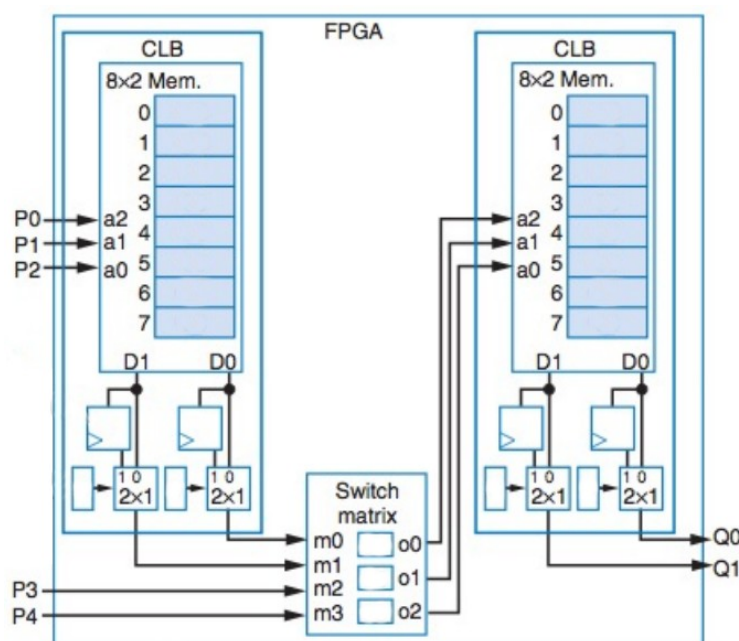


1) Dado o FPGA abaixo, contendo 2 CLBs com LUTs 3x2, desenhe um circuito qualquer que possa ser implementado neste FPGA e mostre como ficaria a configuração final (preencha os *bits* na própria figura) do FPGA para este circuito. O circuito deve obedecer às seguintes restrições:

- Deve possuir 5 entradas e 2 saídas;
- Todas as portas lógicas utilizadas devem ter no máximo 2 entradas;
- A LUT de um CLB deve conter valores diferentes da LUT do outro CLB;
- O circuito deve usar no mínimo 2 FFs;

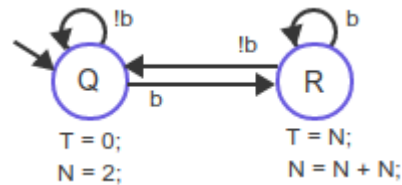
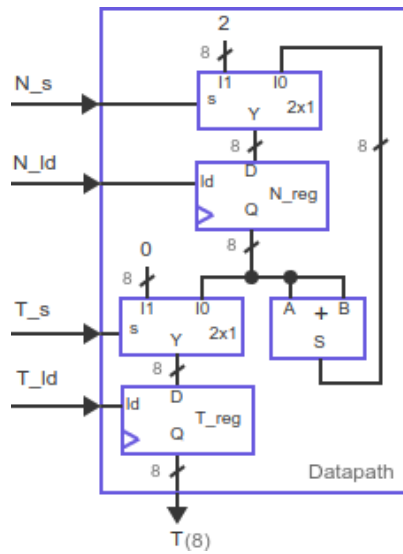


2) Para cada item a seguir elabore um circuito que atenda às restrições estabelecidas. Os atrasos das portas lógicas são mostrados na tabela abaixo. Considere que o atraso somado de todos os fios de um mesmo caminho é sempre igual a 1 ns. Utilize os FFs que julgar necessários.

Portas	Atraso
AND, OR, NOT	1 ns
NAND, NOR	2 ns
XOR, XNOR	2,5 ns

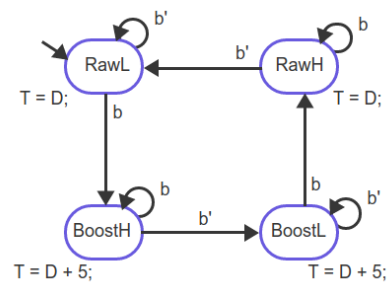
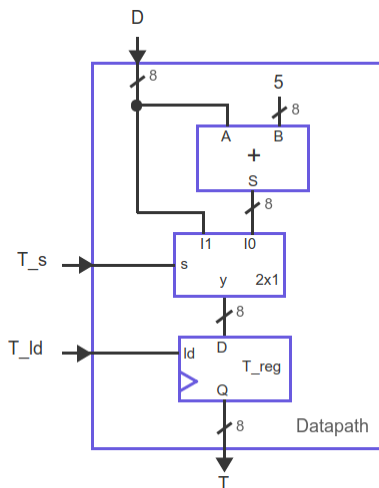
- a) Frequência máxima = 200 MHz
- b) Maior atraso de 10 ns e o menor de 6 ns
- c) Frequência máxima \geq 275 MHz, usando no mínimo 1 XOR e 1 NAND

3) Apresente a **tabela verdade** e a **FSM do bloco de controle** (com os devidos sinais de controle e valores) correspondentes ao *datapath* e à FSM de alto nível abaixo. Considere a codificação “one hot”, de forma que os estados Q e R sejam codificados em 01_b e 10_b, respectivamente.

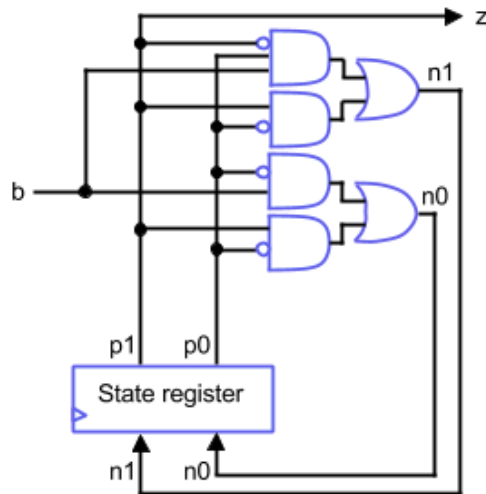


4) Dados o datapath e a FSM de alto nível abaixo, responda os itens a seguir:

- Apresente a tabela verdade e o circuito do bloco de controle (considere codificação binária)
- Mostre a FSM do bloco de controle, com os devidos sinais de controle e valores.



5) Dado um FPGA onde os CLBs possuem LUTs 3x1 e matrizes de interconexão com 4 entradas e 4 saídas, mostre como ficaria a configuração do circuito do bloco de controle mostrado a seguir. Utilize quantos CLBs e matrizes quiser e faça as ligações entre os componentes da forma que achar necessário.



6) Calcule o tempo e a frequência do maior e do menor caminho de cada um dos circuitos das questões anteriores (incluindo o *datapath* da questão 1). Considere que todas as portas lógicas possuem $1ns$ de atraso e que cada componente do *datapath* possui $3ns$ de atraso. Ignore o tempo dos fios.