

Sistemas digitais - 02/07/2025

Coprocessador

Vamos usar HLS
Síntese de alto nível

Sistemas digitais - lista 01

① Revisão de circuitos digitais

↳ Q.30) converte as seguintes equações booleanas em circuitos digitais:

a) $F(a, b, c) = a'b'c + ab$

a	b	c	\bar{a}	bc	$a'b'c$	ab	$S(a'b'c + ab)$
0	0	0	1	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	1	1	0	1
1	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0
1	1	0	0	0	0	1	1
1	1	1	0	1	0	1	1

b) $F(a, b, c) = a'b$

a	b	c	a'	$a'b$
0	0	0	1	0
0	0	1	1	0
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

animativa

c) $F(a,b,c) = abc + ab + a + b + c$

a	b	c	abc	ab	a	b	c
0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1
0	1	0	0	0	1	1	0
0	1	1	0	0	1	1	1
1	0	0	0	0	1	0	0
1	0	1	0	0	1	0	1
1	1	0	0	1	1	1	0
1	1	1	1	1	1	1	1

d) $F(a,b,c) = c'$

(2.31) Crie uma representação com equação booleana para o circuito digital da fig. 2.64

$$F(a,b) = (ab' + b')'$$

(2.32) Crie uma representação com equação booleana para o circuito digital da fig. 2.65. Expressão: $F(a,b,c) = a \cdot b \cdot c + a \cdot b' \cdot c' + a' \cdot b \cdot c' + a' \cdot b' \cdot c$

a	b	c	bb'	ab'	bb' + b'c'	ca' + b'c'	(ab + b')' + a'c
0	0	0	1	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	1	0
0	1	1	0	0	1	1	1
1	0	0	1	1	1	0	0
1	0	1	1	1	1	0	1
1	1	0	0	0	1	0	1
1	1	1	0	0	1	0	1

$$\begin{aligned}
 & (ab' + b) + (a'c) \\
 & b(a' + 1) + (a'c) \\
 & b + a'c \\
 & (b + a'c)
 \end{aligned}$$

$$F(a, b, c) = b + a'c$$

2.33) Converta cada uma das equações booleanas do Exercício 2.30 em uma tabela-verdade.

~~Judicial~~ | ~~abc~~ | ~~b~~

d) $F(a, b, c) = c'$

a	b	c	$S(c')$
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

2.34) Converta cada uma das seguintes equações booleanas em uma tabela-verdade:

(a) $F(a, b, c) = a' + bc'$

a	b	c	a'	c'	bc'	$a' + bc'$
0	0	0	1	1	0	1
0	0	1	1	0	0	1
0	1	0	1	1	1	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	1	0	0	0	0
1	1	0	0	1	1	1
1	1	1	0	0	0	0

b) $F(a, b, c) = (ab)' + ac' + bc$

a	b	c	c'	ab	$(ab)'$	bc	$(ac)'$	$(ab)' + ac' + bc$
0	0	0	1	0	1	0	0	1
0	0	1	0	0	1	0	0	1
0	1	0	1	0	1	0	0	1
0	1	1	0	0	1	1	0	1
1	0	0	1	0	1	0	1	1
1	0	1	0	0	1	0	0	1
1	1	0	1	1	0	0	1	1
1	1	1	0	1	0	1	0	1

c) $F(a, b, c) = ab + ac + ab'c' + c'$

a	b	c	ab	ac	b'	c'	$ab'c'$	$ab + ac + ab'c' + c'$
0	0	0	0	0	1	1	0	1
0	0	1	0	0	1	0	0	0
0	1	0	0	0	0	1	0	1
0	1	1	0	0	0	0	0	0
1	0	0	0	0	1	1	1	1
1	0	1	0	0	1	0	0	1
1	1	0	1	0	0	1	0	1
1	1	1	1	0	0	0	1	1

d) $F(a, b, c, d) = a'bc + d'$

Próxima página

a	b	c	d	a'	d'	abc	$a'bc$	s
0	0	0	0	1	1	0	0	1
0	0	0	1	1	0	0	0	0
0	0	1	0	1	1	0	0	1
0	0	1	1	1	0	0	0	0
0	1	0	0	1	1	0	0	1
0	1	0	1	1	0	0	0	0
0	1	1	0	1	1	1	1	1
0	1	1	1	1	0	1	1	1
1	0	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0	0
1	0	1	0	0	1	0	0	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	0	0	1
1	1	0	1	0	0	0	0	0
1	1	1	0	0	1	1	0	1
1	1	1	1	0	1	0	0	0

2.53 Um museu tem três salões, cada um com um sensor de movimento (m_0, m_1 e m_2) que fornece uma saída 1 quando é detectado algum movimento. À noite, a única pessoa no museu é o guarda da segurança que caminha de salão em salão. Escreva um circuito que seja um alarme (colocando a sua saída A em 1) apenas quando, em algum momento, um movimento é detectado em mais de um salão (isto é, em dois ou três salões), significando que deve haver um ou mais intrusos no museu. Comece com uma tabela verdade.

entradas:

m0

m1

m2

Saída:

A (1 quando 2 ou 3 sensores detectar)

m0	m1	m2	A
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$A = m_1 \cdot m_0 + m_2 \cdot m_0$$

2.54) Breve um circuito para o museu do Exercício 2.53 que detecte se o guarda está fazendo a ronda no museu de monlira apropriada. Isso pode ser detectado quando há exatamente um sensor de movimento em 1. Se nenhum sensor estiver em 1, o guarda deve estar sentado ou dormindo.

$$A = m_1 + m_0 + m_2$$

m0	m1	m2	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

ANIMATIVA

(2.55) Considere a função do alarme de segurança para o museu do exercício 2.53, mas para um museu com 10 salões. Uma tabela-verdade não é um bom ponto de partida (linhas demais, nem uma equação que descreva quando o alarme deve soar (quaisões demais). No entanto, a inversa (NOT) da função do alarme pode ser obtida rapidamente na forma de uma equação. Projete o circuito para um sistema de segurança de 10 salões, projetando a inversa da função e, então, simplesmente apresentando um inversor antes da saída da função.

O alarme não deve soar:

Quando o número de sensores ativos é 0 ou 1

A = and de cada um (entrada) com esses and juntó com um OR, dessa unica OR sua saída sera negada.

(3.15) Compare os comportamentos de um latch D e um flip-flop D completando o diagrama de tempo da fig. 3.78! Assuma que cada dispositivo armazena inicialmente um 0. Deixe uma breve explicação do comportamento de cada dispositivo.

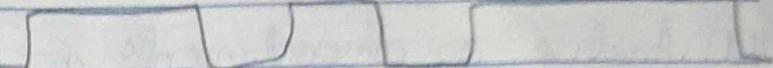
Q(latch)

Q(FF)

O latch D armazena o valor de D depois de um curto delay. O flip flop D armazena o valor de na borda da subida depois de um curto delay.

3.16 Compare os comportamentos de um latch D e um flip-flop D completando o diagrama de tempo da fig. 3.79. Assuma que cada dispositivo armazena inicialmente um 0. dê uma breve explicação do comportamento de cada dispositivo.

Q (latch D)



Q (flip-flop D)

O latch D armazena o valor de D quando o clock é 1. O flip-flop D armazena o valor D na borda de subida.

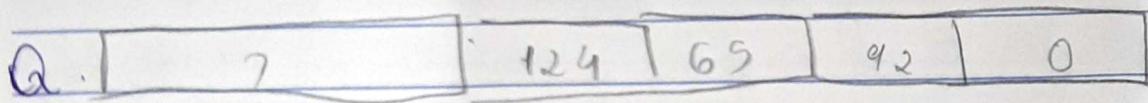
3.21 Considere três registradores de quatro bits que estão conectados entre si como mostrado na fig. 3.80. Assuma que os valores iniciais dos registradores são desconhecidos. Analise o comportamento dos registradores completando o diagrama de tempo da fig. 3.81.

b3...b0	?	14	5	15	9	0	2
c3...c0	?	9	14	5	15	9	0
d3...d0	?	?	?	14	5	15	9

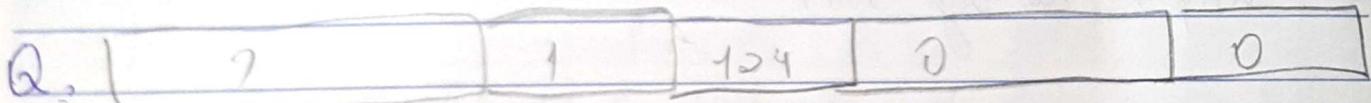
3.22 Considere três registradores de quatro bits que estão conectados entre si como mostrado na fig. 3.83. Assuma que os valores iniciais dos registradores são desconhecidos. Analise o comportamento dos registradores completando o diagrama de tempo da fig. 3.82.

b3...b0	?	14	5	15	9	0	2
c3...c0	?	9	14	5	15	9	0
d3...d0	?	?	14	5	15	9	0

4.1 Analise o comportamento de um registrador de oito bits de carga paralela com entrada I, saída Q e entrada de controle de carga ld, completando o seguinte diagrama de tempo.

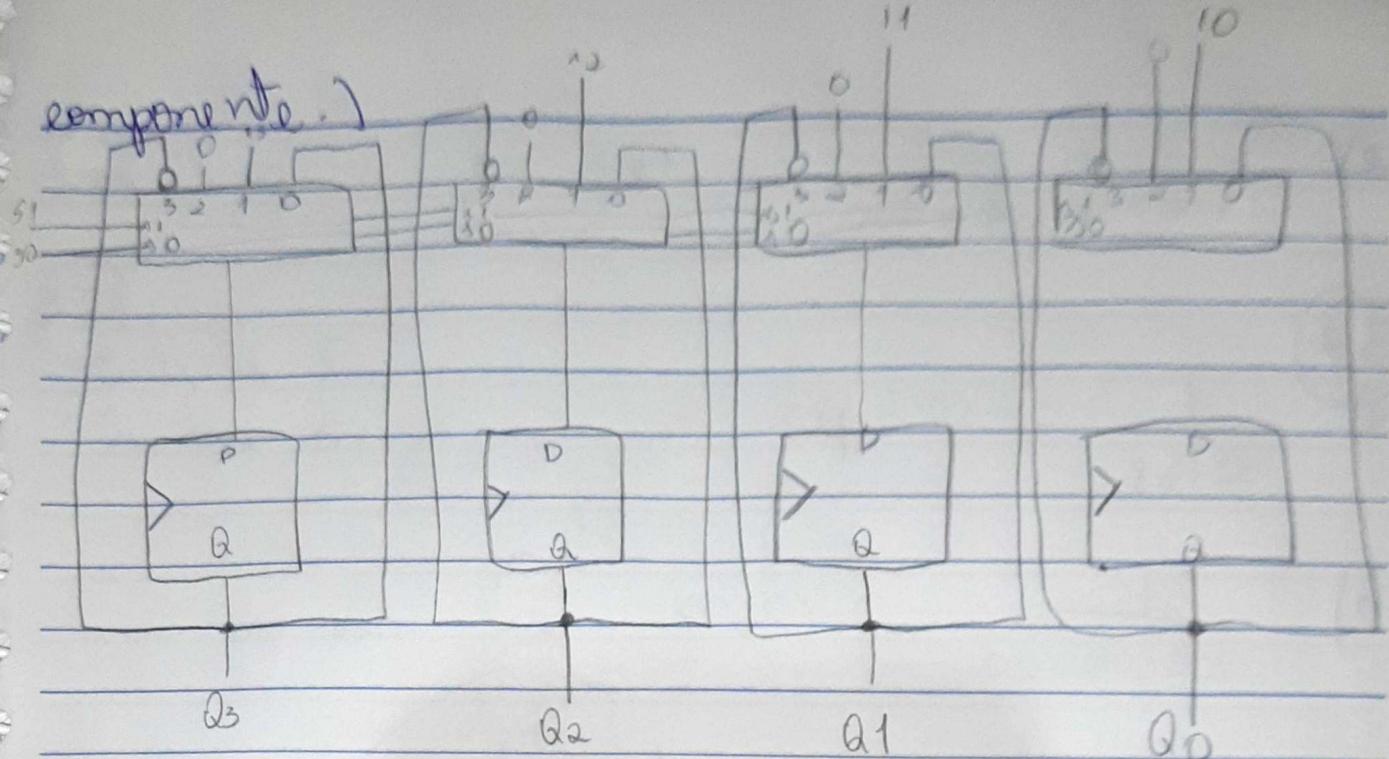


4.2 Analise o comportamento de um registrador de oito bits de carga paralela com entrada I, saída Q, entrada de controle de carga ld e entrada clr sincrona para fazer reset, completando o seguinte diagrama de tempo.



4.3 Projete um registrador de quatro bits com duas entradas de controle s1 e s0, quatro entrada de dados 13, 12, 11, 10, e quatro saída de dados Q3, Q2, Q1 e Q0. Quando $s1s0 = 00$, o registrador mantém seu valor. Quando $s1s0 = 01$, o registrador carrega 13...10. Quando $s1s0 = 10$, o registrador é carregado com 0000. Quando $s1s0 = 11$, o registrador faz o complemento do conteúdo, de modo que por exemplo, 0000 torna-se 1111 e 1010 torna-se 0101. (Problema de projeto de

componente.)



Bloco de controle e datapath

3.1 - 3.3

3.1 (a) 50 kHz (primeiros computadores)

$$\frac{1}{50\ 000} = 0,00002s = 20\ \mu s$$

b) $\frac{1}{3\ 00\ 000\ 000} = 3,33\ ns$

c) $\frac{1}{3,400\ 000\ 000} = 294\ ps = 0,294\ ns$

d) $\frac{1}{10\ 000\ 000\ 000} = 100\ ps = 0,1\ ns$

e) $\frac{1}{1000\ 000\ 000\ 000} = 1 \text{ ps}$

(3.2)

a) $\frac{1}{32768} = 30,5 \mu\text{s}$

b) $\frac{1}{100\ 000\ 000} = 10 \text{ ns}$

c) $\frac{1}{1500\ 000\ 000} = 0,66 \text{ ns} = 667 \text{ ps}$

d) $\frac{1}{24\ 000\ 000\ 000} = 0,416 \text{ ns} = 416 \text{ ps}$

(3.3)

a) $\frac{1}{1\text{s}} = 1 \text{ Hz}$

b) $\frac{1}{0,001} = 1000 \text{ Hz} = 1 \text{ kHz}$

c) $\frac{1}{20\text{ns}} = 50\ 000\ 000 \text{ Hz} = 50 \text{ MHz}$

d) $\frac{1}{1\text{ns}} = 1000\ 000\ 000 = 1 \text{ GHz}$

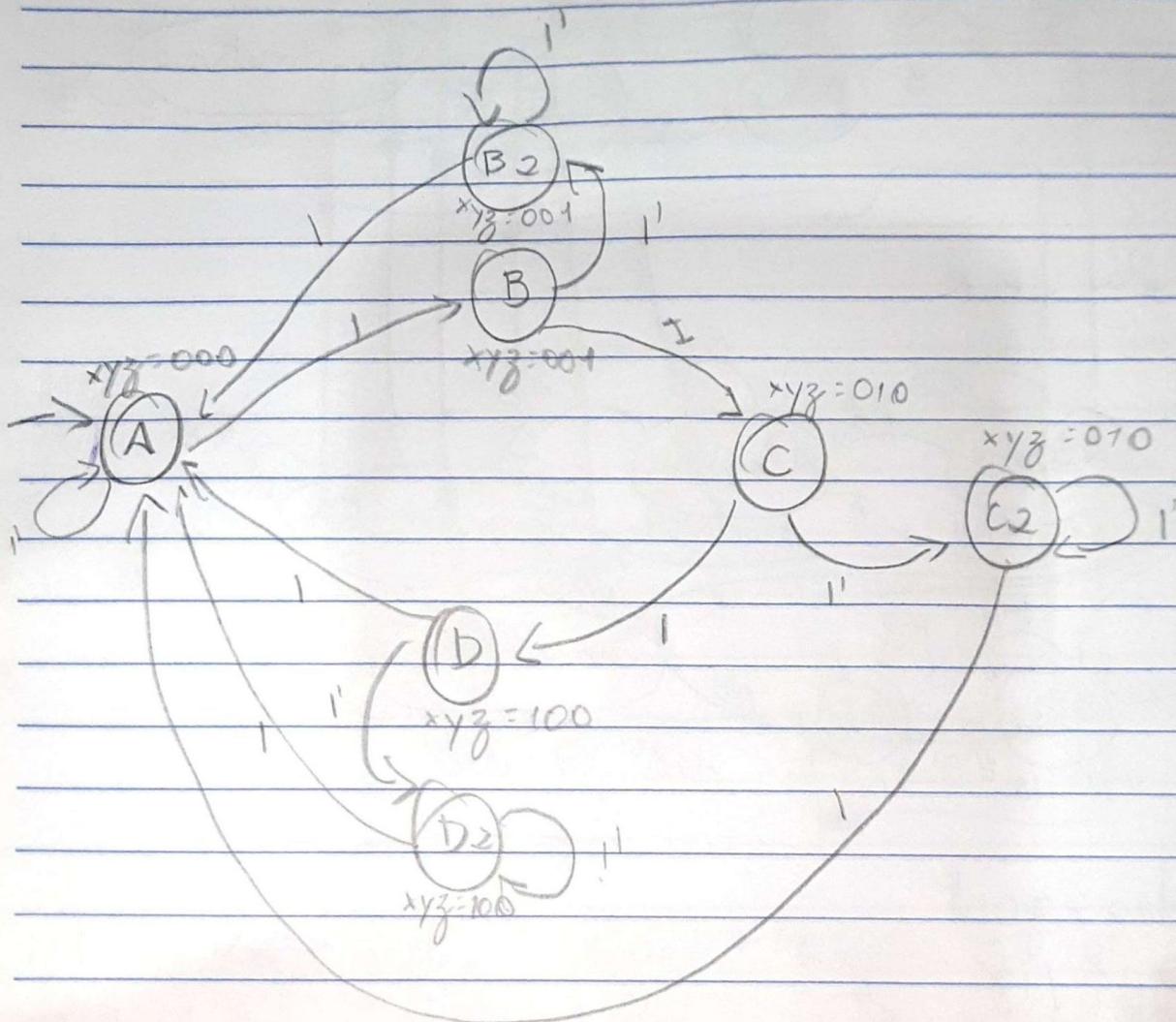
e) $\frac{1}{45 \text{ ps}} = 666 \text{ GHz}$

3.27 - 3.30

B.27

Entrada: I

Saiadas: xyz



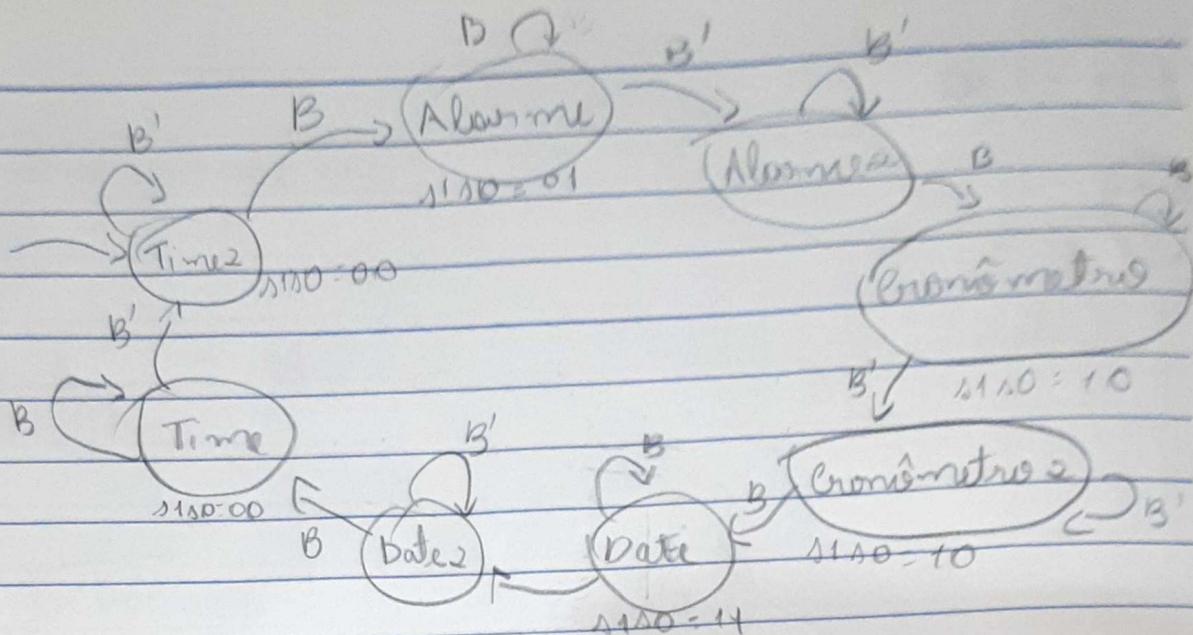
3.28

Entradas: B

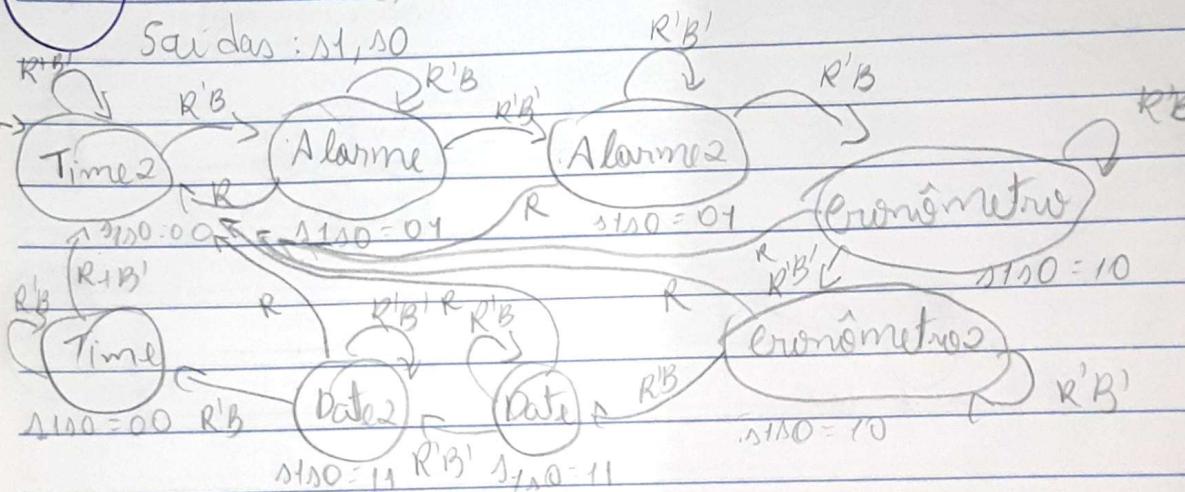
Saiadas: S, SO

Adm

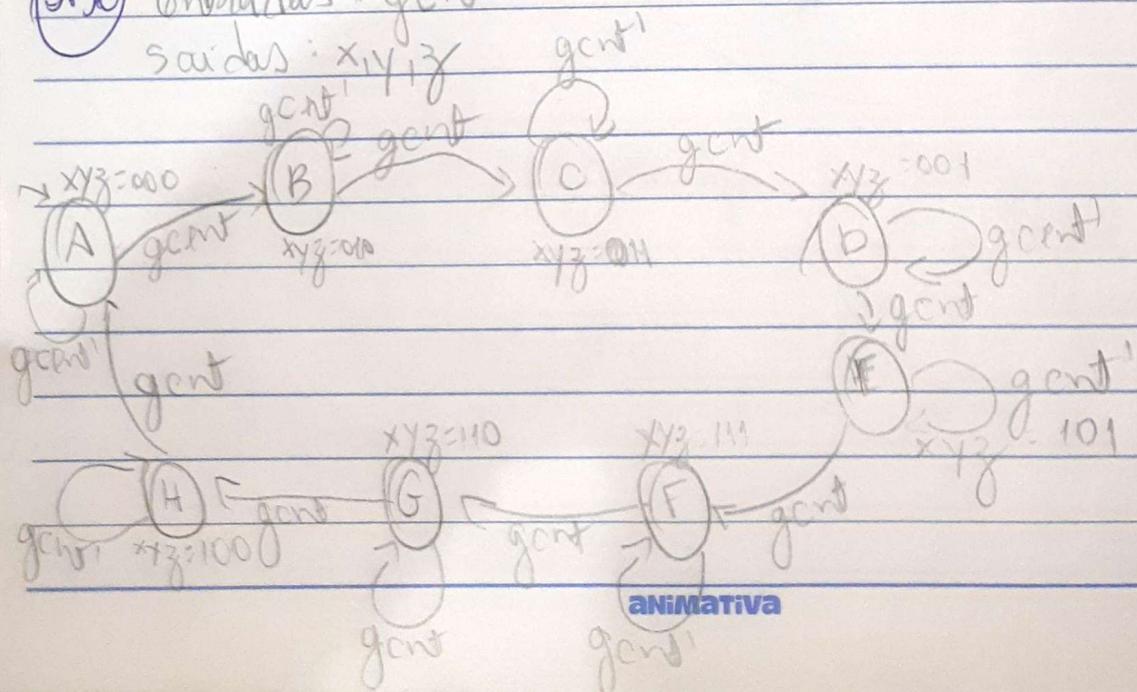
Outro



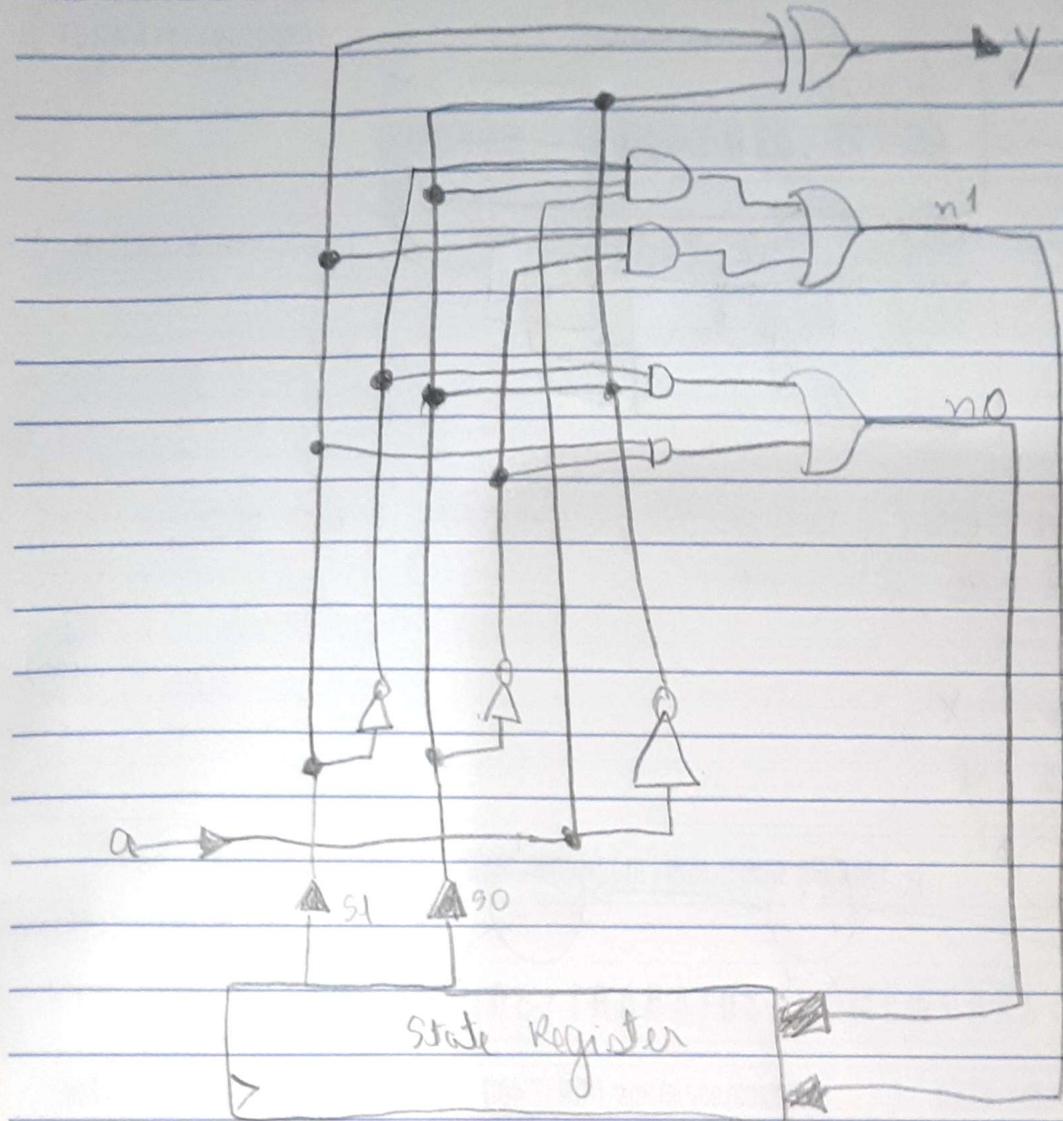
3.29 Entradas: B, R



3.30 Entradas: gent



3.39



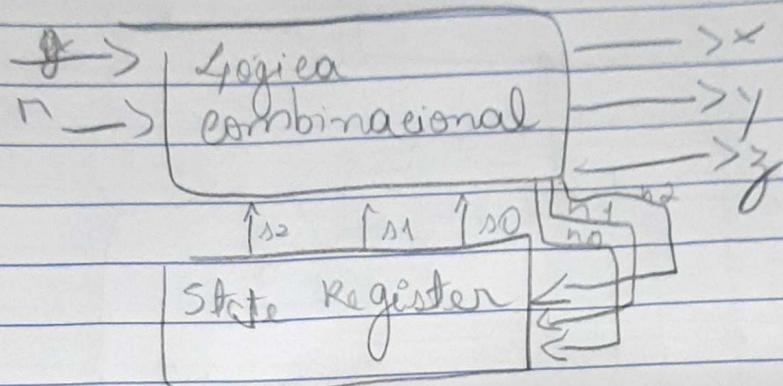
$$n_1 = s_1's_0a + s_1s_0'a' + s_1s_0'a + s_1's_0a' + s_1s_0'$$

$$n_0 = s_1's_0'a' + s_1's_0a' + s_1s_0'a' + s_1s_0'a = s_1'a' + s_1s_0'$$

$$y = s_1's_0a' + s_1's_0a + s_1s_0'a' + s_1s_0'a = s_1's_0 + s_1s_0' = s_1 \times s_0$$

3.44 - 3.45

(3.44)



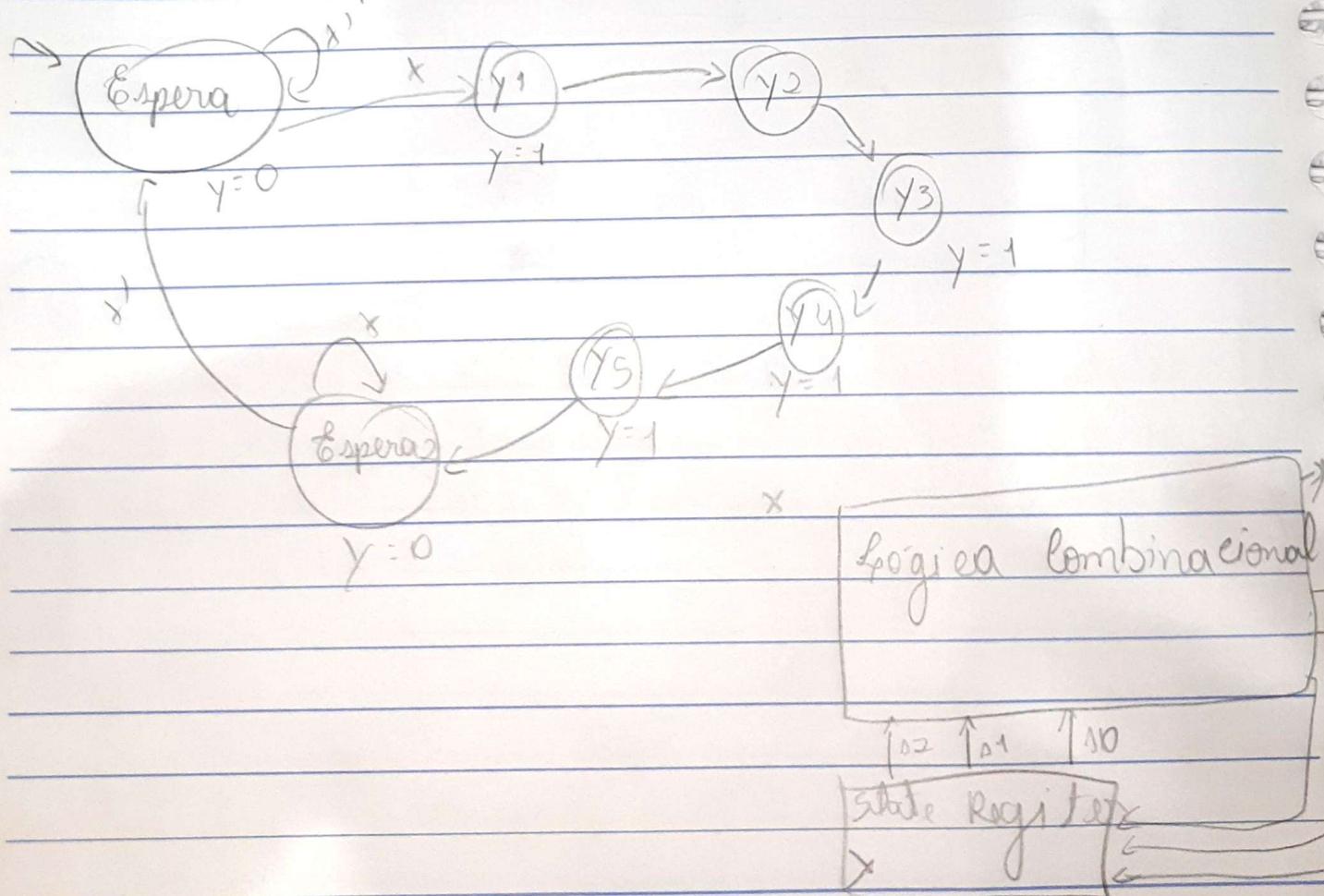
$$G_0 = 000, G_1 = 001, G_2 = 010, G_3 = 011, G_4 = 100$$

$$G_5 = 101, G_6 = 110, G_7 = 111$$

(3.45)

Entradas : x

Saidas : y



animativa

5.1 - 5.3

5.1

C

50

S

a

25

Estado [Init] Espera Add Espera Add Espera 20isp Init Espera

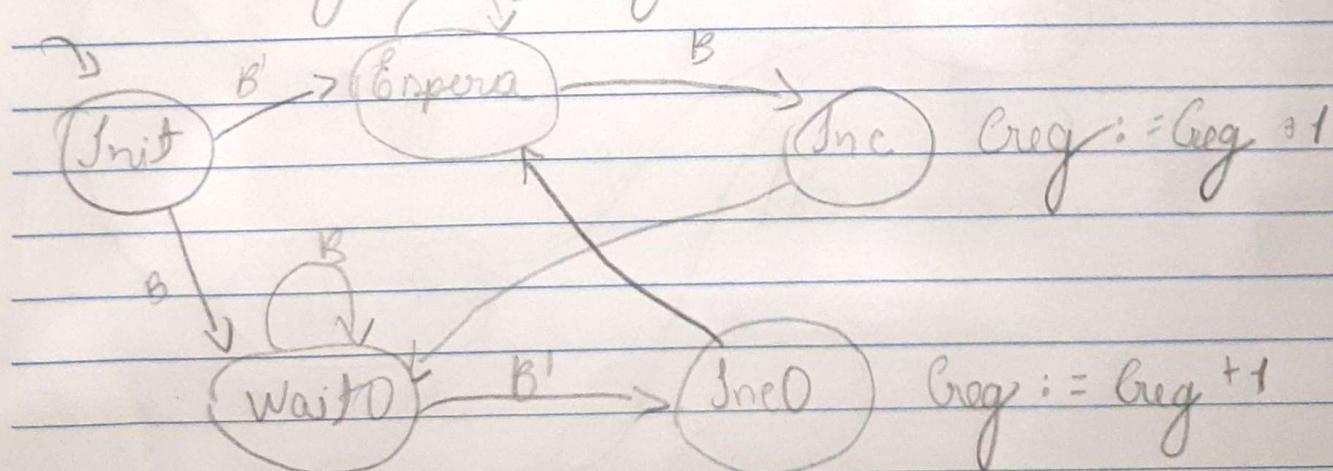
tot [0 X 10 X 35 X 60 X 0]

J

(5.2) Entrada : B (bit)

Saída : C (16 bits)

Local do registrador : Creg (16 bits)



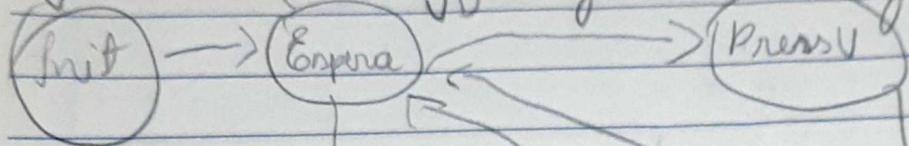
5.3 Entradas : U (bit), D (bit)

Saidas : e (16 bits)

Local dos registradores : Creg (16 bits)

$$Creg := (Creg \ll 6) + U \cdot D \quad (Creg \geq 0)$$

$$Creg := Creg + 1$$



$$Creg := 0$$

40K
(Creg > 0)

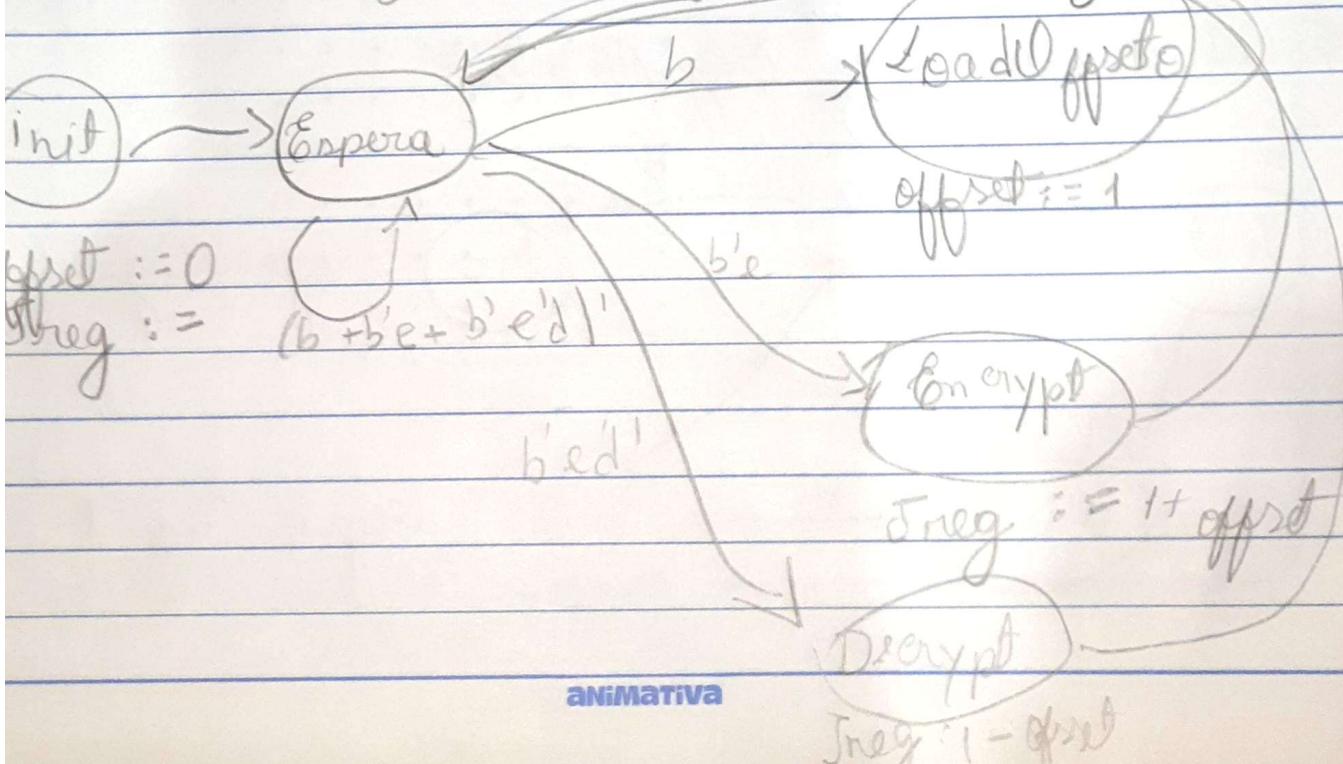
$$Creg := Creg - 1$$

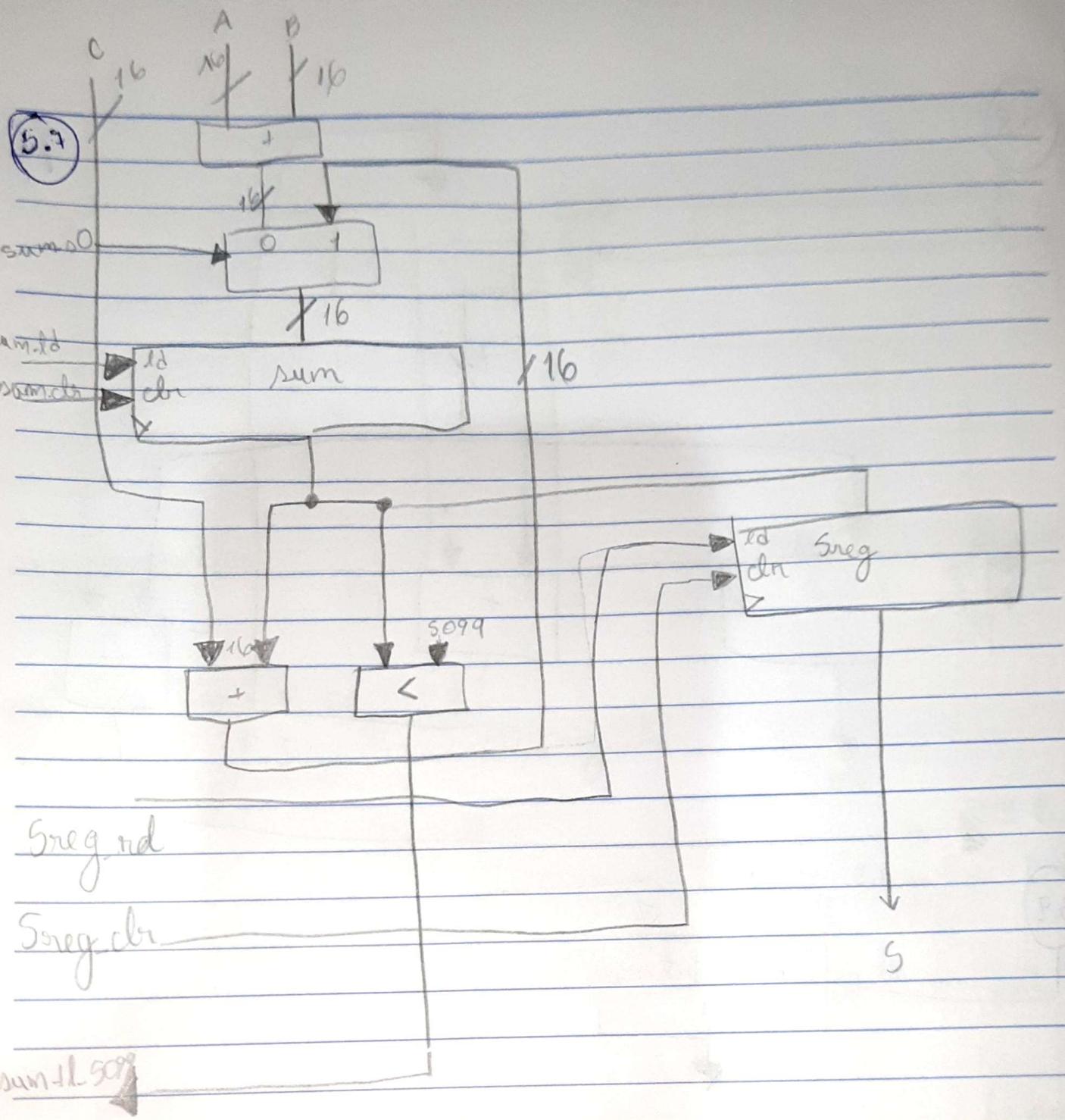
5.6 - 5.11

5.6 Entradas : I (32 bits), b (bit), e (bit), d (bit)

Saidas : S (32 bits)

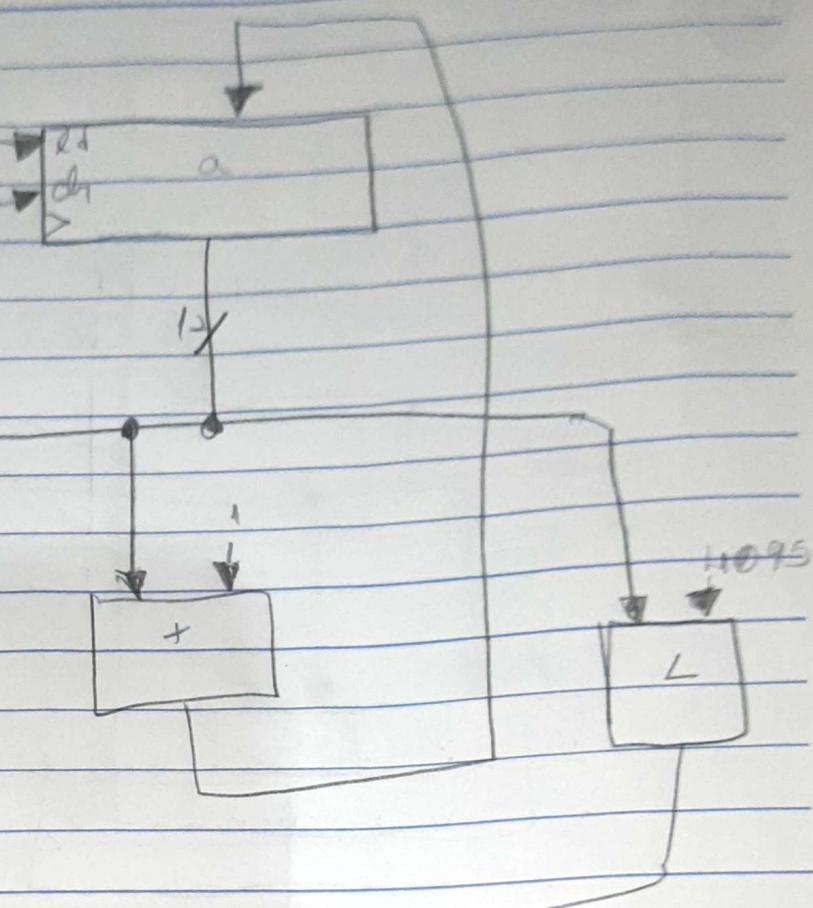
Local dos Registradores : offset (32 bits), Jreg (32 bits)





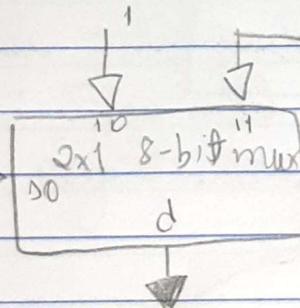
5.8

a ld
a.cbr

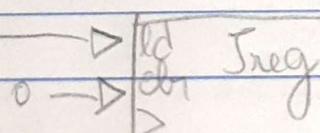


5.9

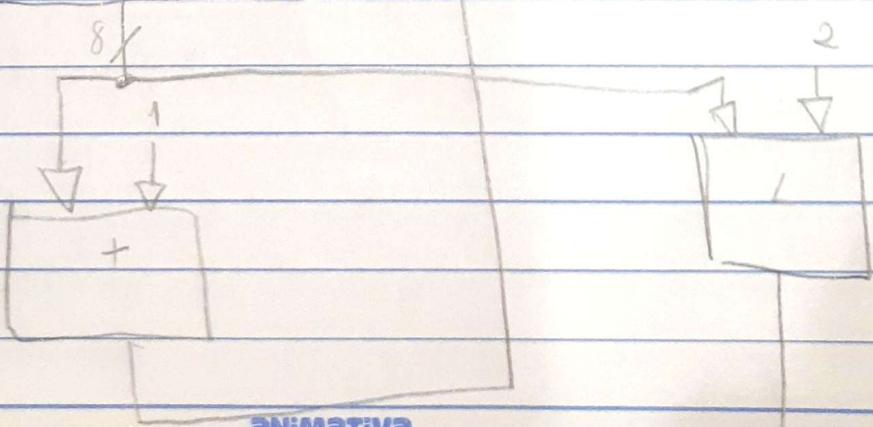
Reg-mux 50



Reg-ld

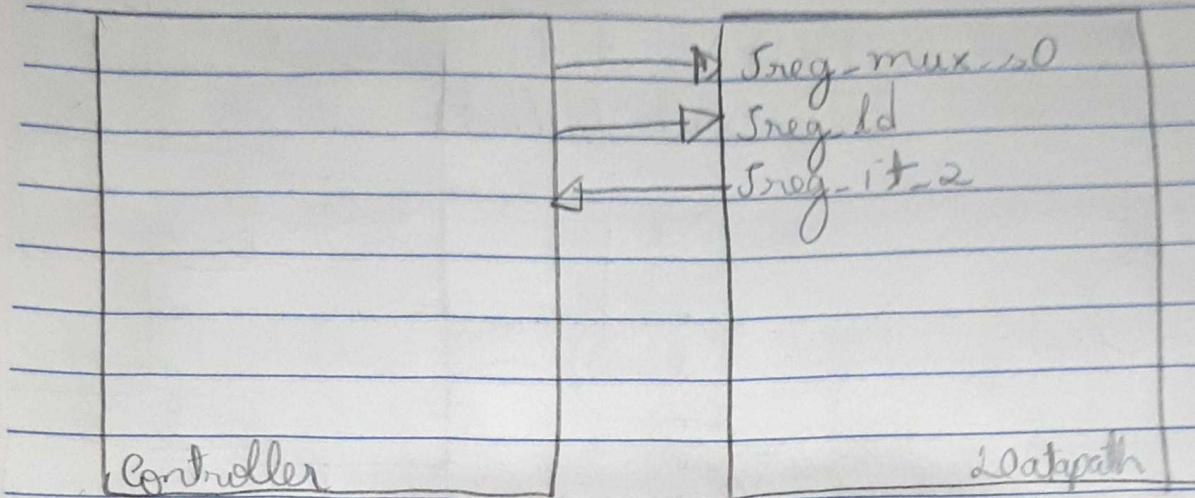


Reg-ld, 2

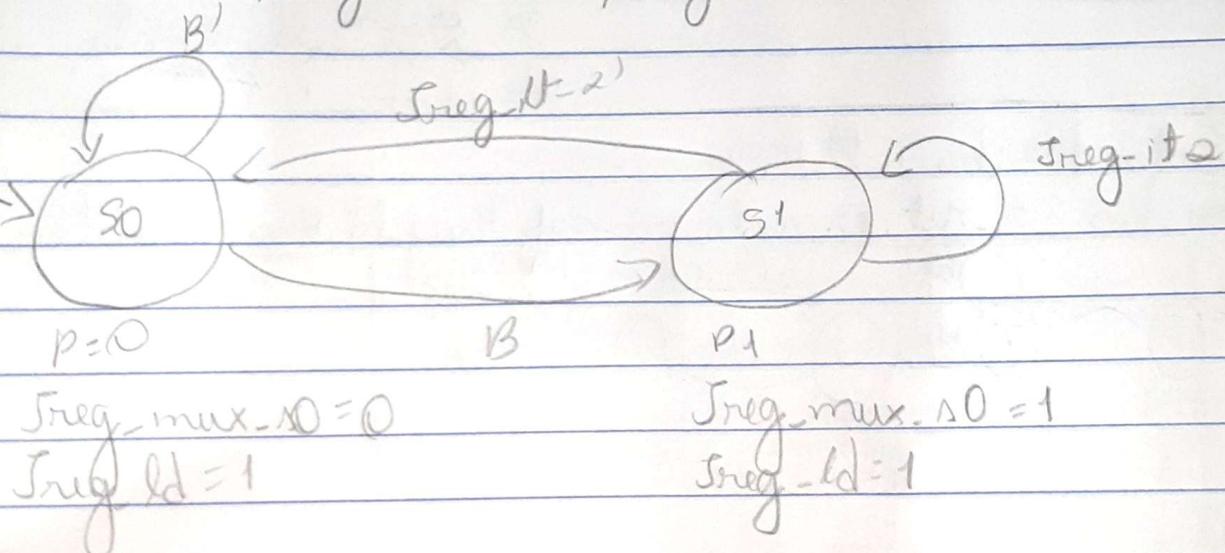


anIMATiVA

b)



c) Entradas: B , $Sreg_it\ 2$
Saídas: P , $Sreg_mux_10$, $Sreg_ld$



5.10

Entradas: start, w.wait(b1)

Saidas: w.vn, w-addr, ld, w-data, ld (bit)

w.wait

start

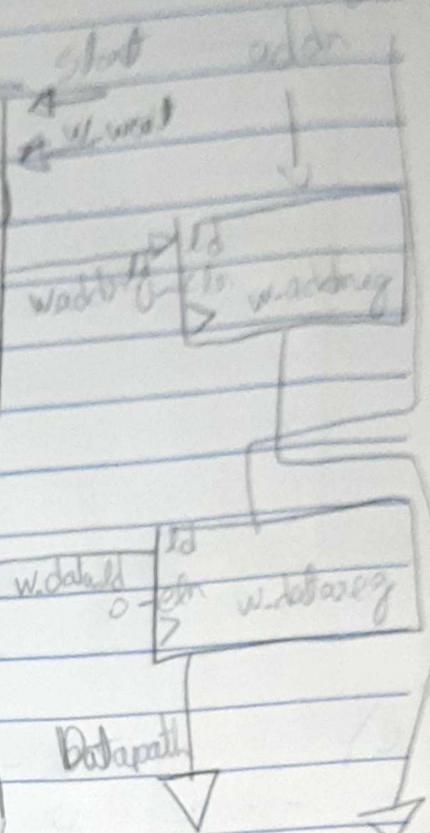
Send
addr

w.vn = 1
w-addr, ld = 1

controller FSM

w.wait

Send
data

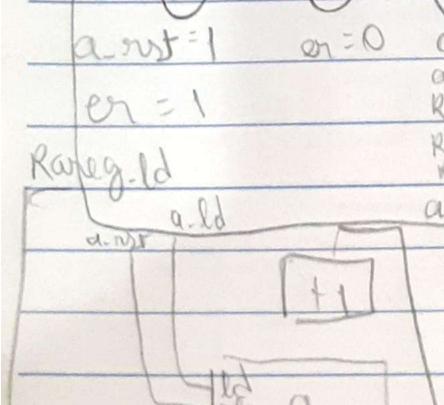


5.11

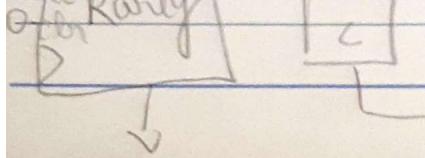
Entradas: bu, a-lt-4096

Saiidas: a-rst, er, a-ld, ad_buf, Rreq-ld, Rnw, Ren, a-ld

a-rst = 1 er = 0 ad_buf = 1
er = 1 ad_buf = 1 Rreq-ld = 1
Rreq-ld a-ld = 1 Rnw = 1
a-ld = 1 Rnw = 1



a-ld
Rreq
Rnw



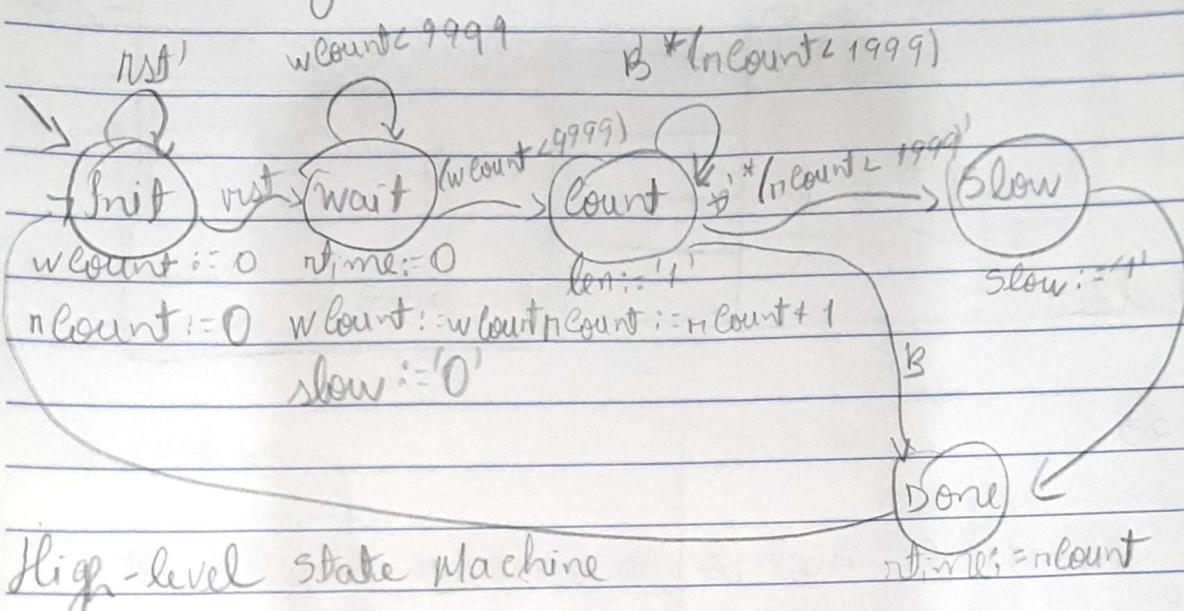
ANIMATIVA

5.15

Entradas: nst, B (bit)

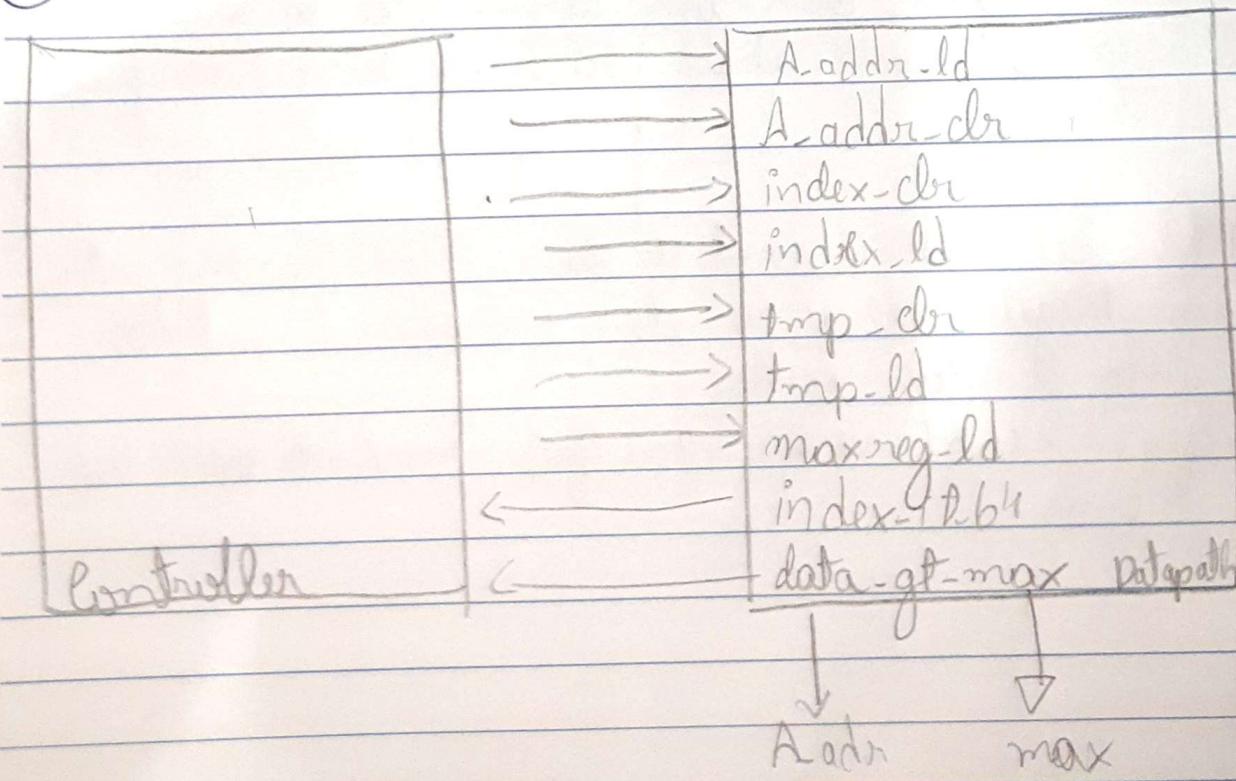
Saidas: len, slow (bit); ntime (11 bits)

Local dos Registradores: wCount (44 bits); nCount (11 bits)



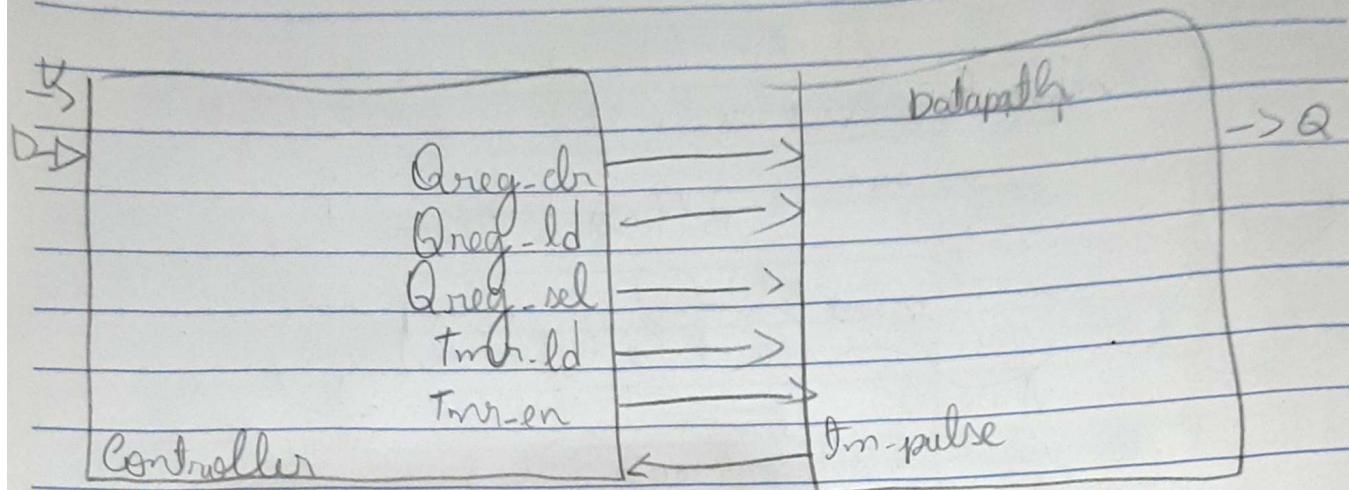
High-level state machine

5.18



ANIMATIVA

5.19



5.22 - 5.23

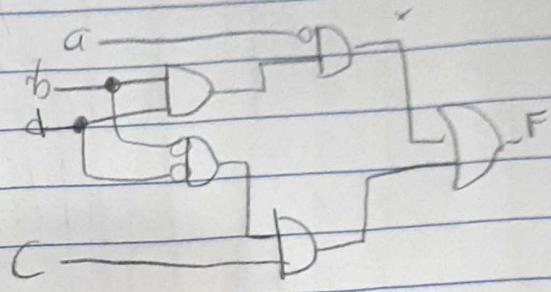
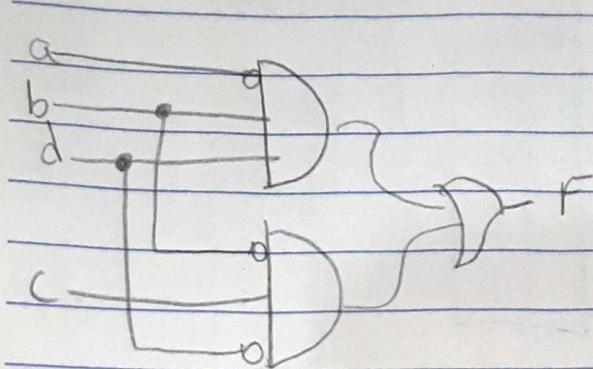
5.22 O caminho critico do somador completo está no trajeto de qualquer uma das entradas até a saída co (carry-out). O caminho critico inclui dois portões com um atraso total de 4ns e três segmentos de fio com um atraso total de 3 ns, resultando em um atraso total no caminho critico de 7 ns.

5.23 O caminho critico do desificador está no trajeto de uma das entradas invertidas até uma das saídas:

$$1 \text{ ns} (\text{fio}) + 1 \text{ ns} (\text{inversor}) + 1 \text{ ns} (\text{fio}) + 2 \text{ ns} (\text{porta AND}) + 1 \text{ ns} (\text{fio}) = 6 \text{ ns}$$

LUTs e CLBs

7.20 - 7.25



8x2 Mem	
0	10
1	00
2	00
a0 01 00	01
3	10
4	00
5	00
6	00
7	00

8x2 Mem	
a2	00
a1	00
00	00
d1	01
d0	01
d1	01
d0	01

7.24

8x2 Mem

1	00
2	00
3	01
$a_2 \rightarrow$	01
$a_1 \rightarrow$	01
$a_0 \rightarrow$	00
8	00
6	00
7	10
8	00

0	00
1	00
2	11
$a_2 \rightarrow$	10
$a_1 \rightarrow$	11
$a_0 \rightarrow$	10
5	10
6	11
7	10

d₁ d₀d₁ d₀

w

F G

7.22

8x2 Mem

0	00
1	00
$a \rightarrow a_2$	00
$b \rightarrow a_1$	00
$c \rightarrow a_0$	00
4	10
5	10
6	10
7	11

8x2 Mem

0	01
1	00
2	11
$a_2 \rightarrow$	10
$a_1 \rightarrow$	11
$a_0 \rightarrow$	10
5	10
6	11
7	10

d₁ d₀d₁ d₀

d

F G

7.23

8x2 Mem

0	00
1	01
a ₂	2 10
a ₁	3 00
a ₀	4 00
5	01
6	10
7	00

8x2 Mem

0	00
1	00
a ₂	2 00
a ₁	3 00
a ₀	4 00
5	01
6	10
7	00

8x2 Mem

0	00
1	01
a ₂	2 01
a ₁	3 01
a ₀	4 00
5	00
6	00
7	00

8x2 Mem

0	10
1	00
2	00
a ₂	3 10
a ₁	4 10
a ₀	5 00
6	00
7	10

8x2 Mem

0	00
1	10
a ₂	2 10
a ₁	3 10
a ₀	4 00
5	10
6	10
7	10

8x2 Mem

0	00
1	10
a ₂	2 10
a ₁	3 10
a ₀	4 00
5	10
6	10
7	10

7.24

