315852848 ליאור ידגרוב

מעבדה לVHDL – יישום

בניסוי זה ביצענו יישום ליחידה המבצעת פעולות לוגיות\אריתמטיות בהתאם לכניסות בקרה (sel).

המערכת עובדת על סמך הטבלת אמת שהוצגה בדרישות

תוכנית:

```
library ieee;
use ieee.std logic 1164.all;
use ieee.std logic unsigned.all;
entity ALU is
port(
A,B: in std logic vector (7 downto 0);
sel: in std logic vector (2 downto 0);
Ci: in std logic;
outpt: out std_logic_vector(7 downto 0));
end;
architecture one of ALU is
begin
                   when sel = "000" else
outpt <= A and B
                  A xor B when sel = "001" else
A or B when sel = "010" else
                  A or B
                                    when sel = "011" else
                  not A
                  A+Ci
                                     when sel = "100" else
                  A+B+Ci
                                     when sel = "101" else
                  A+(not B)+Ci when sel = "110" else
                                     when (sel = "111" and Ci = '0') else
                  В
                                           when (sel = "111" and Ci = '1');
end;
```

ליאור ידגרוב ליאור ידגרוב

סכימת RTL:

