

מטלה מס' 2

הוראות:

1. יש להגיש דו"ח ישירות באתר הקורס ב moodle .
2. הגשה ביחידים בלבד.
3. יש לפתור את המטלה בהתאם להנחיות המובאות להלן, ולהגיש דו"ח.

תיאור המטלה:

בנספח למטלה זו מתוארת יחידה אריתמטית-לוגית לביט בודד (1-Bit ALU).

- הסבר את מבנה המערכת. מה תפקיד הכניסות F0-F1 ו-ENB-ENA? מה מבצעת כניסת ה-INVA?
- ממש את המערכת באמצעות בלוקי always (שניים לפחות), הקפד לעשות שימוש נכון במשפטים שלמדנו למימוש כל חלקי המערכת, על פי טבלת האמת המצורפת.
שים לב: השתמש בתיאור התנהגותי (behavioral) ולא במימוש לוגי (Gate level).
- (ניתן להשתמש במימוש לוגי (dataflow) לחלק הסוכם – Full Adder).
- בדוק את פעולת המערכת באמצעות Waveform – וודא את כל פעולות היחידה השונות.
- האם ניתן לממש את המערכת באמצעות בלוקי always יחיד? אם כן, כיצד?

הנחיות:

לפתרון המטלה יש להשתמש ב- Quartus , ולבצע את הסעיפים הבאים:

- א. יש לכתוב את הקוד.
- ב. יש לצרף לדו"ח את הקוד שכתבתם – לא כצילום מסך, אלא כטקסט!
- ג. יש לבצע בדיקה של תקינות הקוד וקומפילציה של המערכת אותה מימשתם.
- ד. יש לצרף RTL schematic.
- ה. הסבר האם המערכת המתוארת צריכה להיות בעלת זיכרון או מערכת צירופית בלבד. ובנוסף בדוק ב-RTL Schematic שלא נוצרו רכיבי זיכרון פריזיטיים.
- ו. יש לתכנן וליצור Waveform עבור המערכת המוודא את תקינות המערכת מבחינה פונקציונלית.
- ז. יש לצרף את דיאגרמת הזמנים מהסימולטור המוכיחה את תקינות המערכת.
- ח. יש לספק הסברים מפורטים ברמה הנדרשת לכל סעיף מהדו"ח.

נספח:

Black Box:

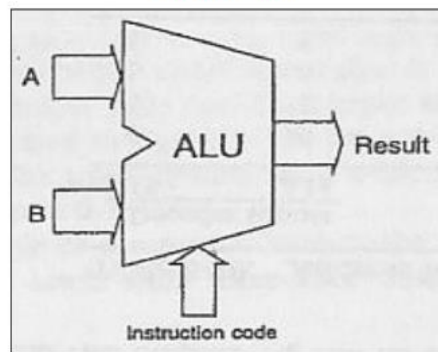


Figure 1

Gate Level:

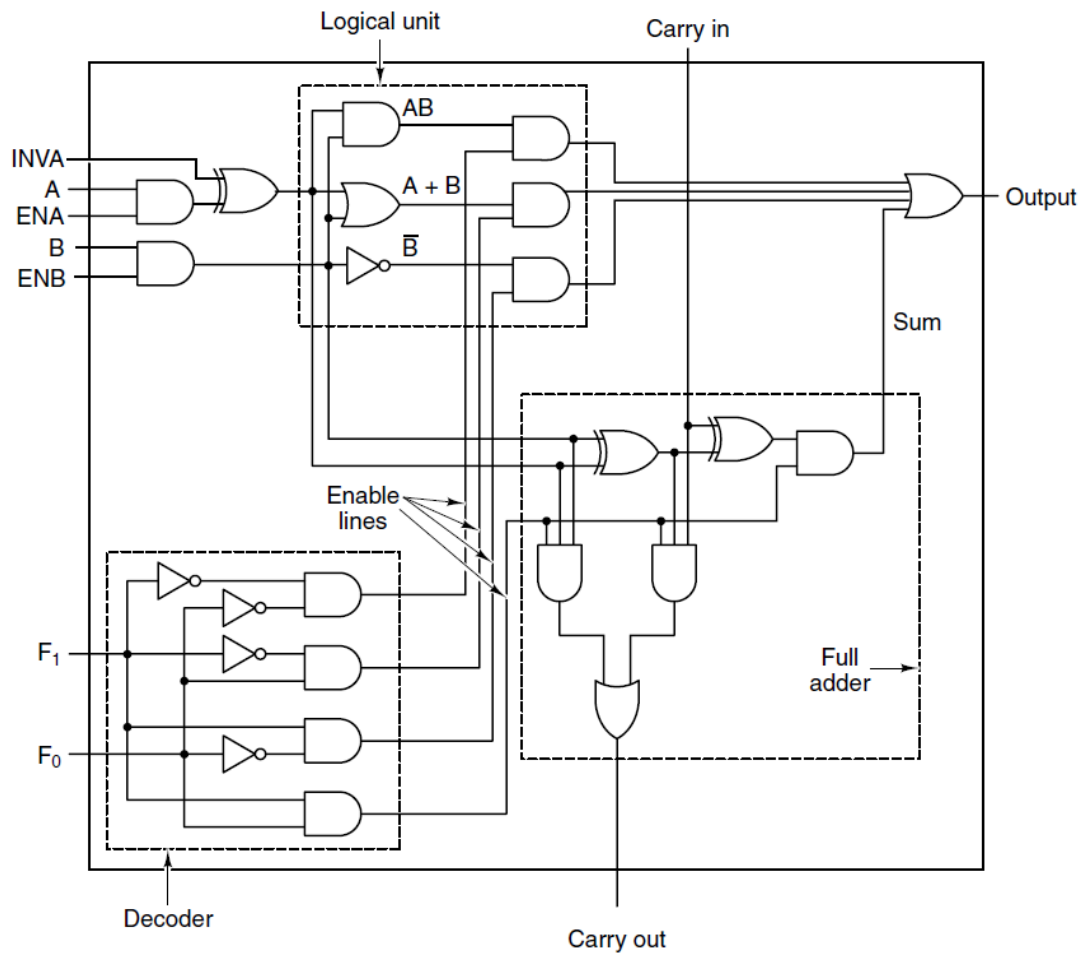


Figure 2

שים לב: אין לממש את הרכיב באמצעות שערים לוגיים אלו,
אלא באמצעות תיאור התנהגותי של הרכיבים,
ע"פ הדיאגרמה וטבלת האמת המופיעים בעמוד הבא.

דיאגרמת מודלים התנהגותית:

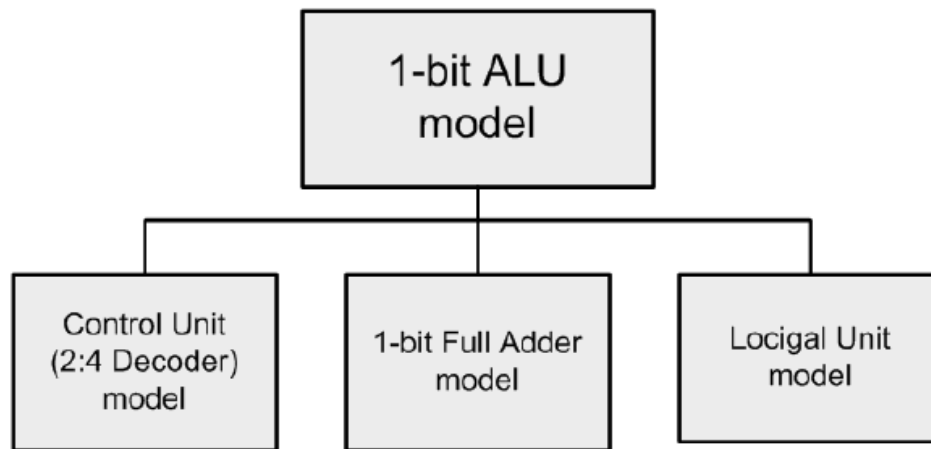


Figure 3

Operational Truth Table:

F_1	F_0	EN_A	EN_B	INV_A	C_{IN}	Output
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	A'
1	0	0	1	0	0	B'
1	1	1	1	0	0	A+B
1	1	1	1	0	1	A+B+1
1	1	1	0	0	1	A+1
1	1	0	1	0	1	B+1
1	1	1	1	1	1	B-A
1	1	0	1	1	0	B-1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
1	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

בהצלחה!