

Rechnerarchitektur

SS 18

Übungszettel 2

4. Zum Vergleich der Effizienz von Speicherzugriffen bei vier verschiedenen Architekturen betrachten wir folgende Maschinen:

- (a) Stack-Maschine (0-Adressmaschine)
- (b) Akku-Maschine (1-Adressmaschine)
- (c) Speicher-Maschine (3-Adressmaschine)
- (d) Load-Store-Maschine (Register-Maschine) mit
16 Registern, Register-Befehle haben 3 Operanden, die Registerkennung ist 4 Bit lang

Zum Vergleich der Speicherzugriffe treffen wir für alle Architekturen folgende Annahmen:

- Der Operationscode ist immer 1 Byte lang.
- Alle Speicheradressen haben eine Länge von 2 Bytes.
- Alle Operanden sind 4 Bytes lang.
- Die Länge einer Instruktion ist immer eine ganzzahlige Byteanzahl.
- Die Variablen A, B, und C stehen vom Beginn an im Speicher.
- Mit einem Speicherzugriff können maximal 4 Bytes übertragen werden.

Schreiben Sie für jede der vier obigen Architekturen Assembler-Code für die Anweisung $A = B + C$. Verwenden Sie dazu die (syntaktisch der entsprechenden Architektur angepassten) Assemblerbefehle `load`, `store`, `add`, `push`, `pop`, `move` und ermitteln Sie die Anzahl der Befehlsbytes und die Anzahl der Datenbytes für jede Code-Sequenz. Welche Architektur hat den effizientesten Code und welche die wenigsten Speicherzugriffe (= Befehle und Daten)?

5. Ein Audiosignal mit Dauer τ soll digital abgetastet und analysiert werden. Das *Nyquist*-Kriterium besagt, dass für die exakte Rekonstruktion eines Signals mit Bandbreite B die Abtastrate mindestens $2B$ betragen muss.

In der Digitalen Signalverarbeitung wird zur Signalanalyse oft des Fourierspektrum herangezogen. Die Komplexität der Diskreten Fouriertransformation (DFT) beträgt $O(n^2)$, d.h. es sind grob n^2 Multiplikationen, wobei n die Anzahl der Abtastpunkte bezeichnet, notwendig. Die Komplexität der schnellen Fouriertransformation (FFT) beträgt lediglich $O(n \log n)$.

Berechnen Sie die (ungefähren) Rechenzeiten für DFT und FFT auf einem Prozessor mit der Taktrate f_T . Eine Floating-Point-Operation benötigt k Taktzyklen. Zum Vergleich werden lediglich die Anzahl der Floating-Point-Multiplikationen berücksichtigt. Spezialisieren Sie das Ergebnis mit $\tau = 1s$, $B = 20kHz$, $f_T = 1GHz$ und $k = 4$.

6. Gegeben ist eine CPI-Rate eines Prozessors von 2.5. 50% der Befehle verursachen einen Speicherzugriff und 5% sind FPU-Befehle. Folgende Verbesserungen des Prozessors sollen geprüft werden:

- (a) Beseitigung von *Structural Hazards*: Bei $\frac{1}{4}$ der Speicherzugriffe wird 1 Taktzyklus gespart.
- (b) Erhöhung der Taktfrequenz um 10%. Dadurch benötigen aber FPU-Befehle 2 Taktzyklen mehr.

(c) FPU-Befehle um 2 Taktzyklen kürzen.

Welche Maßnahme bringt die größte Verbesserung?

7. Die CPI-Rate eines Prozessors sei 2.4. 15% der Befehle sind Sprungbefehle. Es werden zwei Verbesserungen ins Auge gefasst, von denen aber nur eine realisiert wird.

(a) Jeder Sprungbefehl wird um zwei Taktzyklen verringert.

(b) Die Taktfrequenz des Prozessors wird um $\frac{3}{7}$ erhöht, wodurch FPU-Befehle um einen Taktzyklus verlängert werden müssen.

Bei welchem Anteil von FPU-Befehlen sind beide Verbesserungen gleich?