

高性能演算実現のための
光 Race Logic の提案と評価

浅井里奈

平成 28 年 12 月

情報知能工学科

高性能演算実現のための 光 Race Logic の提案と評価

浅井里奈

内容梗概

配列アラインメントナノフォトニクス高性能化

目次

1	はじめに	1
2	Race Logic とその実装に関する課題	3
2.1	Race Logic	3
2.2	CMOS による Race Logic 実装	4
2.3	解決すべき課題	5
3	ナノフォトニック・デバイスを用いた Race Logic 実装	7
3.1	光デバイスについて	7
3.1.1	光デバイスの特徴	7
3.1.2	光素子の性能指標	8
3.1.3	ナノフォトニクスの性質	13
3.2	ナノフォトニック・デバイスによる Race Logic 実装	15
4	ケーススタディ：配列アラインメント	16
4.1	配列アラインメントの基本原理	16
4.2	設計選択肢	18
4.3	提案回路	19
5	評価・考察	21
5.1	評価	21
5.2	考察	21
6	おわりに	22
	謝辞	23
	参考文献	24

第 1 章

はじめに

高性能と低消費電力を実現させるために、多くのアプリケーションにおいて専用アクセラレータが検討されてきた。その中でも、動的計画法（Dynamic Programming, DP）によって解決されるような広範なクラスの最適化問題を高速化するために、“Race Logic”と呼ばれる新しいコンピューティングのアプローチが提案された [1]。Race Logic の基本概念は、回路に設定された競合条件を使用して有用な計算を実行することである。

Race Logic はその実装において複数の設計選択肢がある。しかしながら、現状では従来の相補型金属酸化物半導体（CMOS）テクノロジーで実装可能な Race Logic のみしかその有効性が明らかになっていない。

一方、ナノフォトニクスと呼ばれる新しい光素子技術が注目を集めている。このナノフォトニクスを用いて機能を実現したデバイスをナノフォトニック・デバイスという。ナノフォトニック・デバイスは光速度で演算を実現できる素子として注目されており、パターン検出機構や加算器などのアーキテクチャの検討がされている。

本論文では、Race Logic の更なる高性能化を目的とし、ナノフォトニック・デバイスを用いた実装を提案する。より具体的に評価を行うために、ナノフォトニック・デバイスを用いた光 Race Logic（以下、光 Race Logic）の性能を DNA グローバル配列アライメントタスクの例を用いて検討する。

本論文の構成は以下の通りである。第 2 章で Race Logic の基本原理、及び実装に関する課題を説明する。第 3 章では、光デバイスの基礎事項と共にナノフォトニクスの基本事項を説

明し，光 Race Logic の実装について述べる．第 4 章ではケーススタディとして配列アラインメントを取り上げる．配列アラインメントの原理説明を行った後，設計選択肢の整理，回路の提案を行う．第 5 章では提案した回路に対して評価と考察を行い，第 6 章でまとめを行う．



図 2.1: dammy

第 2 章

Race Logic とその実装に関する課題

本章では，Race Logic の基本原理と CMOS による実装をまとめ，その後 Race Logic の検討において解決すべき課題について述べる．

2.1 Race Logic

Race Logic の回路はセルと呼ばれる単位構造の繰り返しによって構成できる．基本的な構造の図を図 4.3 に示す．セルは上・斜上・左のセルから信号の入力を受け付ける．信号が入力された後，設定された条件に合わせて適切な処理をした後に，次のセルへ信号を出力する．

簡単な例を用いて説明する．文字列長がそれぞれ N, M のある 2 つの文字列を比較し，その類似度を計算できる回路を考える．回路の競争条件には遅延時間差を設定し，1 つのセルを通過する時間が 1 クロックサイクルとなるように処理を行う．図 4.3 にその回路を示す．セルでは一文字ごとにパタンの比較が行われる．右・下のセルへは無条件で信号が伝搬，比較する文字が一致した場合には斜下に信号が伝搬し，不一致の場合には伝搬しない．図 4.3 には Race Logic の構造を簡易化した図を示す．図の中の数字がそのセルに信号が到達した時のサイクル数を表す．図 4.3 のように比較するパターンが完全に一致した場合，Race Logic に

信号が入力されてから出力されるまでの回路遅延は M クロックサイクル ($N \leq M$) となる。図 4.3 のような場合では、Race Logic に信号が入力されてから出力されるまでの回路遅延は ($M + \text{不一致である文字数}$) クロックサイクル ($N \leq M$) となる。出力までにかかる回路遅延の時間差を測ることで、2つの文字列の一致度を見ることができる。

例において、セルの機能を D フリップフロップ、OR, AND ゲートを用いて実現した。しかし、回路に設定する競争条件によって実現すべきセルの機能は変わり、その機能を実現するために選択できる素子に制限はない。更に、例では D フリップフロップを用いることで次のセルへの伝搬をクロックと同期させる同期型の構造を取ったが、非同期での伝搬でも Race Logic の機能を実現することは可能である。これに関しては次節で詳しく述べる。

2.2 CMOS による Race Logic 実装

本節では、CMOS を用いた Race Logic 実装について説明する。Race Logic にはセルへの信号伝搬をクロックと同期させるもの同期型と、セルへの信号伝搬をクロックと同期させない非同期型とがある。競争条件を遅延時間差とし最短経路探索を行う回路について、同期型と非同期型を見ていく。

- CMOS による同期型 Race Logic 実装

CMOS で実装された同期型 Race Logic のセルの構造を図 2.2 に示す。

ブール値 “1” の信号は左・斜上・上のセルのいずれからも入力される。入力された信号は OR ゲートを通過して、飽和アップカウンタにおいて N クロックサイクルに 0 をカウントする。この飽和アップカウンタをクロックと同期させる。これにより、1つのセルを通過し、右・下のセルへと伝搬する際に 1 クロックサイクルを要する。各着色ゲートの出力は、所望の重量に達した時点でトリガーする特定の重量を表しており、アルファベットの符号化を入力とする MUX から所望の重量を選択することができる。生成される出力信号がパルスではなく固定ブール値 “1” であることを確実にするために、到着回路のセットが配置され、各計算の最後にリセットされている。

図 () のセルを繰り返した構造を持つアレイに信号が入力された時から出力信号を得るまでのクロック数をカウントするカウンタがアレイ外部に存在する。このカウンタ



図 2.2: dammy1



図 2.3: dammy2

が計測した値が最短経路をパスした時のクロック数となる。

- CMOS による非同期型 Race Logic 実装

CMOS で実装された非同期型 Race Logic のセルの構造を図 2.3 に示す。

ブール値 ”1” の信号は左・斜上・上のセルのいずれから入力される。入力された信号は OR ゲート，リセットのための AND ゲートを通過する。アレイのリセットのタイミングは，全ての遅延素子が確実にリセットされるように外部から調整される。AND ゲートを通過後に次のセルへの伝搬に向けて分けられ，それぞれの経路で遅延素子を通過する。各着色した経路では遅延素子によって起こる遅延に変化をつけている。同期型と同様，アルファベットの符号化を入力とする MUX から所望の遅延を選択することができる。ダミーのパスゲートは，全ての遅延経路に亘って同様の遅延を保証するために斜下へのパス以外に追加されている。

図 () のセルを繰り返した構造を持つアレイに信号が入力された時から出力信号を得るまでの遅延時間をカウントするカウンタがアレイ外部に存在する。このカウンタが計測した値が最短経路をパスした時の遅延時間となる。

2.3 解決すべき課題

これまで Race Logic の基本原理を述べ，CMOS による Race Logic 実装を見てきた。CMOS によって実装された Race Logic については，その有効性が明らかにされ，性能・面積・消費電力密度なども報告されている。しかしながら，Race Logic の設計選択肢は CMOS だけに限られず，CMOS 以外の素子を選択した場合の可能性については明らかになっていない。

Race Logic の更なる高性能化を目的とし，本論文ではナノフォトニック・デバイスによる実装に焦点を当てる．

第 3 章

ナノフォトニック・デバイスを用いた Race Logic 実装

本章では，本提案の光 Race Logic を理解する上で必要な光デバイスに関する基本事項を説明し，ナノフォトニック・デバイスによる Race Logic 実装について述べる．

3.1 光デバイスについて

本節では，まず光デバイスの特徴について述べる．その後，代表的な光素子の性能指標を素子ごとにまとめ，最後にナノフォトニクスについて解説する．

3.1.1 光デバイスの特徴

以下に光デバイスの特徴をまとめ，詳細を説明する．光デバイスは光が信号を伝搬する素子全般のことを指す．一方，本論文では電気デバイスとは電気が信号を伝搬する CMOS トランジスタを指すものと定義する．

- デバイスサイズ

現状，光デバイスのゲート長は $cm \sim mm$ オーダーのスケールである．後述するナノフォトニクスを用いたとしても，そのスケールのオーダーは μm である．

- 信号の周波数帯域

光デバイスにおいて、信号の伝搬は光信号が通過するか否かで行われる。電気デバイスのように時定数によって周波数帯域が制限されることがない。よって、その周波数帯域は広帯域であると言える。

- データの蓄積

電気デバイスは、電荷を貯めることでデータを保持できる。光デバイスは光を留めておくことが難しいため、データの蓄積は困難である。電気デバイスの方が、光デバイスよりもデータの蓄積が容易であると言える。

- スループット

データ処理やネットワークにおけるスループットについて述べる。スループットとは単位時間あたりの処理量や処理可能なデータ量のことである。光信号は多重性と呼ばれる複数の異なる周波数を多重して送る事ができる性質を持つ。光デバイスは光信号の広帯域性や、波長多重、位相多重と言った多重性を利用して、伝搬信号自体の情報量を増加させることで、データ転送速度を向上させることが可能である。

電気デバイスはデバイスの小型化が可能という特徴から集積度を上げることが可能である。それに比べ、現状では光デバイスはデバイスの小型化に向いておらず、集積度を上げることが困難であった。よって演算には電気デバイスが用いられてきた。一方、光デバイスは伝搬信号の情報量が大きく、信号の移動速度も速いという特徴から通信に使われてきた。

3.1.2 光素子の性能指標

本項では、光素子の性能指標について説明する。説明にあたり、語句を定義する。

- 光伝搬信号

光デバイスおよび、そのデバイスを用いて構成した回路において、情報を伝搬する光信号を指す。

- 光伝搬入力信号および光伝搬出力信号

光デバイスおよび、そのデバイスを用いて構成した回路において、入力される光伝搬

信号を光伝搬入力信号，出力される光伝搬信号を光伝搬出力信号と呼ぶ．光入力信号および光出力信号と略す．

- 光伝搬入力信号強度および光伝搬出力信号強度

光伝搬入力信号および光伝搬出力信号の信号強度を指す．単位は [W] である．光入力信号強度および光出力信号強度と略す．

- 光制御信号

光デバイスを制御するための光信号を指す．

- 光制御信号強度

光制御信号の信号強度を指す．単位は [W] である．

- 電気制御信号

光デバイスを制御するための電気信号を指す．

- 電気制御信号強度

電気制御信号の信号強度を指す．単位は [V] である．

光スイッチの性能指標

光スイッチとは，光伝搬信号を通過させるか否かでオン動作およびオフ動作をする光デバイスである．光スイッチの性能指標として，よく用いられるのが漏れ率および透過率，消光比，OMA(Optical Modulation Amplitude) の 3 つである．光スイッチへの光入力信号強度を P_{in} ，光出力信号強度を P_{out} とした場合の，光入力信号強度と光出力信号強度の関係を図 3.1 に示す．図の縦軸は光出力信号強度，横軸は時間を表している．理想的なスイッチでは，光伝搬信号の漏れが無い場合光出力信号強度は図の青線に示す関係を取る．しかしながら，実際にはオン動作とオフ動作どちらの場合でも光伝搬信号の漏れがあるため，光出力信号強度は図の赤線に示す関係を取る．以下にそれぞれの性能指標の定義を示す．

- 漏れ率，透過率

漏れ率とは，スイッチがオン動作とオフ動作の際，それぞれどの程度の光伝搬信号が漏れるかということを表す指標である．図 3.1 に示す α は，スイッチがオン動作の際

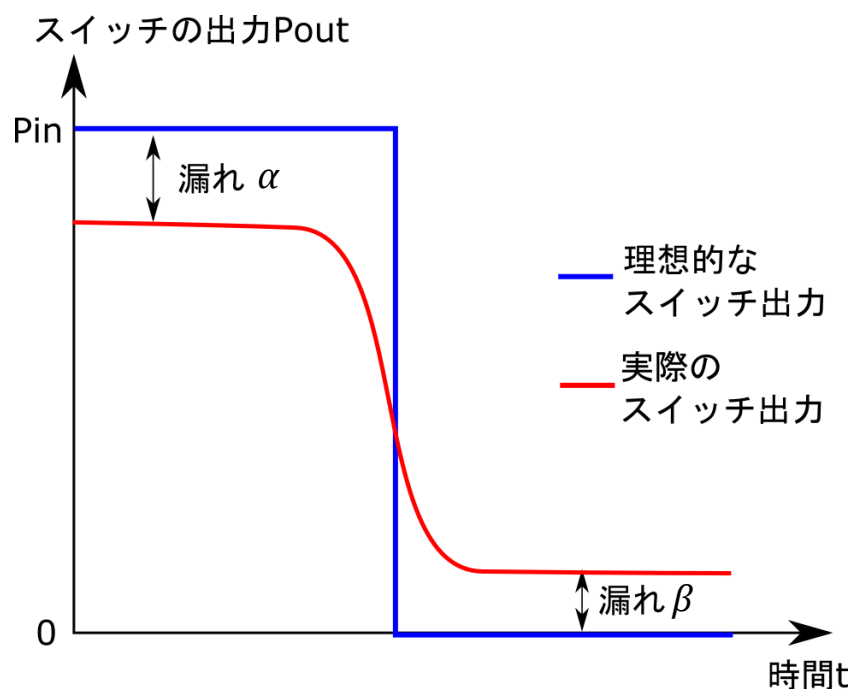


図 3.1: 光スイッチの光入力信号強度と光出力信号強度

にスイッチから回路外へ光伝搬信号がどの程度漏れ出すかを表す漏れ率である。また、スイッチがオン動作の際にどの程度の光伝搬信号を透過させられるかを表す指標を透過率と呼び、漏れ率 α を用いて表すと $1 - \alpha$ となる。光スイッチへの光入力信号強度を P_{in} 、オン動作をする際の光出力信号強度を P_{1out} とすると、 $\frac{P_{1out}}{P_{in}} = 1 - \alpha$ である。図 3.1 に示す β は、スイッチがオフ動作の際に光伝搬信号を遮断しきれずに、どの程度出力へ漏れ出すかを表す漏れ率である。光スイッチへの光入力信号強度を P_{in} 、オフ動作をする際の光出力信号強度を P_{0out} とすると、 $\frac{P_{0out}}{P_{in}} = \beta$ である。 α 、 β の値が小さいほどスイッチの性能が高いと言える。

- 消光比

消光比とは、スイッチの光出力信号が 1 と 0 の場合の光出力信号強度比である。透過率 $1 - \alpha$ および漏れ率 β を用いると、式 (3.1) で表される。

$$\text{消光比} = \frac{1 - \alpha}{\beta} \quad (3.1)$$

- OMA

OMA は光変調振幅とも呼ばれる。これはスイッチの光出力信号が 1 と 0 の場合の光出力信号強度差である。光入力信号強度を P_{in} とし、透過率 $1 - \alpha$ および漏れ率 β を用いると、式 (3.2) で表される。

$$OMA = P_{in}(1 - \alpha - \beta)[W] \quad (3.2)$$

式 (3.1) および式 (3.2) から、消光比と OMA は、透過率および漏れ率を用いて議論することが可能であるとわかる。よって本論文では透過率、漏れ率に着目し、これらをスイッチ性能として議論する。

受光器の性能指標

光の素粒子は一般に光子 (フォトン) と呼ばれる。全ての粒子が波動性を持つことを、粒子と波動の二重性と言う。光子も粒子性と波動性の 2 つの性質を持つ [2]。光子のエネルギーは光の周波数 (波長) で決定する。

$$E = h\nu \quad (3.3)$$

E は光子のエネルギー、 h はプランク定数、 ν は光の周波数である。光の強度は光子の数によって決定する。

物質中の電子のエネルギーは、取り得るエネルギー準位が限定されている。そのエネルギー準位は帯構造を取り、図 3.2 に示すようにそれぞれ伝導帯、禁制帯、価電子帯と呼ばれる。伝導帯とは、電子が占めているエネルギー帯のうち最も高いエネルギー準位を示すエネルギー帯である。この伝導帯は電子が充填されておらず、このエネルギー帯に存在する電子は自由電子として振る舞う。価電子帯は価電子によって充填されたエネルギー帯である。禁制帯とは電子が存在できないエネルギー帯である。この禁制帯の幅が図 3.2 に示す E_g であり、エネルギーギャップと呼ばれる。半導体物質において、エネルギーギャップを超えるのに十分なエネルギーを持った光子 1 つが入射した際に、自由電子と正孔のペア 1 つを生成する。この現象を吸収という。光子のエネルギーはその光の周波数で決まるため、エネルギーギャップの大きさに対応した周波数がある。逆の現象が、放出である。これは、自由電子と正孔が再結合した際に、そのエネルギーギャップ $E_g = h\nu$ に相当するエネルギーを持つ光子を放出する現象である。図 3.3 に吸収と放出の様子を示す。図 3.3(a) におけるエネルギー



図 3.2: 半導体のエネルギーバンド図

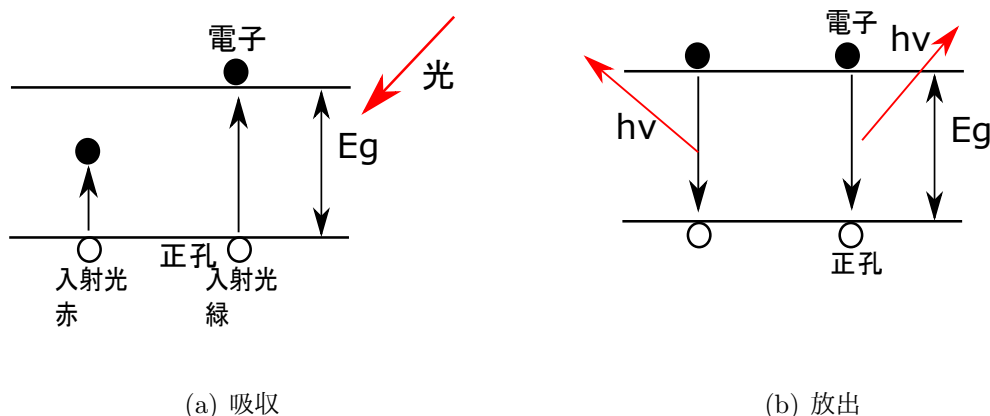


図 3.3: 光の吸収と放出

ギャップが、緑の光の光子の持つエネルギーと等しいとする．この際、緑の光を入射すると電子正孔対が生成される．しかしながら、赤の光は緑の光よりも周波数が小さいため、光子のエネルギーが緑の光と比べて小さい．よって赤の光を入射しても電子は伝導帯へと励起することができず、電子正孔対は生成されない．受光器であるフォトダイオードはこの吸収の現象を利用して光を検出する．フォトダイオードは p 型半導体と真性半導体と n 型半導体を接合した pin 接合という構造を持ち、空乏層で発生した電子や正孔が移動することで電流が流れる．この電流のことを光電流と呼ぶ．流れる光電流の大きさは光の強度に比例する．図 3.4 に受光器のエネルギーバンド図を示す．受光器の性能は受光感度として表される．受光感度は、光入力信号強度を [W]、光電流を [A] で表した場合、両者の比で表される．受光感

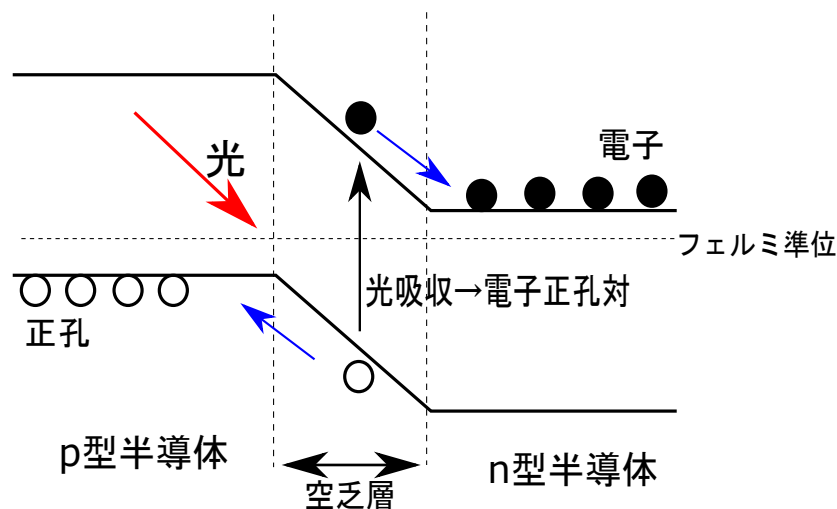


図 3.4: 受光器のエネルギーバンド図

度は式 (3.4) で表される．式 (3.4) によって導かれる値が 1 に近い程，感度の良い受光器であることを示す．

$$\text{受光感度} = \frac{A}{W} \quad (3.4)$$

もう一つ重要な性能指標が受光器の最小受光感度である．最小受光感度とは，受光器が検出可能な最小の信号強度のことである．

3.1.3 ナノフォトニクス of 性質

ナノフォトニクスとは，ナノ加工技術をベースとして，近接場光の性質を活かした技術である．近接場光とは物質の表面付近に局在する非伝播な電磁場であり，その局在範囲は光の波長と同程度かそれに比べ小さい．近接場光の概要を図 3.5 に示す．物質から遠ざかるにつれて電磁場は減少するため，その特徴からエバネッセント光とも呼ばれる．屈折率の大きい媒質から屈折率の小さい媒質に光を入射させる．この場合ある角度を超えると，光は境界面を通過せず全て反射する．この現象を全反射と言う．物質表面に全反射が起こるように光を入射した際，反射が起こっている物質境界面付近では局在する電磁場が発生する．この電磁場光がエバネッセント光である．エバネッセント光が発生した際，境界面から離れる方向に

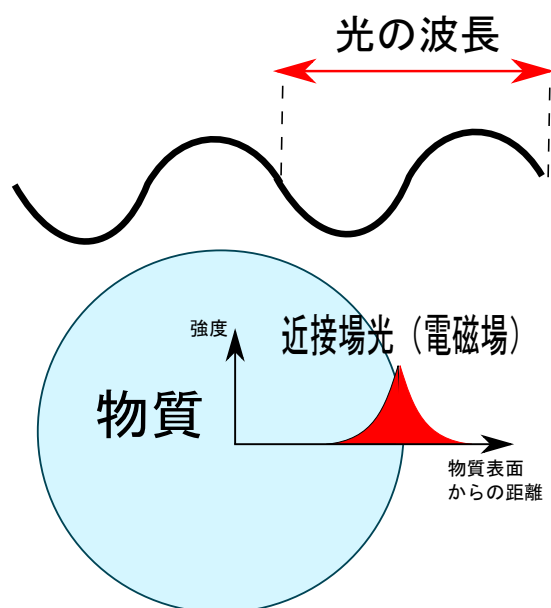


図 3.5: 近接場光

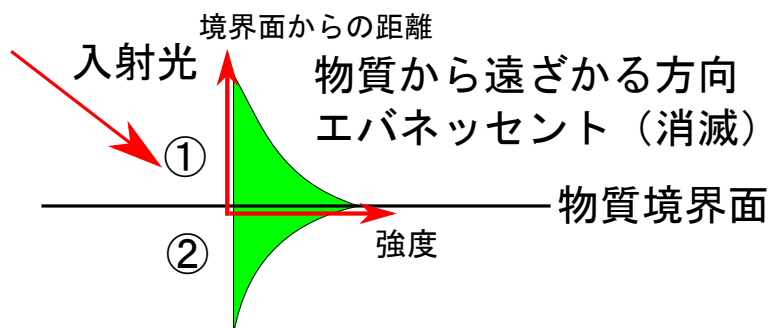


図 3.6: エバネッセント光

電磁場が弱くなる。図 3.6 はエバネッセント光が発生する様子である。従来の光通信で広く使われている光素子の素材はガラスである。これを半導体微細加工技術を用いて、半導体へと置き換える。この技術によって半導体内を光が伝送できる。ガラスから半導体へと素材を変えただけでは、光素子のゲート長のスケールは cm から mm のサイズに小さくなる。これを μm のスケールにするためには、半導体などのナノ加工技術がベースとしてある。半導体

のナノ加工技術が素子の加工技術のベースになり，近接場光の局在性をはじめとする近接場光にしかない特徴を活かして，光信号をナノレベルで制御することが可能になって成り立つ技術がナノフォトニクスである．

3.2 ナノフォトニック・デバイスによる Race Logic 実装

ナノフォトニック・デバイスを用いた Race logic（以下，光 Race Logic）のセル構造を考えていく．図??に光 Race Logic のセルの概要を示す．

セルは大きく分けて4つのユニットに分けて考えることができる．まずは入力ユニットで，これは左・斜上・上からの入力経路を持つ．入力の次は合波ユニットで，ここは合波とそれに付随する処理を行うユニットである．最長経路探索や最短経路探索，回路に設定する競争条件に合わせてその処理・構成が変わる．その次はアンプユニットを通過する．光 Race Logic において，光伝搬信号は分波・合波を繰り返す．分波についてはこの後のメインユニットの説明にて触れる．増幅を行わないと，各セルで行われる分波によって次のセルへの光伝搬信号強度は伝搬を繰り返すごとに指数関数的に減衰してしまう．アンプユニットの次がメインユニットである．このユニットの構成は回路に設定された競争条件によって変化する．例として，競争条件が出力信号の回路遅延の時間差なら遅延素子による処理が，競争条件が出力信号の位相差なら位相シフタによる処理が考えられる．このように，回路に設定された競争条件によってその処理・構成の選択肢は様々である．

また，同期・非同期の処理に関しては合波ユニットもしくはメインユニット，あるいはその両方の構成で設定する．

設定したい競争条件や使用できるデバイスによって，光 Race Logic の構成は詳細に決定する．

第 4 章

ケーススタディ：配列アラインメント

本章では，生物学の分野において注目されている生物配列 (DNA の塩基配列とタンパク質アミノ酸配列) の文字列処理 (配列情報解析) [3, 4] の中でも，配列アラインメントに焦点を当てる．配列アラインメントの説明を行い，その後に配列アラインメント用の光 Race Logic 回路での設計選択肢を整理する．その整理を基に，回路を提案する．

4.1 配列アラインメントの基本原則

DNA やタンパク質はユニットと名付けられた単位の物質が一行に並んだ高分子である．ここでいうユニットとは，DNA においては 4 種の核酸，タンパク質においては 20 種類のアミノ酸である．それぞれのユニットを文字とし DNA やタンパク質の配列を単なる文字列だとみなして処理をしてもある種の本質は失われないという考えに基づき，文字列処理をすることで生物配列の解析を行なっている．DNA の塩基配列やタンパク質アミノ酸配列の研究は，バイオインフォマティクスの最重要課題の一つとして取り組まれてきた．配列情報解析の重要な対象であるゲノム塩基配列は，すでに 200 種類以上が決定されており，さらに多くの解析が進行中であるといわれている [5]．生物配列の文字列処理の中で，DNA 配列中に同じ順序で並んでいるユニットのパターンを見つける配列アラインメントがある [6]．アラインメントとは，複数の配列を入力として配列要素の間に最適な対応関係を求める処理であり，配列の類似性判定に応用できるものである．配列アラインメントの中でも，2 つの配列間の類似

性を判定する操作はペアワイズアラインメントと呼ばれ、動的計画法による解法として SW (Smith-Waterman) アルゴリズム [7] が存在する。配列アラインメントは生物学において重要な手法であり、計算機を用いた処理の高速化は従来よく多くの研究がなされてきた [8–12]。

文字列の類似度を知るための典型的な手法は、情報理論に由来する編集距離である。編集距離は具体的に、一文字の挿入・削除・置換によって一方の文字列をもう一方の文字列に変形するのに必要な手順の最小回数として定義される。編集距離を理解するために、長さ $N = 5$ の文字列 $A = \text{"TCGAT"}$ と長さ $M = 5$ の文字列 $B = \text{"GTCAC"}$ を考える。図 4.3 は、文字列 A を B に変換する 2 つの方法を示している。上の行のスペースは挿入を表し、下の行のスペースは削除を表す。両方の行に同じ文字がある列は一致、異なる文字がある列は不一致と呼ぶ。特に、図 4.3 の方法は文字 G と T を削除し、 G と C を挿入する一方で、図 4.3 の方法は文字列 P を完全に削除して文字列 Q を挿入している。

図 4.3 および 4.3 は、2 つのアラインメント方法の代替表現である。任意の位置の数字は、図 4.3 および 4.3 の方法においてその位置までに存在する記号の数を示す。この表示は各列の数値が図 4.3 に示す編集グラフを構成する 2 次元 $N \times M$ グリッド内の座標と考えることができ、整列マトリックスとして知られている。編集グラフは 2 つの文字列間において、取りうる限りの配置の 2 次元表現である有向非循環グラフ (DAG) である。任意のアライメントは、すべてのエッジが編集操作に対応するこのグラフのパスで表現できる。編集グラフの中の矢印は、可能なすべてのアライメントを示しており、垂直の矢印は挿入を、水平の矢印は削除を、斜めの矢印一致を表している。例えば、図 4.3 の青と赤の矢印は、それぞれ図 4.3 および 4.3 に示す 2 つの特定のアライメントに対応している。

任意の 2 つの文字列が与えられた場合、多数の異なるパスとアラインメントマトリックスがあり、それぞれが独自のアラインメントとインデントを持つ。ある特定のアライメントの相対的なメリットを決定するためにスコアマトリックスの概念が導入される。この概念は効果的に編集グラフの各エッジの重みを定義する。よって、アラインメントのメリットを決定することは、マッチが図 4.3 に示すスコアマトリックスの最高値に割り当てられた場合のグラフの最長経路、または逆の場合の最短経路と等しくなる。一般的に、ミスマッチのペナルティは特定の文字のペアにも依存することに注意が必要である。

最大値と最小値のスコア関数は式 4.3 のように書ける．

$$S_{i,j} = \max \begin{cases} S_{i-1,j} + \delta(-, P_j) \\ S_{i,j-1} + \delta(Q_i, -) \\ S_{i-1,j-1} + \delta(Q_i, P_j) \end{cases} \quad (4.1a)$$

$$S_{i,j} = \min \begin{cases} S_{i-1,j} + \delta(-, P_j) \\ S_{i,j-1} + \delta(Q_i, -) \\ S_{i-1,j-1} + \delta(Q_i, P_j) \end{cases} \quad (4.1b)$$

i と j は図 4.3 に示す行と列のインデックスである．スコアマトリックスを適用した場合，図 4.3 の式 4.3 を使用すると，比較する文字の一致によってスコアを 1 増加させることによって整列問題を最長経路問題に変換でき，図 4.3 の式 4.3 を使用すると，比較する文字の一致によって 1，不一致によって 2，それぞれスコアを増加させることによって最短経路問題に変換できる．

編集グラフの表現は，パスとその対応するアライメントを視覚化するための便利なツールである．それに加え，動的計画法の概念にも密接に関連している．特に，動的計画法は小さな部分問題から始めて次第に大きな問題を漸進的に解決し，各ステップはそれ以前の計算の結果に依存している．編集グラフ上の各ノードは，部分問題の最適解に対応するスコア，すなわちルートノードから自身への最短経路または最長経路に対応するスコアを計算する．隣接ノードは，計算が対角線に沿って進むにつれて，それ以前の最適解を利用して自身のスコアを計算する．編集グラフ自体はルートノードからエンドノードまでの経路として表現される可能性のあるすべてのアライメントから構成されている．よって，上記の方法は比較対象の文字列間の最適なアライメントについて空間全体の検索が保証されている．

4.2 設計選択肢

配列アラインメントを光 Race Logic で実現するにあたって，その設計選択肢を整理する必要がある．今回，配列アラインメントを実現するための回路の競争条件として 4 つの条件を挙げた．表 4.1 にそれぞれの競争条件の特徴をまとめる．以下で，詳細を説明する．

表 4.1: 設計選択肢

選択肢	耐ノイズ性	配列数	波長多重可能性
遅延時間差	耐ノイズ性	配列数	波長多重可能性
位相差	耐ノイズ性	配列数	波長多重可能性
信号強度差	耐ノイズ性	配列数	波長多重可能性
波長差	耐ノイズ性	配列数	波長多重可能性

- 耐ノイズ性
- 配列数
- 波長多重可能性

4.3 提案回路

本節では、第 4.2 節で整理した設計選択肢の中から実現可能なものを選択し、それぞれ回路を提案する。今回選択したのは、遅延時間差・位相差・伝搬信号強度差の 3 つである。今回の実装では、3 つの選択肢共に図（）に示す構成を基本としている。それぞれで、セルの詳細な構成とカウンタで測定するものが異なっている。

- 遅延時間差を用いた光 Race logic 回路

図（）に遅延時間差を用いた光 Race logic 回路のセル構造を示す。また、カウンタではアレイに光伝搬信号が入力されてから出力されるまでの時間を計測する。

- 位相差を用いた光 Race logic 回路

図（）に位相差を用いた光 Race logic 回路のセル構造を示す。また、カウンタではアレイに出力された光伝搬信号の位相を計測する。



図 4.1: dammy



図 4.2: dammy



図 4.3: dammy

- 伝搬信号強度差を用いた光 Race logic 回路

図（）に伝搬信号強度差を用いた光 Race logic 回路のセル構造を示す．また，カウンタではアレイに出力された光伝搬信号の信号強度を計測する．

提案した 3 つの回路について，次章にて検証・評価を行う．

第 5 章

評価・考察

5.1 評価

5.2 考察

第 6 章

おわりに

謝辞

本研究の進行および本論文執筆にあたりまして，懇切丁寧なご指導を頂きました井上弘士教授に心より感謝申し上げます．本論文執筆にあたり，多大なご指導を頂きました小野貴継助教に心より感謝申し上げます．本研究を行うにあたり，多大なご指導を賜りました日本電信電話株式会社 物性科学基礎研究所 ナノフォトニクスセンタ 主幹研究員 新家昭彦様に感謝の意を表するとともに厚く御礼申し上げます．本論文執筆にあたり多大な指導頂きました，井上研究室大学院博士2年川上哲志氏に深く感謝致します．

最後に，井上研究室の皆様の御意見，御厚意に感謝の意を表します．

参考文献

- [1] Advait Madhavan, Timothy Sherwood, and Dmitri Strukov. Race logic: A hardware acceleration for dynamic programming algorithms. *ACM SIGARCH Computer Architecture News*, Vol. 42, No. 3, pp. 517–528, 2014.
- [2] 大津元一, 小林潔. ナノフォトニクス基礎. オーム社, 2006.
- [3] 浅井潔ほか. 配列情報と確立モデル (「分子生物情報学の新展開」). 人工知能学会誌, Vol. 15, No. 1, pp. 35–42, 2000.
- [4] 後藤修. マルチプルアラインメントは生体高分子情報の交差点. 生物物理, Vol. 38, No. 2, pp. 52–56, 1998.
- [5] 浅井潔ほか. バイオインフォマティクス: 7. ポストゲノム時代の配列情報解析. 情報処理, Vol. 46, No. 3, pp. 271–276, 2005.
- [6] 須戸里織, 吉見真聡, 三木光範. バイオインフォマティクスゲノム配列から機能解析へバイオインフォマティクスゲノム配列から機能解析へ, 2005. 電子情報通信学会技術研究報告. CPSY, コンピュータシステム, Vol. 111, No. 328, pp. 35–40, 2011.
- [7] Temple F Smith and Michael S Waterman. Identification of common molecular subsequences. *Journal of molecular biology*, Vol. 147, No. 1, pp. 195–197, 1981.
- [8] 須戸里織, 吉見真聡, 三木光範. Gpu を用いた 3 次元 smith-waterman 法の高速化手法の提案. 電子情報通信学会技術研究報告. CPSY, コンピュータシステム, Vol. 111, No. 328, pp. 35–40, 2011.

-
- [9] 宗川裕馬, 伊野文彦, 萩原兼一ほか. 統合開発環境 cuda を用いた gpu での配列アライメントの高速化手法. 情報処理学会研究報告計算機アーキテクチャ (ARC), Vol. 2008, No. 19 (2008-ARC-177), pp. 13–18, 2008.
- [10] Edans Flavius de O Sandes and Alba Cristina MA de Melo. Smith-waterman alignment of huge sequences with gpu in linear space. In *Parallel & Distributed Processing Symposium (IPDPS), 2011 IEEE International*, pp. 1199–1211. IEEE, 2011.
- [11] Yu Liu, Yang Hong, Chun-Yuan Lin, and Che-Lun Hung. Accelerating smith-waterman alignment for protein database search using frequency distance filtration scheme based on cpu-gpu collaborative system. *International journal of genomics*, Vol. 2015, , 2015.
- [12] 伊野文彦, 小谷裕基, 萩原兼一ほか. Gpu グリッドによる高速な塩基配列アライメント. 情報処理学会研究報告ハイパフォーマンスコンピューティング (HPC), Vol. 2007, No. 80 (2007-HPC-111), pp. 73–78, 2007.