

## ナノフォトニック・デバイスを用いた 光パタン検出機構の提案と評価

現在、インターネットが一般に普及し、その結果、セキュリティ問題がより深刻化するに至った。サイバー攻撃が増加する中、特に光通信において様々な攻撃を検出することは必要不可欠である。そのためには、今後の光通信性能の向上に追従可能な情報処理を実現しなければならない。しかしながら、現在主流である CMOS トランジスタを用いた攻撃検出機構による電氣的な処置では、デナードスケーリングの破綻により低消費電力化が難しく、更なる動作周波数の向上が見込めない。そのため、光の速度で入力される信号を処理するための極低レイテンシ動作を実現できないと言った問題が生じる。極低レイテンシ動作を実現する手段として、ナノフォトニクスと呼ばれる新しい技術が注目を集めている。しかしながら、未だスイッチ素子レベルの研究しか行われておらず、アーキテクチャレベルの検討が行われていない。

そこで本研究では、新しいサイバー攻撃検出機構としてナノフォトニック・デバイスを用いた光パタン検出機構を提案する。また、その遅延時間、面積、消費電力のモデリングを行い、アーキテクチャレベルでの有効性を明らかにする。具体的には、これらのモデルと既存の電気デバイスを用いた光パタン検出機構の遅延時間、面積、消費電力のモデルを用い、検出するビット数や動作周波数などに関する比較評価を行った。その結果、検出ビット数が 128 ビットの場合、遅延時間においてはナノフォトニック・デバイスを用いた機構が電気デバイスを用いた機構より最大で約 900 倍短く、パタン検出部の面積においては、最大で約 1,160 倍大きいという結果を得ることができた。消費電力については、ナノフォトニック・デバイスを用いた機構と電気デバイスを用いた機構の消費電力の大小が逆転する検出ビット数が存在することが分かった。

発 表 者 : 浅井 里奈  
指 導 教 員 : 井上 弘士教授  
日 時 : 平成 27 年 2 月 16 日  
13 : 30 ~ 13 : 45  
場 所 : 大講義室 ( W2-313 )