

实验 2 简单组合电路设计

1. 实验内容

实现一个“静态 7 段数码管显示”模块。

要求：

- SW[3:0]输入待显示的二进制数。
- SW[15:13]输入点亮的数码管编号 (0-7 号)。
- LED[15:0]显示 SW 的开关状态。



图 1-1 实验最终结果示例

SW[15:13] = 010 , SW[3:0] = 0110 ; 2 号数码管显示数字 “6 ”。

2. 实验目的

1. 掌握 Verilog 语言的组合逻辑电路设计、实现、仿真、调试方法。
2. 熟悉 Nexys4 开发板，学习、掌握编写引脚约束文件、FPGA 编程过程。
3. 学习、掌握设计组合逻辑电路的方法，实现简单的组合逻辑电路。

3. 实验步骤

3.1 直接驱动 7 段数码管 (7-Seg Display)

实验内容：

- 使用“数据流描述”设计“7 段数码管直接驱动”模块。

模块定义：

```
module _7Seg_Driver_Direct(SW, CA, CB, CC, CD, CE, CF, CG, DP, AN, LED);
    input [15:0] SW;                // 16 位拨动开关
    output CA, CB, CC, CD, CE, CF, CG, DP; // 7 段数码管驱动，低电平有效
    output [7:0] AN;                // 7 段数码管片选信号，低电平有效
    output [15:0] LED;              // 16 位 LED 显示，高电平有效
endmodule
```

- 用 SW[7:0]直接驱动 7 段数码管的 CA-CG、DP 显示单元。
- 用 SW[15:8]选择被驱动的 7 段数码管。
- 用 LED[15:0]显示 SW 的状态。

表 3-1 拨动开关与 7-Seg Display 对应关系

拨动开关编号	7-Seg Display
SW7	CA
SW6	CB
SW5	CC
SW4	CD
SW3	CE
SW2	CF
SW1	CG
SW0	DP

实验原理：

- “7 段数码管显示原理” 请提前预习 “数字逻辑” 相关章节。
- 请参考 “nexys4ddr_rm.pdf” (Nexys 4 DDR Manual) 第 10 节 —— Basic I/O。

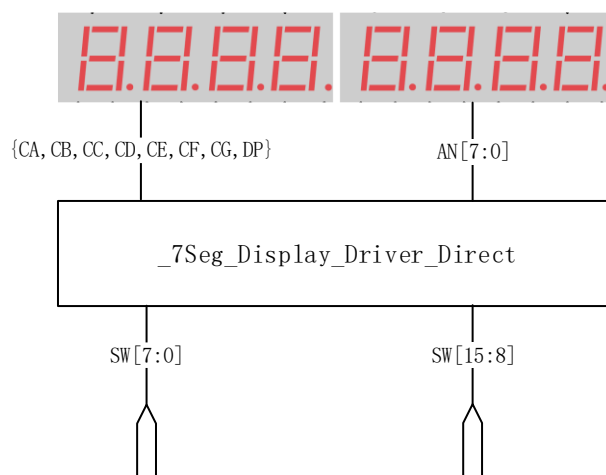


图 3-1 直接驱动 7 段数码管原理框图

知识点：

- 熟悉 vivado 开发环境的使用。
- 学习使用 “数据流描述” 设计一个模块。
- 掌握 “引脚约束” 文件的编写方法。
- 熟悉 Nexys4 的开发步骤。
- 了解 7 段数码管的工作原理和直接驱动方法。

3.2 译码驱动 7 段数码管

实验内容：

- 使用 “行为描述” 设计 “7 段数码管译码驱动” 模块。

模块定义：

```
module _7Seg_Driver_Decode(SW, SEG, AN, LED);  
    input [15:0] SW;          // 16 位拨动开关  
    output [7:0] SEG;         // 7 段数码管驱动，低电平有效  
    output [7:0] AN;         // 7 段数码管片选信号，低电平有效  
    output [15:0] LED;       // 16 位 LED 显示  
endmodule
```

- 用 SW[3:0]输入待显示的单个数字。
- 输入数字与显示对应表如表 3-2。
- 用 SW[15:8]选择被驱动的 7 段数码管。
- 用 LED[15:0]显示 SW 的状态。

表 3-2 输入与 7-Seg Display 对应关系及显示码

输入数字	7-Seg Display	显示码
0000	0	11000000
0001	1	11111001
0010	2	10100100
0011	3	10110000
0100	4	10011001
0101	5	10010010
0110	6	10000010
0111	7	11111000
1000	8	10000000
1001	9	10011000
1010	A	10001000
1011	b	10000011

1100	C	11000110
1101	d	10100001
1110	E	10000110
1111	F	10001110

实验原理：

- 尝试使用 “case” 结构，或者 “if-else” 结构。参见教材：p.122 相关章节。

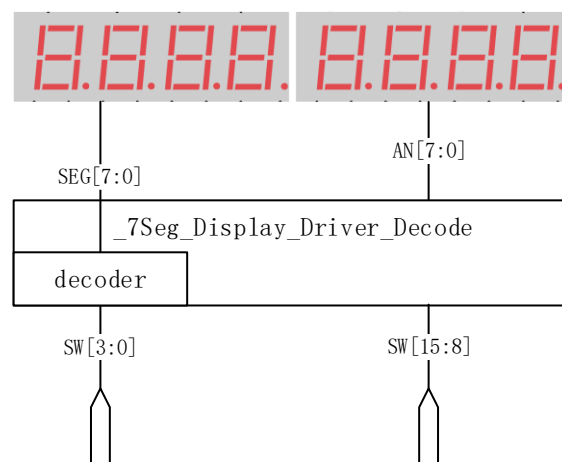


图 3-2 译码驱动 7 段数码管原理框图

知识点：

- 学习使用 “行为描述” 设计一个模块。
- 了解 7 段数码管的译码驱动原理。

3.3 译码选择 7 段数码管

实验内容：

- 使用 “行为描述” 设计一个 “7 段数码管译码选择” 模块。
- 使用 “结构描述” 连接 “译码显示模块” 和 “译码选择模块”，完成最终的实验要求（第一章）。

模块定义：

```
module _7Seg_Driver_Choice(SW, SEG, AN, LED);  
    input [15:0] SW;        // 16 位拨动开关  
    output [7:0] SEG;       // 7 段数码管驱动，低电平有效  
    output [7:0] AN;        // 7 段数码管片选信号，低电平有效  
    output [15:0] LED;      // 16 位 LED 显示  
endmodule
```

实验原理：

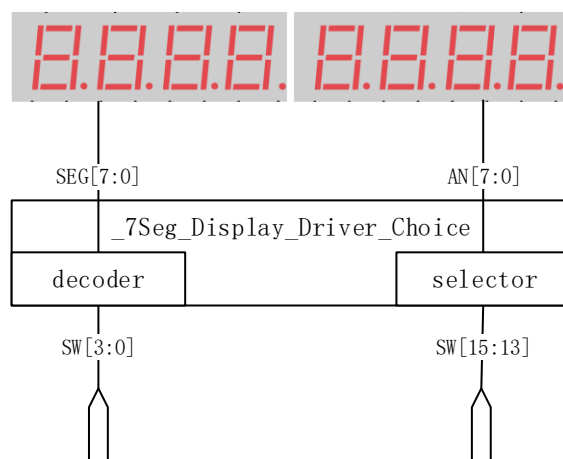


图 3-3 译码选择 7 段数码管原理框图

知识点：

- 学习使用“结构描述”设计一个模块。
- 学习调用模块。

4. 进阶——“二进制-BCD 码转换器”

选做，请尝试完成以下功能：

实验内容：

- `SW[3:0]` 输入待转换位 BCD 码的二进制数。
- `SW[14:12]` 选择用几号数码管显示。
- `SW[15]` 选择显示 BCD 码的十位还是个位。

SW[15] = 0 : 显示个位 ;

SW[15] = 1 : 显示十位。