

P307-310

- PIPE 各阶段的实现

PIPE 是我们使用了转发技术的流水线 Y86-64 处理器。

- pc 选择和取值阶段
 - 该阶段必须选择程序计数器的当前值，并且预测下一个 PC 值。

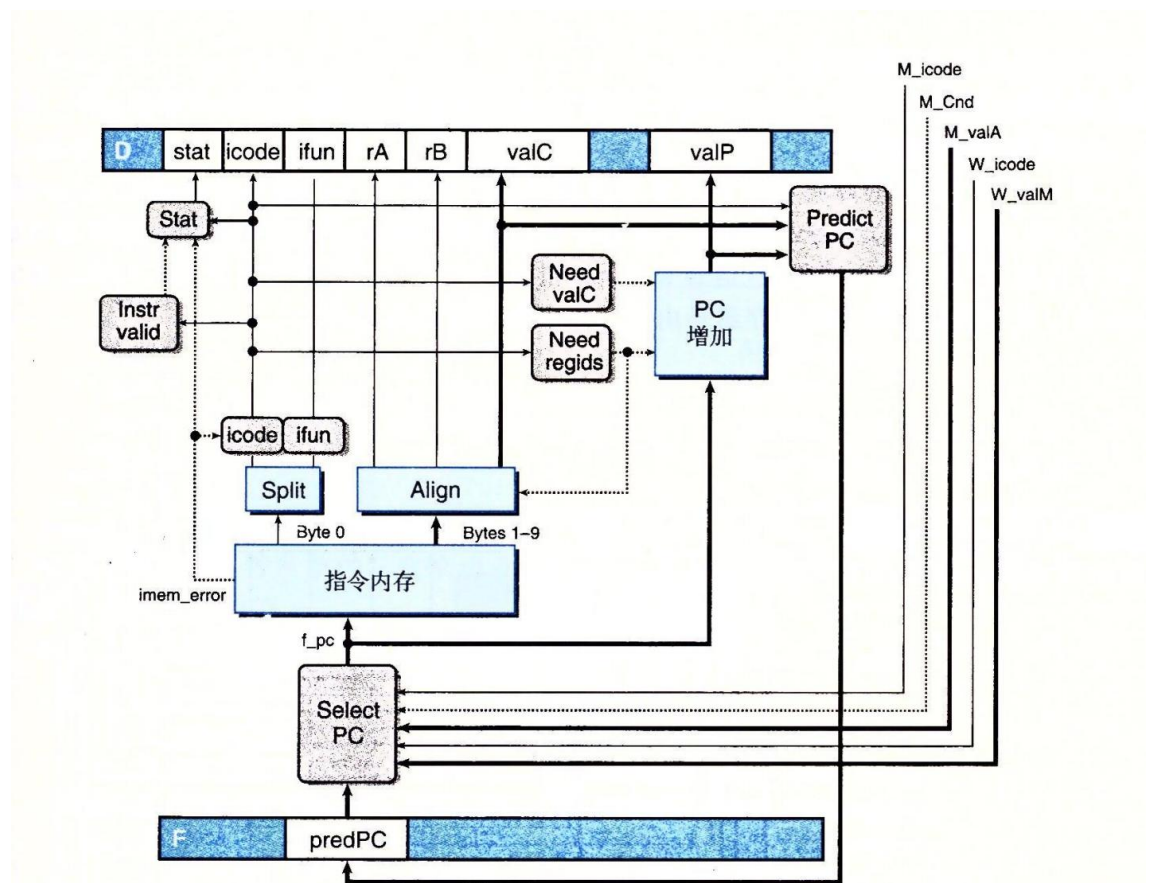


图 4-57 PIPE 的 PC 选择和取指逻辑。在一个周期的时间限制内，处理器只能预测下一条指令的地址

- 译码和写回阶段

提供给写端口的寄存器 ID 也就是来自写回阶段

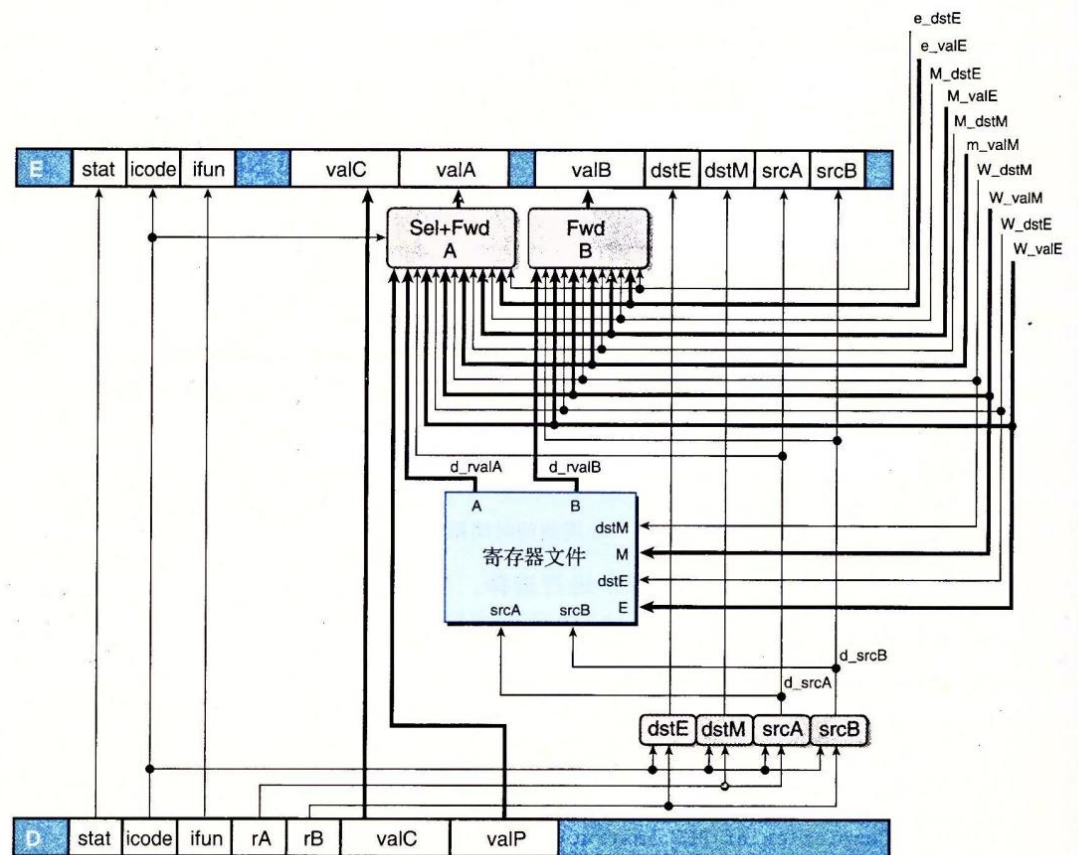


图 4-58 PIPE 的译码和写回阶段逻辑。没有指令既需要 valP 又需要来自寄存器端口 A 中读出的值，因此对后面的阶段来说，这两者可以合并为信号 valA。标号为“Sel+Fwd A”的块执行该任务，并实现源操作数 valA 的转发逻辑。标号为“Fwd B”的块实现源操作数 valB 的转发逻辑。寄存器写的位置是由来自写回阶段的 dstE 和 dstM 信号指定的，而不是来自于译码阶段，因为它要写的是当前正在写回阶段中的指令的结果