

**PENGEMBANGAN BER *TESTER*  
PADA SISTEM VISIBLE LIGHT COMMUNICATION  
BERBASIS FPGA**

**SKRIPSI**

Diajukan sebagai salah satu syarat  
Untuk memperoleh gelar  
Sarjana Teknik



Oleh:

ANNISA HANIFA  
NIM. I0716006

**PROGRAM STUDI TEKNIK ELEKTRO  
FAKULTAS TEKNIK UNIVERSITAS SEBELAS MARET  
SURAKARTA**

**2020**



KEMENTERIAN PENDIDIKAN DAN KEBUDAYAAN  
UNIVERSITAS SEBELAS MARET  
FAKULTAS TEKNIK  
PROGRAM STUDI TEKNIK ELEKTRO  
*Jalan. Ir. Sutami nomor 36 A Kentingan Surakarta 57126*  
*Telepon: 0271 647069 psw 438, faksimili: 0271 662118*

**SURAT TUGAS**

**Nomor : 055/TA/TE/2019**

Kepala Program Studi Teknik Elektro Fakultas Teknik Universitas Sebelas Maret  
memberikan tugas kepada :

Nama	: Annisa Hanifa
NIM	: 10716006
Bidang peminatan	: Teknologi Informasi dan Komunikasi (ICT)
Pembimbing Utama	: Muhammad Hamka Ibrahim, S.T., M.Eng NIP. 198812292019031011
Pembimbing Pendamping	: Subuh Pramono, S.T., M.T NIP. 198106092003121002
Mata kuliah pendukung	: 1. Perancangan Sistem Digital 2. Teknik Pengolahan Isyarat Digital 3. Sistem Tertanam dan Periferal

untuk mengerjakan dan menyelesaikan Tugas Akhir dengan judul :  
**Pengembangan BER Tester pada Sistem Visible Light Communication  
Berbasis FPGA**

Surat tugas ini dibuat untuk dilaksanakan dengan sebaik-baiknya.

Surakarta, 27 Januari 2020

Kepala Program Studi

Feri Adriyanto, S.Si., M.Si., Ph.D.

NIP. 196801161999031001

Tembusan:

1. Mahasiswa ybs.
2. Dosen Pembimbing TA
3. Koordinator TA
4. Arsip

**SURAT PERNYATAAN  
ORISINALITAS KARYA ILMIAH**

Saya mahasiswa Program Studi Teknik Elektro Universitas Sebelas Maret yang bertanda tangan dibawah ini :

Nama : Annisa Hanifa  
NIM : I0716006  
Judul Tugas Akhir : Pengembangan BER Tester Pada Sistem Visible Light Communication Berbasis FPGA

Dengan ini menyatakan bahwa Tugas Akhir atau Skripsi yang saya susun tidak mencontoh atau melakukan plagiat dari karya tulis orang lain. Jika terbukti Tugas Akhir yang saya susun tersebut dinyatakan batal dan gelar sarjana yang saya peroleh dengan sendirinya dibatalkan atau dicabut.

Demikian surat pernyataan ini saya buat dengan sebenarnya dan apabila di kemudian hari terbukti melakukan kebohongan maka saya sanggup menanggung segala konsekuensinya.

Surakarta, 20 Juli 2020

**Annisa Hanifa**  
**NIM. I0716006**

**HALAMAN PENGESAHAN TIM PEMBIMBING DAN TIM PENGUJI  
PENGEMBANGAN BER TESTER  
PADA SISTEM VISIBLE LIGHT COMMUNICATION  
BERBASIS FPGA**

Disusun oleh  
**ANNISA HANIFA**  
NIM. I0716006

**Dosen Pembimbing 1**

**Dosen Pembimbing 2**

**Muhammad Hamka I, S.T., M.Eng,**  
NIP. 198812292019031011

**Subuh Pramono, S.T., M.T.**  
NIP. 198106092003121002

Telah dipertahankan di hadapan Tim Dosen Penguji pada hari Kamis tanggal 30  
Juli 2020

1. **Muhammad Hamka I, S.T., M.Eng,**  
NIP. 198812292019031011 .....
2. **Subuh Pramono, S.T., M.T.**  
NIP. 198106092003121002 .....
3. **Irwan Iftadi S.T., M.Eng**  
NIP. 197004041996031002 .....
4. **Meiyanto Eko Sulisty S.T., M.Eng.**  
NIP. 197705132009121004 .....

**Ketua Prodi Teknik Elektro**

Mengetahui,  
**Koordinator Tugas Akhir**

**Feri Adriyanto, Ph.D.**  
NIP. 196801161999031001

**Muhammad Hamka I, S.T., M.Eng,**  
NIP. 198812292019031011

# PENGEMBANGAN BER TESETR PADA SISTEM VISIBLE LIGHT COMMUNICATION BERBASIS FPGA

Annisa Hanifa<sup>1)</sup>

<sup>1)</sup>Program Studi Teknik Elektro, Fakultas Teknik, Universitas Sebelas Maret

Email : [hanifannlsa\\_6@student.uns.ac.id](mailto:hanifannlsa_6@student.uns.ac.id)

## Abstrak

*Bit Error Rate* (BER) merupakan perbandingan antara jumlah *bit error* dengan jumlah total bit yang dikirimkan. Pada sistem komunikasi, bagian penerima dari BER dapat dipengaruhi oleh *noise* kanal transmisi, interferensi, distorsi, masalah pada sinkronisasi bit, atenuasi, dan lain sebagainya. Teknologi *Visible Light Communication* (VLC) adalah sebuah sistem komunikasi yang memanfaatkan cahaya tampak sebagai media dalam komunikasi antar perangkat. Dengan adanya penelitian ini, manusia dapat berkomunikasi atau bertukar informasi hanya dengan cahaya lampu yang menggantikan media wireless yang menggunakan gelombang radio. Informasi yang dikirim pada sistem ini berupa data. Pada Tugas Akhir ini membahas pengembangan BER *Tester* pada sistem *Visible Light Communication* menggunakan FPGA. Dalam modul FPGA, terdapat *input* random bit yang berasal dari *pseudorandom binary sequence* (PRBS) yang *outputnya* dicabangkan berbeda melewati *block transmitter* dan *block receiver* dimana kedua *output* ini sinkron. Lalu dengan membandingkan sinyal *transmitter* dan *receiver* maka akan diketahui *Bit Error Rate* nya yang dapat dilihat melalui *output* LED dan 7-segmen pada FPGA.

Kata kunci : BER, VLC, FPGA, PRBS.

# DEVELOPMENT OF BER *TESTER* ON VISIBLE LIGHT COMMUNICATION SYSTEM BASED ON FPGA

Annisa Hanifa<sup>1)</sup>

<sup>1)</sup>Program Studi Teknik Elektro, Fakultas Teknik, Universitas Sebelas Maret

Email : [hanifannlsa\\_6@student.uns.ac.id](mailto:hanifannlsa_6@student.uns.ac.id)

## Abstract

*Bit Error Rate (BER) is the ratio between the number of error bits and the number of bits sent. In the communication system, the receiver part of the BER can be relied on by the transmission channel noise, interference, distortion, problems in the problem, attenuation, and others. Visible Light Communication (VLC) technology is a communication system that utilizes visible light as a communication medium between devices. With this research, humans can communicate or exchange information only with light that replaces wireless media that uses radio waves. The information sent to this system is in the form of data. This final project discusses the development of BER Tester in Visible Light Communication system using FPGA. In the FPGA module, there is a random input bit originating from the pseudorandom sequence binary (PRBS) whose output is branched differently through the block transmitter and receiver blocks where these two outputs are synchronous. Then by comparing the transmitter and receiver signals, the Bit Error Rate will be known which can be seen through the LED and 7-segment outputs of the FPGA.*

*Keywords: BER, VLC, FPGA, PRBS.*

## KATA PENGANTAR

Puji dan syukur kepada Tuhan Yang Maha Esa, karena atas anugerah dan petunjuk-Nya penulis dapat menyelesaikan penyusunan skripsi yang berjudul “Pengembangan BER *Tester* pada Sistem *Visible Light Communication* Berbasis FPGA”.

Dalam menyelesaikan tugas akhir ini penulis juga mendapati kendala dan hambatan yang telah mendapat bantuan dan bimbingan dari berbagai pihak. Oleh karena itu, penulis ingin mengucapkan terimakasih kepada :

1. Keluarga tercinta khususnya ayah saya Munadi, ibu saya Arief Supriastuti, dan adik saya Abdul Ro’uf Romadhon yang selalu memberikan motivasi dan semangat serta doa restu sehingga penulisan tugas akhir ini dapat terselesaikan.
2. Bapak Muhammad Hamka Ibrahim, S.T., M.Eng. selaku pembimbing I yang selalu sabar dan setia memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama perkuliahan di Teknik Elektro UNS, khususnya selama mengerjakan skripsi ini hingga selesai.
3. Bapak Subuh Pramono, S.T., M.T., IPM. selaku Pembimbing Akademik dan Pembimbing II yang selalu setia memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama masa perkuliahan di Teknik Elektro UNS dan selama pengerjaan tugas akhir ini.
4. Bapak selaku Irwan Iftadi S.T., M.Eng. Dosen Penguji dan Dosen Pembimbing KP yang telah memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.
5. Bapak Meiyanto Eko Sulistyio S.T., M.Eng. Dosen Penguji dan Dosen Pembimbing KP yang telah memberikan dukungan, ide, arahan, bimbingan, dan motivasi selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.
6. Bapak Feri Adriyanto, Ph.D. selaku Kepala Program Studi Teknik Elektro yang telah memberikan ide, saran, arahan, bimbingan, dan motivasi selama mengerjakan tugas akhir ini hingga selesai.
7. Seluruh Dosen dan Staff Program Studi Teknik Elektro yang telah memberikan ilmu yang bermanfaat, motivasi, dan inspirasi yang luar biasa selama menjalani masa perkuliahan selama kurang lebih 4 tahun ini.

8. Miftahuddin Irfani sebagai partner selama di SIE dan yang telah membantu menyelesaikan tugas akhir ini.
9. Seluruh teman-teman Teknik Elektro terutama angkatan 2016 terkhusus Wiwik, Yudhi, Nanda, Royani, dan yang lain yang tidak bisa disebutkan satu persatu yang telah sama-sama berjuang, memberikan semangat, bantuan, dan kenangan dari awal masuk masa perkuliahan.

Surakarta, 20 Juli 2020

Annisa Hanifa

I0716006



## DAFTAR ISI

Abstrak .....	v
Abstract .....	vi
KATA PENGANTAR .....	vii
DAFTAR ISI .....	ix
DAFTAR GAMBAR .....	xi
DAFTAR TABEL .....	xiii
BAB I PENDAHULUAN .....	1
1.1 Latar Belakang .....	1
1.2 Rumusan Masalah .....	3
1.3 Tujuan Penelitian .....	3
1.4 Manfaat Penelitian .....	3
1.5 Sistematika Penulisan .....	4
BAB II TINJAUAN PUSTAKA .....	5
2.1 Penelitian Sebelumnya .....	5
2.2 <i>Visible Light Communication</i> .....	5
2.3 <i>Field-Programmable Gate-Array (FPGA)</i> .....	13
2.4 <i>Variable Pulse Position Modulation (VPPM)</i> .....	15
2.5 <i>Bit Error Rate (BER)</i> .....	18
2.6 <i>Pseudorandom Binary Sequence (PRBS)</i> .....	20
2.7 <i>First In First Out</i> .....	21
BAB III METODOLOGI PENELITIAN .....	23
3.1 Jenis dan Lokasi Penelitian .....	23
3.2 Alur Penelitian .....	23
3.3 Instrumen Penelitian .....	25

3.4	Perancangan dan Pembuatan <i>Block Visible Light Communication</i> .....	25
3.4.1	Mengatur Frekuensi PLL .....	25
3.4.2	<i>Pseudorandom Binary Sequence (PRBS)</i> .....	26
3.4.3	Modulasi.....	27
3.4.4	Demodulasi .....	28
3.4.5	First in First Out .....	30
3.4.6	<i>Error generator</i> .....	31
3.5	Perancangan dan Pembuatan <i>Block Bit Error Rate (BER)</i> .....	33
3.6	Menentukan Karakteristik Analog VLC .....	34
BAB IV HASIL DAN PEMBAHASAN .....		36
4.1	Hasil Simulasi Modulasi dan Demodulasi pada ModelSIM .....	36
4.2	Hasil Integrasi BER menggunakan <i>Error generator</i> .....	36
4.3	Hasil Integrasi BER dengan <i>Analog Front-End</i> pada Quartus.....	42
4.4	Hasil <i>Output</i> Implementasi Hasil Sinyal Modulasi dan Demodulasi.....	49
BAB V KESIMPULAN DAN SARAN.....		50
5.1	Kesimpulan.....	50
5.2	Saran .....	50
DAFTAR PUSTAKA .....		51

## DAFTAR GAMBAR

Gambar 2.1 Struktur dasar perangkat sistem VLC .....	7
Gambar 2.2 FPGA Cyclone IV DE2-115 .....	14
Gambar 2.5 Contoh pengoperasian VPPM dalam kasus tingkat peredupan 75% .....	16
Gambar 2.6 Struktur yang diusulkan dari sistem VLC berdasarkan VPPM.....	16
Gambar 2.5 Contoh grafik BER.....	18
Gambar 2.6 BER Basic Test Setup .....	19
Gambar 2.7 (a) Gerbang OR-eksklusif; (b) Simbol gerbang logika XOR.....	20
Gambar 2.8 <i>Block</i> diagram PRBS .....	20
Gambar 2.9 LFSR pada PRBS .....	21
Gambar 2.10 Usulan FIFO asinkron sirkuler .....	22
Gambar 3.1 Diagram Alur Penelitian Sistem.....	24
Gambar 3.2 Skema Alur Kerja Sistem .....	24
Gambar 3.3 (a) <i>Setting</i> PLL <i>clock</i> (b) Blok PLL <i>clock</i> dan LPMCounter .....	26
Gambar 3.4 Pembuatan program dan <i>block</i> PRBS .....	27
Gambar 3.5 RTL <i>Viewer</i> PRBS .....	27
Gambar 3.6 Pembuatan (a) program <i>block</i> modulasi dan (b) <i>block</i> Modulasi.....	28
Gambar 3.7 RTL <i>Viewer</i> Modulasi.....	28
Gambar 3.8 Pembuatan (a) program demodulasi dan (b) <i>block</i> demodulasi .....	29
Gambar 3.9 RTL <i>Viewer</i> Demodulasi.....	29
Gambar 3.10 Pembuatan (a) program FIFO dan (b) <i>block</i> FIFO.....	30
Gambar 3.11 RTL <i>Viewer</i> FIFO <i>Delay</i> .....	31
Gambar 3.12 Pembuatan (a) program <i>Error generator</i> dan (b) <i>block Error generator</i> .....	32
Gambar 3.13 RTL <i>Viewer Error generator</i> .....	32
Gambar 3.14 Pembuatan (a) program BER dan (b) <i>block</i> BER .....	33
Gambar 3.15 RTL <i>Viewer</i> BER .....	33
Gambar 4.1 Hasil simulasi pada ModelSIM .....	36
Gambar 4.2 <i>Interface</i> pada Quartus .....	36
Gambar 4.3 Implementasi pada FPGA .....	37
Gambar 4.4 Grafik Nilai <i>Dimming</i> Terhadap BER.....	38

Gambar 4.5 <i>Delay</i> (a) 0, (b) 4, (c) 8, (d) 15 .....	39
Gambar 4.6 Grafik Nilai <i>Delay</i> terhadap BER .....	40
Gambar 4.7 Grafik Nilai <i>Error generator</i> terhadap BER .....	40
Gambar 4.8 <i>Interface</i> pada Quartus .....	42
Gambar 4.9 Prototype <i>Hardware</i> .....	43
Gambar 4.10 Grafik nilai Frekuensi <i>clock</i> terhadap BER .....	44
Gambar 4.11 Grafik nilai <i>Dimming</i> terhadap BER .....	45
Gambar 4.12 Grafik jarak terhadap BER .....	46
Gambar 4.13 Grafik sudut cahaya terhadap BER .....	47
Gambar 4.14 Gelombang hasil percobaan modulasi dan demodulasi .....	49

## DAFTAR TABEL

Tabel 2.1 Perbedaan Penelitian Sebelumnya dengan Tugas Akhir Penulis.....	8
Tabel 2.2 Perbandingan teknologi <i>short-range</i> RF (NFC dan BLE) terhadap VLC, diambil dari [16] [17] .....	11
Tabel 2.3 Tabel Kebenaran Gerbang XOR .....	20
Tabel 2.4 Variasi panjang sekuensial PRBS [24] .....	21
Tabel 3.1 Tabel Kebenaran Logika XOR .....	34
Tabel 3.2 Parameter <i>Analog Front-End</i> (AFE) VLC yang Diinginkan .....	34
Tabel 4.1 Pengaruh Nilai <i>Dimming</i> terhadap BER .....	38
Tabel 4.2 Pengaruh Nilai <i>Delay</i> terhadap BER .....	40
Tabel 4.3 Hasil Pengamatan dengan <i>Input Error generator</i> .....	41
Tabel 4.4 Pengaruh frekuensi <i>clock</i> terhadap nilai BER.....	44
Tabel 4.5 Pengaruh nilai <i>dimming</i> terhadap nilai BER.....	45
Tabel 4.6 Pengaruh jarak terhadap nilai BER.....	47
Tabel 4.7 Pengaruh sudut cahaya terhadap nilai BER .....	48

# BAB I

## PENDAHULUAN

### 1.1 Latar Belakang

Frekuensi radio (RF) seperti Bluetooth dan NFC adalah media bertukar informasi yang saat ini paling umum digunakan. Namun, keterbatasan dalam ketersediaan spektrum merupakan salah satu kekurangan dari teknologi interkoneksi *wireless* menggunakan gelombang RF tersebut [1]. Sementara komunikasi optik seperti fiber juga memiliki kekurangan yaitu rentan terhadap resiko kanker kulit manusia karena memerlukan medium kabel serat optik untuk transmisi dan komunikasi infrared [2] [3].

Salah satu jenis komunikasi *wireless* optik yang menggunakan panjang gelombang ( $\lambda$ ) antara 380 nm sampai 780 nm (spektrum cahaya tampak) sebagai media modulasi data adalah komunikasi cahaya tampak atau *visible light communication* (VLC) [4]. *Visible Light Communication* (VLC) sekarang ini sedang dikembangkan untuk menuju tahap komersialisasi alternatif komunikasi nirkabel [5]. Berdasarkan survei yang dilakukan oleh M. Figueiredo, dkk [5] dan S. Fuada, dkk [6] pengembangan dari adanya penelitian teknologi VLC menunjukkan tren yang cenderung meningkat dari tahun ke tahun karena cahaya merupakan salah satu hal pada jaman sekarang yang esensial. Kebutuhan akan rentang frekuensi radio yang belum terpakai mengingat alokasi frekuensi sekarang yang semakin sedikit merupakan salah satu hal yang menjadi alasan datangnya inovasi teknologi VLC ini.

Perbedaan dasar fiber optik dengan VLC adalah media perambatannya, media perambatan VLC adalah ruang hampa. Konsep dasar VLC adalah mentransmisikan data dengan memodulasikan sinyal cahaya tampak menggunakan alat penerangan yang telah tersedia pada infrastruktur dalam ruang (*indoor*), yaitu LED [7] dan sebagai penerima sinyal informasi memanfaatkan fotodetektor, sehingga semakin tinggi *level* LED maka *received power* terhadap fotodetektor akan semakin besar dan begitu pula sebaliknya [8].

Melakukan transmisi data dengan melakukan perubahan tingkat pendaran cahaya (*luminaries*) adalah fungsi utama dari sistem VLC yang mana sistem VLC

tersebut tidak boleh mempengaruhi fungsionalitas utama dari LED sebagai sumber penerangan dan tidak menimbulkan efek *flicker* atau *blink* [9]. VLC dianggap sebagai sebuah media komunikasi yang lebih aman daripada frekuensi radio dikarenakan sifat cahaya tampak yang tidak dapat menembus objek padat seperti dinding [10].

Namun kekurangannya, sifat cahaya tampak adalah tidak dapat menembus objek padat seperti dinding sehingga rentan terjadi gangguan yang menyebabkan *error-error* pada pengiriman data. Salah satu cara untuk mengetahui keandalan sebuah sistem komunikasi adalah dengan melakukan pengujian *Bit Error Rate*, yaitu pengujian *error* pada pengiriman data. *Bit Error Rate* (BER) sendiri adalah perbandingan dari jumlah *error* data yang diterima terhadap data yang dikirimkan.

Karena kemajuan teknologi *visible light communication* maka dibutuhkan alat ukur, salah satu parameternya adalah BER (*bit error rate*) yaitu untuk mengukur laju *error* dalam pengiriman data. *Bit error rate* (BER) digunakan sebagai parameter penting dalam mengkarakterisasi suatu kinerja saluran data, yaitu berapa banyak kesalahan akan muncul dalam data yang muncul di ujung jarak jauh. *Bit error rate tester* (BERT) dapat berlaku untuk mengukur laju *error* pada Fiber Optik, ADSL, Wi-Fi, komunikasi data seluler, IoT, *visible light communication*, dan lain sebagainya.

*Bit Error Rate Tester* (BERT) yang sudah ada saat ini harganya mahal. Selain itu, untuk sistem *visible light communication* sendiri, belum ada *BER Tester* yang dijual di pasaran namun hanya beberapa penelitian saja yang membahas mengenai BERT pada sistem *visible light communication* ini. Berdasarkan penjelasan diatas, maka disimpulkan bahwa perlu dibuat alat ukur keandalan sistem pada *visible light communication* berupa *bit error rate tester*.

Pada Tugas Akhir ini membahas pengembangan *BER Tester* pada sistem *Visible Light Communication* menggunakan FPGA. Dalam modul FPGA, terdapat *input* random bit yang berasal dari *pseudorandom binary sequence* (PRBS) yang keluarannya dicabangkan berbeda melewati *block transmitter* dan *block receiver* dimana kedua *output* ini sinkron. Lalu dengan membandingkan

sinyal *transmitter* dan *receiver* maka akan diketahui *Bit Error Rate* nya yang dapat dilihat melalui *output* LED dan 7-segmen pada FPGA.

### 1.2 Rumusan Masalah

Berdasarkan penjelasan tersebut, rumusan masalah adalah sebagai berikut:

1. Bagaimana merancang sistem BERT VLC untuk diimplementasikan pada FPGA?
2. Bagaimana melakukan pengujian dan percobaan BERT terhadap sistem VLC (*Visible Light Communication*) dengan membandingkan *output* sinyal *transmitter* dan *receiver* untuk mengetahui laju *error* dalam pengiriman data?
3. Bagaimana implementasi pada FPGA integrasi antara *Bit Error Rate* (BER) dengan *error generator* dan *Analog Front-End* pada sistem *Visible Light Communication* (VLC)?

### 1.3 Tujuan Penelitian

Adapun tujuan dari penelitian ini antara lain sebagai berikut:

1. Mengembangkan BER *Tester* pada sistem VLC menggunakan FPGA.
2. Menganalisis laju *error* dalam performa sistem secara keseluruhan dengan membandingkan *output* sinyal *transmitter* dan *receiver*.
3. Mengimplementasikan pada FPGA Bit Error Rate (BER) agar bisa terintegrasi dengan *error generator* dan *Analog Front-End* sehingga mendapatkan *output* yang diharapkan.

### 1.4 Manfaat Penelitian

Adapun manfaat dari penelitian ini adalah sebagai berikut:

1. Dapat memanfaatkan cahaya sebagai media transmisi untuk komunikasi data.
2. Mengembangkan teknik yang digunakan untuk BER *Tester* pada sistem VLC berdasarkan pengujian yang telah dianalisis.



3. Menambah wawasan dan kemampuan berpikir mengenai penerapan teori yang telah dipelajari pada bangku perkuliahan ke dalam penelitian yang sesungguhnya.

## **1.5 Sistematika Penulisan**

Susunan dan pembahasan pada penulisan skripsi ini adalah sebagai berikut:

### **BAB I Pendahuluan**

Bab ini menguraikan tentang latar belakang masalah, rumusan masalah, tujuan dan manfaat penelitian, serta sistematika penulisan laporan.

### **BAB II Tinjauan Pustaka**

Berisi referensi penelitian sebelumnya, menguraikan sistematis dasar teori yang berkaitan dengan topik pembahasan dan komponen penelitian.

### **BAB III Metodologi Penelitian**

Bab ini menguraikan metode, tahap- penelitian yang digambarkan melalui diagram alir penelitian dan variabel yang akan diteliti.

### **BAB IV Hasil dan Pembahasan**

Bab ini berisikan implementasi dan menjelaskan hasil temuan data yang dianalisis dari perancangan sistem yang telah dibuat

### **BAB V Penutup**

Bab ini berisi tentang kesimpulan dan saran dari penelitian ini.

## BAB II

### TINJAUAN PUSTAKA

#### 2.1 Penelitian Sebelumnya

Terdapat beberapa Penelitian yang telah dijalankan sebelumnya telah dirangkum dalam Tabel 2.1 Adapun perbedaan dan pembaruan penelitian ini dengan penelitian tugas akhir penulis telah dimuat pula dalam tabel yang sama.

#### 2.2 *Visible Light Communication*

Komunikasi cahaya tampak atau *visible light communication* adalah sebuah sistem komunikasi yang memanfaatkan cahaya tampak sebagai sinyal pembawa atau *carrier* dengan media transmisi udara bebas dengan frekuensi 430-770THz. Pada bagian modulator sinyal akan dikirimkan menggunakan perangkat Lampu *Light Emitting Diode* (LED) sebagai *transmitter*. Pada bagian *receiver* sebagai penerima digunakan perangkat *photodiode* untuk menangkap data yang dikirimkan oleh modulator melalui LED.

Lalu lintas data yang diperkirakan akan meningkat hampir 7kali lipat pada 2021 juga menjadi alasan, luas ukuran spektrum cahaya tampak yang membawa 300THz *bandwidth* bebas tanpa lisensi.

Selain itu, ukuran spektrum cahaya tampak menjadi alasan, cahaya bergerak sejauh 186.000mil dalam satu detik, yang jauh lebih cepat dari 344meter per detik yang ditempuh oleh gelombang radio di udara. Sehingga komunikasi menggunakan cahaya tampak bisa dikatakan hampir berlangsung secara seketika dan menjadikan VLC sebagai perangkat komunikasi tercepat diantara perangkat komunikasi lain yang tersedia di pasar saat ini.

Perangkat elektronik dengan fungsi khusus (*embedded system*) pada umumnya memiliki fotodioda sebagai penerima sumber cahaya, seperti dalam beberapa kasus kamera ponsel maupun kamera digital. Sensor gambar yang digunakan dalam kedua perangkat ini pada dasarnya merupakan serangkaian fotodioda (*pixel*) dan memiliki multi-saluran.

VLC memiliki potensi dapat digunakan sebagai media komunikasi untuk komputasi dimana-mana (*ubiquitous computing*) karena perangkat untuk

menghasilkan cahaya secara dalam ruangan maupun luar ruangan (seperti lampu, rambu lalu-lintas, TV, kamera komersil, lampu mobil) digunakan hampir disegala tempat.

Pada Tabel 2.2 menunjukkan perbandingan VLC dengan teknologi *short-range wireless communication*, seperti *Near Field Communication* (NFC) dan *Bluetooth Low Energy* (BLE). Keunggulan teknologi *visible light communication* terdapat pada aspek regulasi pemakaian pita komunikasi, penyediaan *bandwidth* (secara teoretikal), ketersediaan infrastruktur, kecepatan transmisi data, dan faktor kerenangan terhadap interferensi elektromagnetik.

Dalam penelitian ini terdapat variabel yang diperkirakan akan mempengaruhi proses pengiriman data pada VLC yaitu jarak, sudut, *dimming*, dan *clock* pada system. Jarak akan mempengaruhi kemampuan transmisi terjauh dari LED agar dapat terbaca oleh fotodioda, Sudut akan mempengaruhi kemampuan lebar arah pancaran *lobe* dari LED. *Dimming* atau kecerahan akan mempengaruhi kemampuan fotodioda menangkap pulsa *high* dan *low*, dan *clock* akan mempengaruhi kecepatan *switching* dari komponen analog [11].

### 2.2.1. Aplikasi VLC

Berdasarkan tujuan komunikasi, aplikasi VLC terbagi menjadi dua macam, yaitu *high speed data-rates* dan *low speed data-rates*. *High speed data-rates* merupakan transmisi data dengan kecepatan yang mencapai puluhan Mbps, tipe aplikasi ini sesuai untuk streaming konten multimedia dengan kualitas tinggi, misalnya video 720p. Komunikasi *high speed data-rates* memiliki karakteristik LED dan *photodetector* yang diatur pada posisi tetap (*fixed*) dengan menggunakan modul *transmitter* seperti *bias-tee* [12] [13] dan photodiode khusus yang dilakukan dengan jarak kanal optik yang dekat serta menggunakan konsentrator atau *filter*.

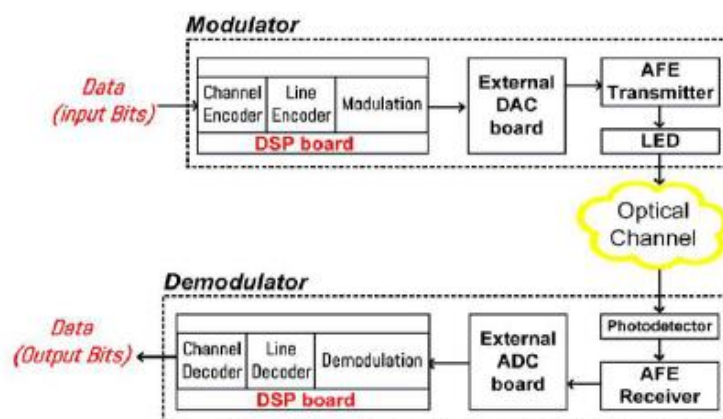
*Low speed data-rates* dapat digunakan untuk mengirim dan menerima data dengan kecepatan di bawah 10 kbps. Komunikasi *low speed data-rates* memiliki karakteristik pengaturan LED yang *fixed* dan *photodetector* dapat dimobilisasi (*movable receiver*), dapat dilakukan dengan jarak kanal diatas tiga meter tanpa *filter* dan lensa pemfokus, serta

menggunakan komponen yang terjangkau (*low-cost photodetector*). Komunikasi *low speed data-rates* tepat untuk diaplikasikan pada sistem *smart billing and shopping* pada area pasar swalayan [14], *patient monitoring system* pada area rumah sakit [15], dan *phone-to-phone communication* [8].

### 2.2.2. Struktur Dasar Sistem VLC

Gambar 2.1 adalah struktur dasar perangkat sistem VLC yang terdiri atas *block* analog dan digital. Konsep dasar dari sistem *visible light communication* sama seperti konsep sistem komunikasi *wireless* pada umumnya, bermula dari sinyal informasi sebagai data *input* yang termulasi pada *block* digital diproses oleh blok analog untuk mengkonversinya dari sinyal listrik menjadi sinyal optik. Cahaya tampak yang menjalar pada ruang bebas merupakan media perambatan sinyal informasi. Pada bagian *transmitter* dilakukan penentuan logika *high* atau *low* dengan pengaturan iluminansi LED.

Selanjutnya, fotodetektor menerima daya optik yang linier terhadap *level* iluminasi dari LED. Daya optik yang semakin besar dipengaruhi oleh tingginya *level* iluminansi LED [7]. Kemudian blok analog pada *receiver* akan mengkonversi daya optik tersebut menjadi arus listrik kembali untuk diproses pada *block* digital.



Gambar 2.1 Struktur dasar perangkat sistem VLC

Tabel 2.1 Perbedaan Penelitian Sebelumnya dengan Tugas Akhir Penulis

No	Penulis	Judul	Permasalahan	Solusi	Metoda	Hasil
1.	Annisa Hanifa	Pengembangan BER <i>Tester</i> Pada Sistem <i>Visible Light Communication</i> Berbasis FPGA ( <i>Field-Programmable Gate Array</i> )	Diperlukan sistem untuk dapat menghitung <i>error</i> dalam pengiriman data pada sistem <i>Visible Light Communication</i> (VLC)	Merancang sistem BER VLC untuk pengiriman data menggunakan FPGA ( <i>Field Programmable Gate Array</i> ) Altera	Menggunakan modulasi VPPM dan pendekatan <i>system-on-chip</i> (SoC) dengan menggunakan unit pemroses berbasis FPGA Altera.	BER mampu mendeteksi <i>error</i> dalam pengiriman data dalam <i>Visible Light Communication</i> (VLC)
2.	Syifaul Fuada, Angga Pratama Putra, Yulian Aska, Angga Pradana,	Implementasi Perangkat <i>Digital Signal Processing</i> Untuk Sistem <i>Visible Light Communication</i>	Diperlukan perangkat DSP yang memadai untuk mewujudkan sistem <i>Visible Light Communication</i>	Merancang interface dari pemroses utama terhadap DAC 10-bit dan ADC 12-bit untuk	Sistem pada modul DAC dan ADC, dirancang dengan pendekatan <i>system-on-chip</i> (SoC) pada board Avnet MicroZed	Modul DAC mampu mengkonversi sinyal digital 10-bit menjadi analog dalam bentuk sinusoidal dan

	Erwin Setiawan, dan Trio Adiono		dengan kecepatan tinggi	aplikasi sistem VLC		dapat diatur frekuensi <i>outputnya</i> , sedangkan modul ADC mampu mengolah sinyal analog menjadi sinyal digital 12-bit dengan format bilangan <i>two's</i> <i>complement</i>
3. S	Arsyad R. Darlis, Lita Lidyawati, Lucia Jambola, Nurul N. Wulandari	Implementasi Sistem Komunikasi Video menggunakan <i>Visible Light</i> <i>Communication</i> (VLC)	VLC dalam sistem komunikasi yang akan diimplementasikan yaitu informasi yang akan dikirim berupa video	Mengembangkan teknologi nirkabel sebagai sistem komunikasi video dengan memanfaatkan sistem	Mentransformasikan informasi digital menjadi sinyal analog oleh modulator, kemudian diubah menjadi cahaya oleh	Gambar video yang tampak pada monitor yang dikirim melalui <i>transmitter</i> dengan menggunakan LED belum sempurna,

				<p>komunikasi cahaya tampak (<i>visible light</i>) untuk menggantikan media <i>wireless</i> sebagai media pengiriman video, dan menghasilkan prototype dari sistem komunikasi cahaya tampak (<i>visible light</i>)</p>	<p>lampu sehingga cahaya lampu mengandung informasi</p>	<p>hal ini disebabkan oleh faktor pemilihan LED dan photodiode yang belum sesuai untuk mengirimkan data sepenuhnya.</p>
--	--	--	--	--	---	---

Tabel 2.2 Perbandingan teknologi *short-range* RF (NFC dan BLE) terhadap VLC, diambil dari [16] [17]

Karakteristik	NFC	BLE	VLC
Standar Komunikasi	ISO/IEC 14443 A&B, JIS X-6319: 4	<i>Buetooth Core Specification</i> 4.0 / 4.1 / 4.2	IEEE 802.157 VLCC JEITA CP-1223
<i>Bandwidth</i>	13.56 MHz	2.4 GHz	400 nm (750 THz) - 700 nm (428 THz)
Regulasi pemakaian frekuensi	Teregulasi, <i>Bandwidth</i> terbatas	Teregulasi, <i>Bandwidth</i> terbatas	Tidak teregulasi
Kecepatan transmisi data	424 Kbits/s	300 Kbits/s	< 120 m
Jarak transmisi data	< 10 cm	< 70 m	Mb/s-Gb/s
Kematangan teknologi	Matang	Matang	Belum matang
Interferensi gelombang elektromagnetik	Ya	Ya	Tidak
Infrastruktur	<i>Acces point</i>	<i>Acces point</i>	Perangkat penerangan
<i>Vision line</i>	Ya (kontak langsung)	Tidak	Ya / Tidak (dengan konfigurasi LOS / non-LOS)



Konsumsi energi	Sangat rendah	<i>Medium</i>	Rendah, <i>Medium</i> , Tinggi (bergantung pada daya LED yang dipakai)
Interaksi mobilitas	Tidak ada	Luas	Terbatas (sifat cahaya tidak dapat menembus objek padat)
Transmisi <i>Machine-to-machine</i> (M2M)	<i>Bidirectional</i>	<i>Bidirectional</i>	<i>Bidirectional</i>
Resiko pemakaian	Tidak ada	Ya (emisi sinyal RF)	Kesehatan mata dan mood
Sensitivitas terhadap <i>noise</i>	Tidak	<i>Other users</i>	Kondisi lingkungan

### 2.3 Field-Programmable Gate-Array (FPGA)

Untuk mengimplementasikan sebuah rangkaian digital sering menggunakan *field-programmable gate array* (FPGA) yang merupakan sebuah IC digital. FPGA berbentuk komponen elektronika dan semikonduktor yang terdiri atas sambungan terprogram dan komponen gerbang terprogram (*programmable logic*) yaitu jenis gerbang logika biasa (AND, OR, dan NOT) maupun jenis fungsi matematis dan kombinatorik yang lebih kompleks (*multiplier, decoder, adder, subtractor*, dan lain sebagainya). Di dalam FPGA juga terdapat *block-block* yang mengandung elemen memori (*register*) mulai dari flip-flop hingga RAM (*Random Access Memory*). Untuk melakukan pemrosesan komputasi dari algoritma integrasi numerik sangat tepat menggunakan FPGA.

Untuk meningkatkan efisiensi rancangan merupakan keuntungan dari implementasi FPGA dengan mengurangi pemakaian pemrograman perangkat lunak (*software*). Pada implementasi dalam berbagai algoritma, FPGA merupakan teknologi yang bebas (*technology-independent*) dan mempunyai koreksi *error* yang kecil. Dibandingkan mikrokontroler, kinerja FPGA lebih cepat dikarenakan FPGA hanya mensintesis perangkat keras (*hardware*) saja sedangkan mikrokontroler mengeksekusi instruksi perangkat lunak (*software*) yang digunakan untuk mengendalikan perangkat keras (*hardware*) sehingga *delay* yang diimplementasikan hanya memakan waktu tunda perambatan (*propagation delay*) saja. Dibutuhkannya informasi terkait dengan tingkat perbedaan abstraksi dan jenis model yang digunakan untuk memodelkan sebuah FPGA. Melalui model simulasi yang telah disediakan oleh penyedia jasa FPGA masing-masing, jika seseorang ingin merancang FPGA maka ia harus mampu mengambil beberapa tahapan pemodelan untuk memastikan hasil model rancangannya.

Sifat FPGA:

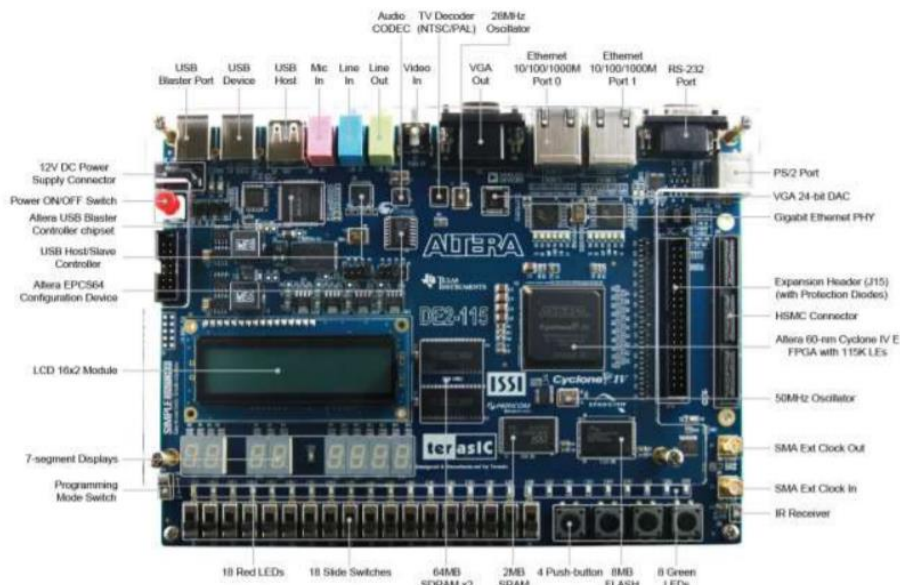
- a. Dapat di program berkali-kali (*record*).
- b. Bersifat tergantung catudaya (*volatile*).

- c. Mampu mengimplementasikan *logic circuit, instant manufacturing, very low cost prototype.*
- d. Dikonfigurasi oleh *End User.*

Dalam IC FPGA, pengguna dapat mendesain *hardware* sesuai dengan yang diinginkan karena FPGA merupakan IC tipe HDL (*Hardware Description Language*). Saat ini, perkembangan FPGA berlangsung cepat dan sudah ada bermacam-macam FPGA dengan perangkat dan kebutuhan perancangan yang berbeda. Beberapa perusahaan yang memproduksi FPGA diantaranya adalah Altera, ACTEL, Xilinx, dan PLESSE [18].

### 2.3.1 Board DE2-115 Altera Cyclone IV

Board DE2-115 Altera Cyclone IV adalah board modul FPGA yang sudah dilengkapi dengan chip FPGA jenis Cyclone IV EP4CE115F29C7N. Berikut adalah komponen yang ada dalam board FPGA DE2-115 :



Gambar 2.2 FPGA Cyclone IV DE2-115

- a. Altera Cyclone® IV 4CE115 FPGA device
- b. Altera Serial Configuration device – EPCS64
- c. USB Blaster (*on board*) untuk memogram; yang mendukung untuk mode JTAG dan Active Serial (AS)
- d. 2MB SRAM

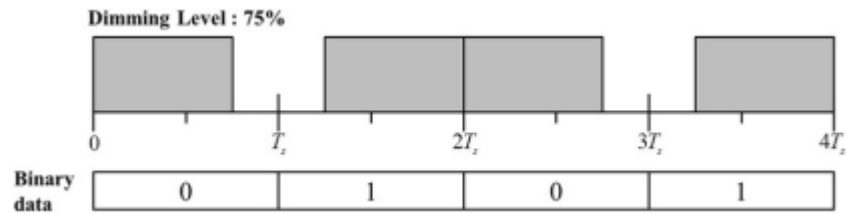
- e. Two 64MB SDRAM
- f. 8MB *Flash memory*
- g. SD Card socket
- h. 4 *Push-buttons*
- i. 18 *Slide switches*
- j. 18 *Red user LEDs*
- k. 9 *Green user LEDs*
- l. Sumber *oscillator* 50MHz untuk perangkat
- m. 24-bit CD-quality audio CODEC dengan *line-in*, *line-out*, dan *microphone-in jacks*
- n. VGA DAC (8-bit *high-speed triple* DACs) dengan konektor VGA-out
- o. TV Decoder (NTSC/PAL/SECAM) dan TV-in connector
- p. 2 Gigabit Ethernet PHY dengan konektor RJ45
- q. USB *Host/Slave Controller* dengan USB konektor tipe A dan tipe B
- r. RS-232 *transceiver* dan 9-pin konektor
- s. PS/2 mouse/keyboard konektor
- t. IR *Receiver*
- u. 2 SMA konektor untuk masukan/keluaran eksternal
- v. One 40-pin *Expansion Header* dengan *diode protection*
- w. Konektor *One High Speed Mezzanine Card* (HSMC)
- x. Modul LCD 16x2

## 2.4 Variable Pulse Position Modulation (VPPM)

Skema modulasi baru yang secara bersamaan mendukung pencahayaan dengan kontrol peredupan (*dimming*) dan komunikasi (*communication*) merupakan pengertian dari *variable pulse position modulation* (VPPM) [19].

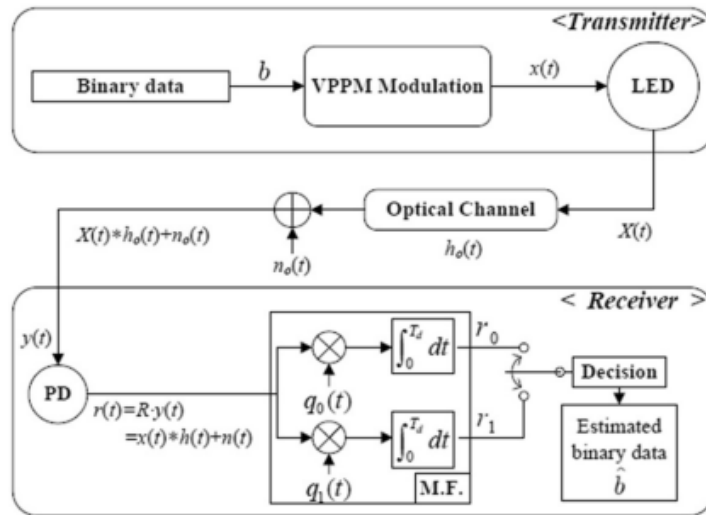
Skema modulasi *variable pulse position modulation* (VPPM) telah diusulkan dan diadopsi dalam standar IEEE sebagai salah satu skema modulasi *visible light communication*. Skema modulasi ini menggunakan PPM biner untuk komunikasi dan lebar pulsa untuk mengontrol peredupan dimana

mendukung iluminasi dengan kontrol dan komunikasi peredupan secara bersamaan. Gambar 2.5 menunjukkan contoh operasi dari VPPM.



Gambar 2.3 Contoh pengoperasian VPPM dalam kasus tingkat peredupan 75%

Pada gambar 2.5, peredupan (*dimming*) dan komunikasi fungsi VPPM beroperasi secara independent. Komunikasi dan pencahayaan yang lebih efisien menjadi parameter untuk VPPM dan dapat direalisasikan apabila kinerja komunikasinya dapat dianalisis sesuai dengan tingkat peredupan (*level dimming*) dan lingkungan saluran (*channel environment*).



Gambar 2.4 Struktur yang diusulkan dari sistem VLC berdasarkan VPPM

Pada gambar 2.6 menunjukkan struktur VLC yang diusulkan sistem berdasarkan VPPM. Ketika data biner  $b \in \{0, 1\}$  ditransmisikan, sinyal termulasi VPPM  $s(t)$  dihasilkan dengan mempertimbangkan *level* peredupan (*dimming*) target sebagai berikut:

$$\begin{cases} \sqrt{Es \cdot \frac{d}{50} \cdot \Phi_0(t)}, \text{ untuk } b = 0, \\ \sqrt{Es \cdot \frac{d}{50} \cdot \Phi_1(t)}, \text{ untuk } b = 1 \end{cases}$$

di mana  $E_s$  adalah energi simbol,  $d$  adalah tingkat peredupan ( $0 \leq d \leq 100$ ).  $\Phi_i(t)$  ( $i = 0, 1$ ) adalah fungsi basis yang berubah sesuai dengan tingkat peredupan. Setelah melewati sebuah *filter pulse-shaping* VPPM, sinyal transmisi memiliki persamaan berikut:

$$x(t) = \sum_{i=-\infty}^{\infty} s(t = iTd)$$

dimana  $T_d$  adalah total durasi waktu yang dibutuhkan untuk transmisi setiap blok data,  $T_d = T_s + T_g$ , di mana  $T_s$  adalah symbol durasi dan  $T_g$  adalah waktu jaga untuk menghindari antar-simbol gangguan yang disebabkan oleh dispersi saluran. Sinyal arus digerakkan oleh yang dikendalikan oleh  $x(t)$ . LED memancarkan sinyal cahaya  $X(t)$ , yang memiliki nilai rata-rata *optical power*  $P_t = \frac{1}{T} \int_0^{T_d} X(t) dt$ . Setelah melewati *optical channel*  $h_o(t)$ , sinyal optik  $y(t)$  yang diterima adalah:

$$y(t) = X(t) * h_o(t) + n_o(t),$$

di mana '\*' menunjukkan konvolusi dan  $n_o(t)$  adalah sumber *optical noise*.

Selanjutnya,  $y(t)$  dikonvergensi menjadi sinyal listrik melalui fotodioda (PD) untuk menghasilkan sinyal  $r(t)$  sebagai berikut:

$$\begin{aligned} r(t) &= R \cdot y(t) \\ &= R(X(t) * h_o(t) + n_o(t)) \\ &= H(0) \cdot x(t) * h(t) + n(t) \end{aligned}$$

dimana  $R$  adalah responsivitas konversi PD ( $A / W$ ),  $H(0)$  berarti *path loss gain* dari sinyal,  $h(t)$  menunjukkan respon impuls listrik dari saluran nirkabel optik, dan  $n(t)$  adalah derau Gaussian putih aditif listrik [20].

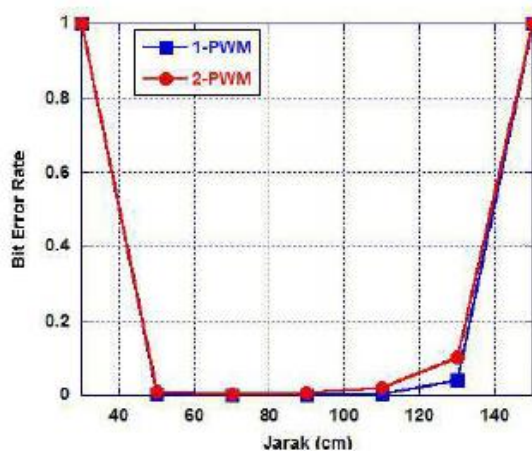
## 2.5 Bit Error Rate (BER)

Jumlah data *bit error* pada transmisi digital adalah jumlah bit-bit dari sebuah *data stream* yang dipengaruhi dan berubah karena interferensi, *noise*, atau *error* akibat *bit synchronization*. Perbandingan antara jumlah *bit error* dengan jumlah total bit yang dikirimkan merupakan pengertian dasar dari *bit error rate*. Dalam sistem komunikasi, *noise* kanal transmisi, interferensi, distorsi, masalah pada sinkronisasi bit, dan atenuasi dapat mempengaruhi bagian penerima dari *bit error rate*. Pengaruh fisik pada media transmisi seperti bending kabel dapat mempengaruhi nilai *bit error rate* pada optik karena bisa mengakibatkan retak atau pecahnya bagian dalam optik dalam kabel yang mengganggu pemantulan cahaya dalam fiber optik. *Bit error rate* dalam realisasinya sangat dipengaruhi oleh *noise* karena adanya kesalahan proses deteksi disebabkan oleh *noise* [21].

Pada pengujian sistem VLC, nilai *bit error rate* didapatkan dengan membandingkan data yang terkirim (*transmitted data*) dengan data yang diterima (*received data*) seperti persamaan berikut [11]:

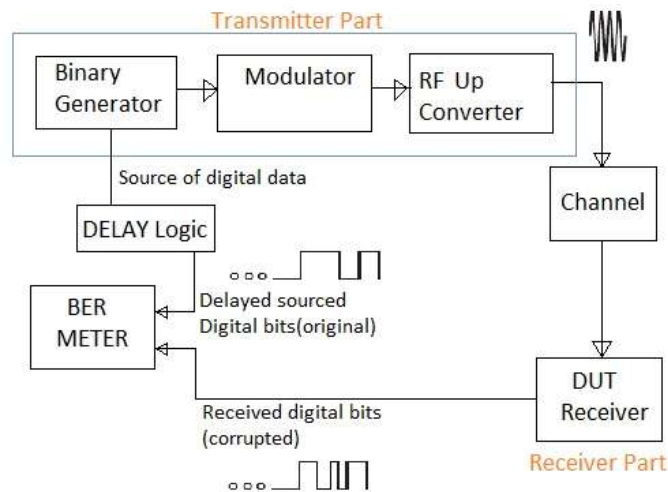
$$\text{BER} = \frac{\text{data diterima}}{\text{data terkirim}}$$

Sehingga, potensi *error* data yang diterima akan semakin besar apabila nilai *bit error rate* mendekati satu (BER=1). Begitu pun sebaliknya, data akan semakin memiliki nilai *error* yang besar atau tidak diterima sama sekali apabila jarak kanal optik semakin jauh, hal ini dikarenakan *level* iluminansi yang diterima oleh *photodiode* semakin lemah.



Gambar 2.5 Contoh grafik BER

Gambar 2.6 dibawah ini menggambarkan pengaturan pengujian BER sederhana.



Gambar 2.6 BER Basic Test Setup

Beberapa jenis metode pengukuran BER, yaitu metode XOR, metode FPGA, menggunakan pin digital, dan menggunakan *digitizer*.

Pada metode XOR, membandingkan dua pola yaitu *output* bit digital bagian penerima DUT dan versi tertunda *input* data sumber biner. Konsep gerbang XOR yaitu ketika kedua bit *input* sama maka *output* nol dan saat kedua bit *input* tidak sama maka *output* satu. Penggunaan konsep XOR ini akan memberikan jumlah bit yang salah dan karenanya BER dapat dengan mudah dihitung sesuai dengan rumus atau persamaan di atas.

Metode lainnya yaitu pada FPGA atau IC lainnya dengan menggunakan pin *input* digital. Digitizer yang memiliki analog *input* dan digital *input* juga dapat digunakan untuk pengukuran BER [22].

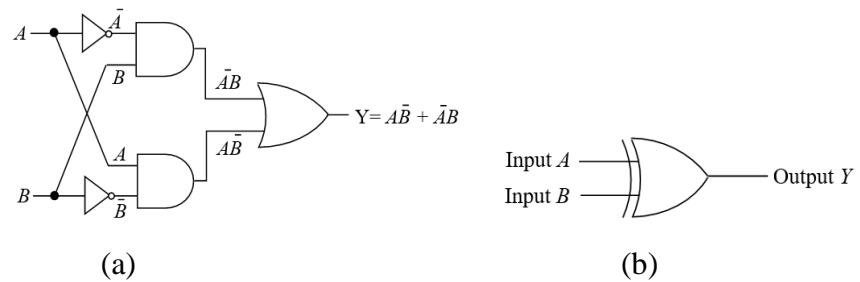
### 2.5.1 Logika XOR

Gerbang XOR merupakan singkatan bagi OR-eksklusif. Gerbang ini mempunyai dua masukan dan satu keluaran. Masing-masing masukan menuju ke sebuah *inverter*, keluaran-keluaran *inverter* ini adalah *A* dan *B*. Seperti yang terlihat pada gambar dibawah ini :

Gerbang XOR (OR-Eksklusif) mempunyai dua masukan dan satu keluaran, dimana masing-masing masukan menuju ke sebuah



*inverter* [23]. Pada gambar dibawah ini terlihat bahwa *output* atau keluaran dari *inverter* adalah  $\bar{A}$  dan  $\bar{B}$ .



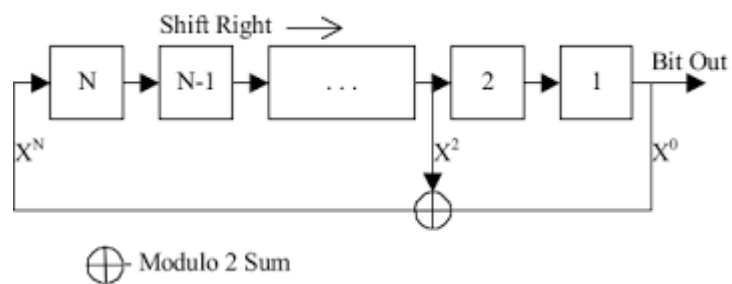
Gambar 2.7 (a) Gerbang OR-eksklusif; (b) Simbol gerbang logika XOR

Tabel 2.3 Tabel Kebenaran Gerbang XOR

Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Tabel 2.3 merupakan tabel kebenaran gerbang XOR dengan persamaan :  $Y = A \oplus B$  atau  $Y = A \text{ XOR } B$ .

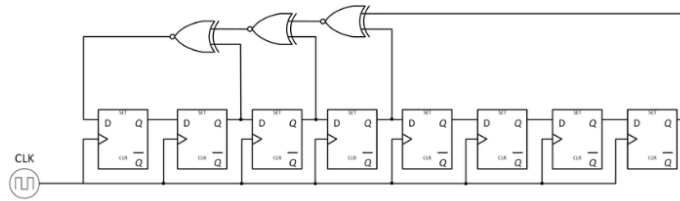
## 2.6 Pseudorandom Binary Sequence (PRBS)



Gambar 2.8 Block diagram PRBS

*Pseudorandom Binary Sequence* (PRBS) merupakan sinyal kotak yang pada lebarnya terjadi modulasi dan berlangsung secara sekuensial. Dengan menggunakan *Linear Feedback Shift Register* (LFSR) dapat membangkitkan

sinyal tersebut. Panjangnya *shift register* dapat mempengaruhi variasi dari panjang sekuensial PRBS.



Gambar 2.9 LFSR pada PRBS

Untuk mendapatkan nilai bit yang berbeda-beda, teknik LFSR menggunakan *shift register* yang isinya terus berputar dengan menambahkan beberapa gerbang dasar *Exclusive OR* (XOR).

Desain sinyal acak yang digunakan adalah Fibonacci LFSR, yaitu sederetan bit yang menjadi benih terdapat beberapa bit yang menjadi keran sebagai *input* ke dalam gerbang XOR, jumlah bit yang menjadi keran biasanya 2 atau 4bit tergantung deretan bit yang akan digunakan serta panjang jumlah siklus yang diinginkan.

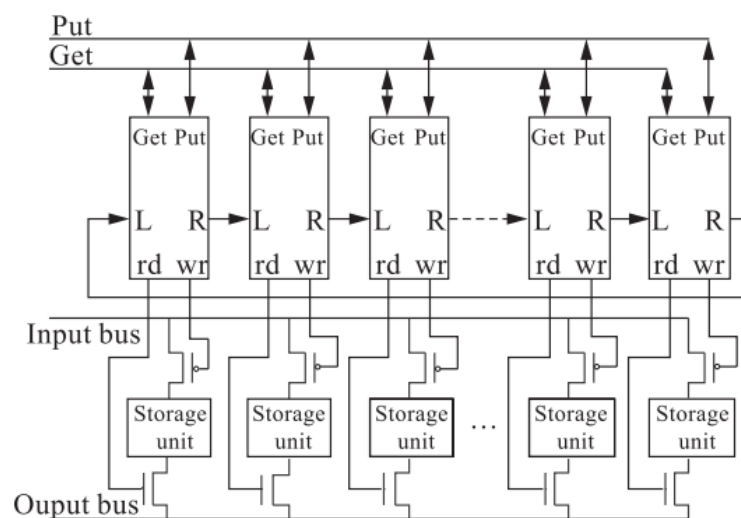
Tabel 2.4 Variasi panjang sekuensial PRBS [24]

Panjang Register (N)	Panjang Sekuensial $L=2N-1$	Posisi Tap Umpan Balik
2	3	1 dan 2
3	7	1 dan 3
4	15	3 dan 4
5	31	3 dan 5
6	63	5 dan 6
7	127	4 dan 7
8	255	2, 3, 4, dan 8
9	511	5 dan 9
10	1023	7 dan 10

## 2.7 First In First Out

Metode FIFO (*first in first out*) adalah sebuah metode yang menyimpan data dalam urutan antrian sehingga elemen *input* pertama keluar terlebih dahulu [25]. Dalam FIFO yang menggunakan sirkuit sinkron, memerlukan tiga langkah untuk melakukan perhitungan *empty-flag*. Langkah pertama umumnya untuk mentransfer alamat *input* ke *Gray-codes* yang kemudian terjadi *latched* oleh *clock input* sebelum dikirim ke *output*. Langkah kedua, alamat *Gray-codes* mengalami *latched* saat port *output* melalui sinkronisasi untuk memastikan

probabilitas dari keadaan metastabil yang terjadi sangat kecil. Langkah ketiga, membandingkan alamat *input* dan *output* untuk menghasilkan *empty-flag* setelah alamat *Gray-codes* ditransfer kembali ke kode biner. Dengan demikian, *delay* dari *input* ke *output* dapat dituliskan sebagai  $T_d = T_{clk1} + T_{clk2} + T_{G2B} + T_{rr}$ , dimana  $T_{clk1}$  adalah *input cycle clock*,  $T_{clk2}$  adalah *output cycle clock*,  $T_{G2B}$  adalah *delay* untuk mentransfer *Gray-code* menjadi kode biner, dan  $T_{rr}$  adalah *delay* antara tepi positif dari *clock input* dan *output*. Oleh karena itu, laju latensi jenis FIFO ini akan lebih lama dari  $T_d$  dan *delay* untuk transfer *Gray-codoe* menjadi kode biner juga akan mempengaruhi pembacaan siklus [26].



Gambar 2.10 Usulan FIFO asinkron sirkuler

Gambar 2.9 menunjukkan arsitektur *circular* FIFO dimana setiap sel FIFO terdiri dari *controller* dan unit penyimpanan. *Controller* melakukan *handshaking* dengan antarmuka *input* atau *output* dan menghasilkan sinyal *wr* dan *rs* yang sesuai. Satu sinyal *wr* atau *rd* aktif maka unit penyimpanan menyimpan atau mengeluarkan data. Saat proses *input* hanya satu sel, sel sinyal *wr* akan aktif begitu pula data yang disimpan dalam sel tersebut.

## BAB III

### METODOLOGI PENELITIAN

#### 3.1 Jenis dan Lokasi Penelitian

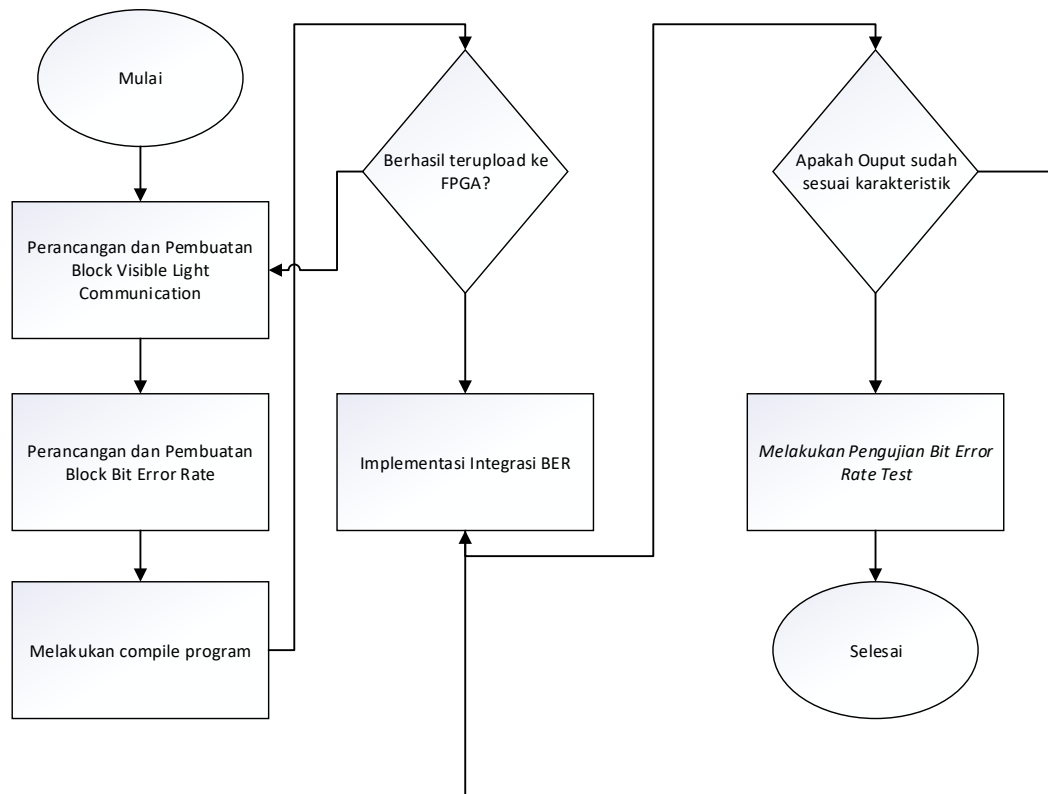
Metode yang digunakan pada penelitian ini yaitu perancangan dan analisis. Metode perancangan berupa pembangunan sistem perangkat keras, pembuatan rancang bangun dan perancangan bahasa *verilog*. Metode analisis berupa analisis modul-modul secara terpisah, analisis sistem keseluruhan dan analisis kelayakan penggunaan FPGA pada sistem. Lokasi penelitian ini dilakukan di Laboratorium Telekomunikasi Program Studi Teknik Elektro Universitas Sebelas Maret.

#### 3.2 Alur Penelitian

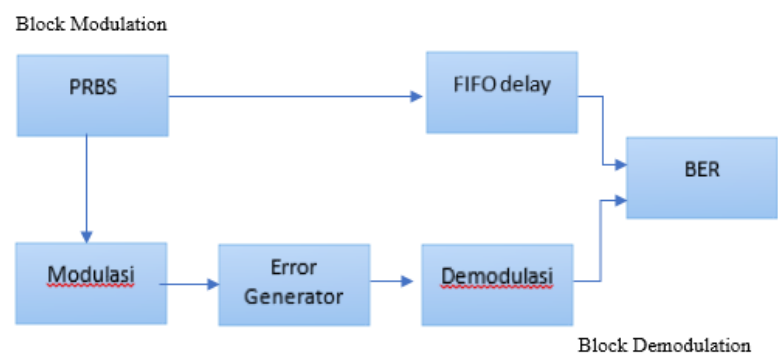
Penelitian dimulai dengan studi pustaka yang dapat berasal dari *paper*, laporan penelitian, *datasheet*, dan buku, dengan topik yang relevan. Setelah pengetahuan dasar dipahami dari referensi yang didapat, penelitian dilanjutkan dengan pembuatan dan penyusunan integrasi *Bit Error Rate* (BER) yang terdiri dari *block* PRBS, modulasi, demodulasi, *error generator*, dan *compare* BER yang diprogram menggunakan bahasa *verilog*.

Setelah setiap *block* yang dibuat sudah berfungsi secara semestinya, selanjutnya semua *block* yang telah dibuat dihubungkan dan jika sudah berhasil di-*compile* dan diset pinnya, maka selanjutnya di upload ke FPGA (*Field-Programmable Gate Array*) dan dilakukan pengambilan data.

Ada dua jenis integrasi *Bit Error Rate* dalam pengambilan data yang dilakukan, yaitu integrasi *bit error rate* (BER) dengan menggunakan *block error generator* dan integrasi *bit error rate* dengan *Analog Frond-End*.



Gambar 3.1 Diagram Alur Penelitian Sistem



Gambar 3.2 Skema Alur Kerja Sistem

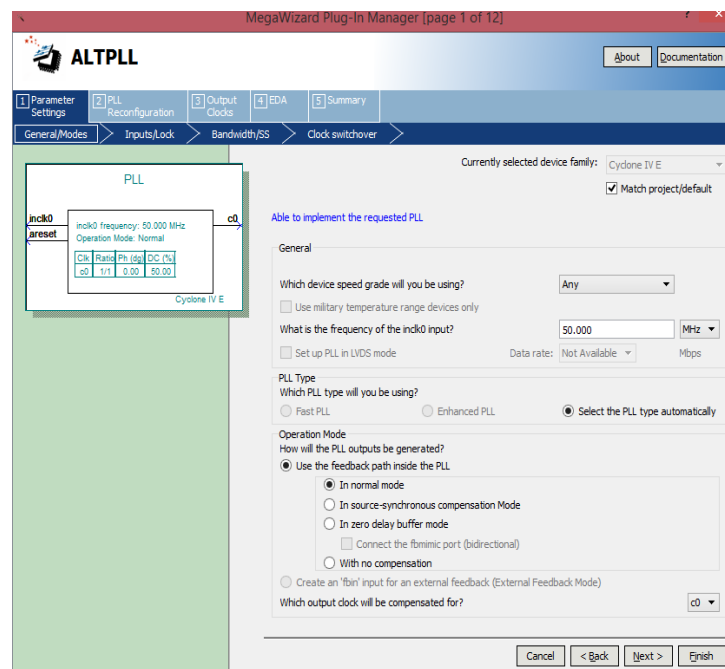
### 3.3 Instrumen Penelitian

Adapun instrument penelitian yang digunakan dalam penelitian yaitu:

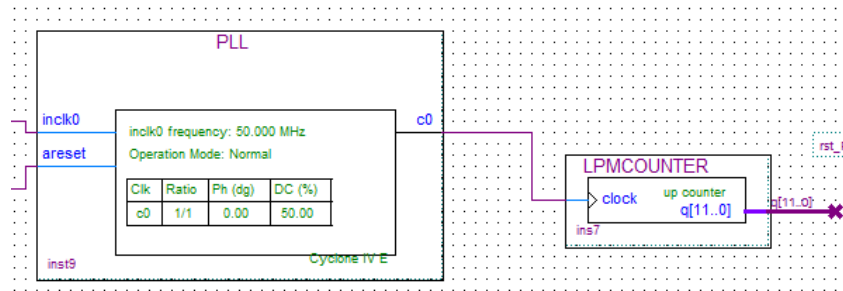
1. Alat
  - a. Laptop
  - b. FPGA
  - c. *Oscilloscope*
2. Perangkat Lunak
  - a. ModelSIM
  - b. Quartus
  - c. Hantek 6022BL

### 3.4 Perancangan dan Pembuatan *Block Visible Light Communication*

#### 3.4.1 Mengatur Frekuensi PLL



(a)



(b)

Gambar 3.3 (a) Setting PLL clock (b) Blok PLL clock dan LPMCounter

Frekuensi PLL diatur untuk menentukan besar *clock* yang akan menjadi masukan pada sistem. Pada perancangan ini, besar frekuensi PLL diatur 50MHz dan di counter menggunakan LPMCounter sebanyak  $2^{12}$ . Tujuan dari pengaturan frekuensi PLL ini adalah agar *clock* sesuai dengan saat sistem diimplementasi ke FPGA, sehingga *output* data dapat diamati.

Pada integrasi BER menggunakan *error generator* diatur *clock* sebesar 1,5625 MHz yang didapat dari  $\frac{50 \text{ MHz}}{2^5}$ . 50 MHz adalah frekuensi *clock* pll dan  $2^5$  didapat dari LPMCounter yang digunakan.

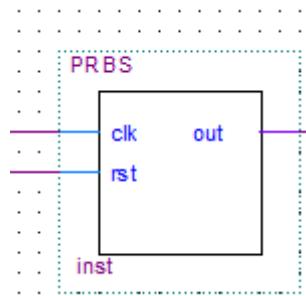
Pada integrasi BER menggunakan *Analog Front-End* diatur *clock* sebesar 0,012 MHz yang didapat dari  $\frac{50 \text{ MHz}}{2^{12}}$ . 50 MHz adalah frekuensi *clock* pll dan  $2^{12}$  didapat dari LPMCounter yang digunakan.

### 3.4.2 Pseudorandom Binary Sequence (PRBS)

```

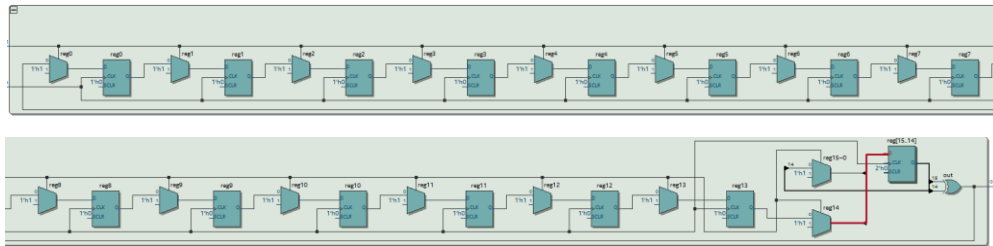
1 module PRBS (
2     clk,
3     rst,
4     out
5 );
6
7 input clk, rst;
8 output out;
9
10 reg reg0, reg1, reg2, reg3, reg4, reg5, reg6, reg7, reg8, reg9, reg10, reg11, reg12, reg13, reg14, reg15;
11 wire out;
12
13 always @(posedge clk)
14 begin
15     if (rst)
16     begin
17         reg0 <= 1'b1;
18         reg1 <= 1'b1;
19         reg2 <= 1'b1;
20         reg3 <= 1'b1;
21         reg4 <= 1'b1;
22         reg5 <= 1'b1;
23         reg6 <= 1'b1;
24         reg7 <= 1'b1;
25         reg8 <= 1'b1;
26         reg9 <= 1'b1;
27         reg10 <= 1'b1;
28         reg11 <= 1'b1;
29         reg12 <= 1'b1;
30         reg13 <= 1'b1;
31         reg14 <= 1'b1;
32         reg15 <= 1'b1;
33     end
34     else
35     begin
36         reg0 <= out;
37         reg1 <= reg0;
38         reg2 <= reg1;
39         reg3 <= reg2;
40         reg4 <= reg3;
41         reg5 <= reg4;
42         reg6 <= reg5;
43         reg7 <= reg6;
44         reg8 <= reg7;
45         reg9 <= reg8;
46         reg10 <= reg9;
47         reg11 <= reg10;
48         reg12 <= reg11;
49         reg13 <= reg12;
50         reg14 <= reg13;
51         reg15 <= reg14;
52     end
53     assign out = reg15 ^ reg14;
54 end
55 endmodule

```



Gambar 3.4 Pembuatan program dan *block* PRBS

Pada percobaan ini, dibuat PRBS15. PRBS dibuat pada sistem ini sebagai *input* random yang menghasilkan *output* satu bit. *Output* dari PRBS ini nanti yang akan dicabangkan menjadi dua jalur yaitu yang langsung menuju *block* BER dan yang melewati modulasi, *error generator*, dan demodulasi sebelum menuju ke BER.



Gambar 3.5 RTL Viewer PRBS

### 3.4.3 Modulasi

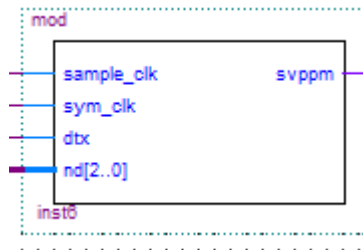
```

7  dtx,
8  nd,
9  svppm
10  );
11  //input port
12  input sample_clk;
13  input sym_clk;
14  input dtx;
15  input [2:0] nd;
16  //output port
17  output svppm;
18  //port wires
19  wire sample_clk;
20  wire sym_clk;
21  wire dtx;
22  wire [2:0] nd;
23  wire svppm;
24  reg [2:0] counter;
25  wire [2:0] counter_shift;
26  reg [5:0] data_shift;
27  wire [7:0] data_shift_cut;
28  reg signed [8:0] r_shift = 9'b1_0000_0000;
29  reg sample_data;
30  always @ (posedge sample_clk)
31  begin
32  if (sym_clk)
33  begin
34  sample_data <= #1 dtx;
35  end
36  end
37  always @ (posedge sample_clk)
38  begin
39  if (sym_clk)
40  begin
41  counter <= #1 3'b000;
42  end
43  else
44  begin
45  counter <= #1 counter + 1;
46  data_shift <= #1 (r_shift >> nd);
47  end
48  end
49  assign data_shift_cut = data_shift[7:0];
50  assign counter_shift = (sample_data) ? ~counter : counter;
51  assign svppm = data_shift_cut[counter_shift];
52  <

```

(a)

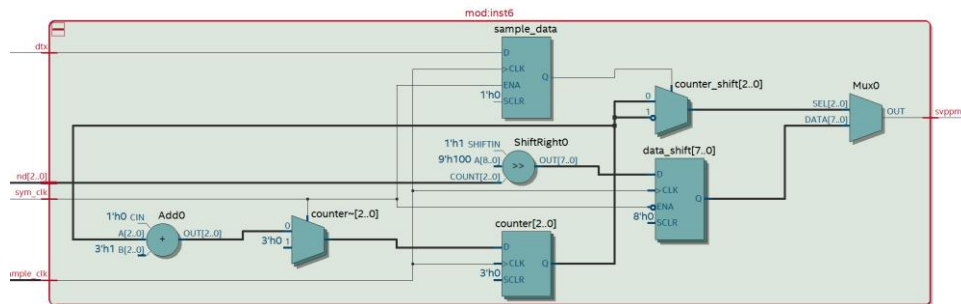




(b)

Gambar 3.6 Pembuatan (a) program *block* modulasi dan (b) *block* Modulasi

Pada *block* modulasi terdapat *input* dtx yang berasal dari *output* PRBS dan *input* dimming 3bit dimana *input* dimming ini juga terkoneksi pada *input* dimming di demodulasi. Pada *block* modulasi menghasilkan *output* yang akan menjadi masukan pada *block* error generator.



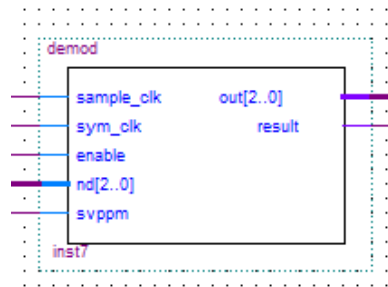
Gambar 3.7 RTL Viewer Modulasi

### 3.4.4 Demodulasi

```

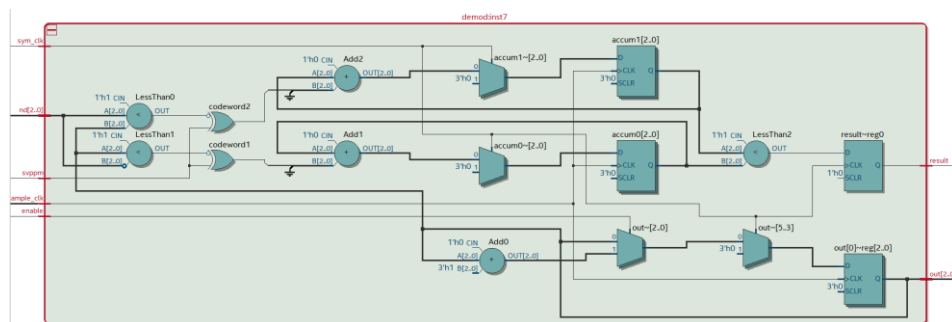
5 module demod(
6   sample_clk,
7   sym_clk,
8   enable,
9   out,
10  nd,
11  svppm,
12  result
13);
14
15 //-----port input-----
16 input sample_clk;
17 input enable;
18 input sym_clk;
19 input svppm;
20 input [2:0] nd;
21
22 //-----port output-----
23 output [2:0] out;
24 output result;
25
26 //-----internal variable-----
27 wire codeword1;
28 wire codeword2;
29 wire mask_one;
30 wire mask_zero;
31
32 reg [2:0] accum0;
33 reg [2:0] accum1;
34 reg [2:0] out;
35 reg [2:0] result;
36
37 //-----main-----
38 always @(posedge sample_clk)
39 if (sym_clk) begin
40   out <= 3'b0;
41   end else if (enable) begin
42     out <= out + 1;
43   end
44 end
45 assign mask_one = (out >= nd)? 1'b0:1'b1;
46 assign mask_zero = (out <= (3'b111-nd))? 1'b0:1'b1;
47 assign codeword2 = (svppm*mask_one);
48 assign codeword1 = (svppm*mask_zero);
49
50
51 always @(posedge sample_clk)
52 begin
53   if (sym_clk)
54     accum0 <= 3'b0;
55   else
56     accum0 <= accum0 + codeword1;
57 end
58
59 always @(posedge sample_clk)
60 begin
61   if (sym_clk)
62     accum1 <= 3'b0;
63   else
64     accum1 <= accum1 + codeword2;
65 end
66
67 always @(posedge sym_clk)
68 begin
69   if (accum0 >= accum1)
70     result <= 1'b1;
71   else
72     result <= 1'b0;
73 end
74 endmodule

```



Gambar 3.8 Pembuatan (a) program demodulasi dan (b) *block* demodulasi

Pada *block* demodulasi terdapat *input dimming* yang terkoneksi dengan *input dimming* pada *block* modulasi. *Input svppm* pada *block* ini didapat dari *output* pada *error generator*. Pada *block* ini juga terdapat *input enable*, dimana saat implementasi di FPGA, setelah semua reset di *on* dan *off* kan, lalu harus mengaktifkan *input enable* pada *block* demodulasi ini agar saat sistem dapat berjalan. *Output result* dari *block* ini akan menjadi *input* pada *block* BER untuk dibandingkan dengan *output* FIFOdelay.



Gambar 3.9 RTL Viewer Demodulasi

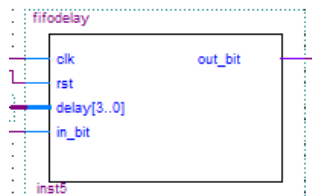
### 3.4.5 First in First Out

```

1 module fifodelay(
2     clk,
3     rst,
4     delay,
5     in_bit,
6     out_bit
7 );
8
9     input clk, rst, in_bit;
10    input [3:0] delay;
11    output out_bit;
12
13    reg reg00, reg01, reg02, reg03, reg04, reg05, reg06, reg07, reg08, reg09, reg10, reg11;
14    reg out_bit;
15
16    always @(posedge clk)
17        if (rst == 1'b1)
18            begin
19                reg00 <= #1 1'b0;
20                reg01 <= #1 1'b0;
21                reg02 <= #1 1'b0;
22                reg03 <= #1 1'b0;
23                reg04 <= #1 1'b0;
24                reg05 <= #1 1'b0;
25                reg06 <= #1 1'b0;
26                reg07 <= #1 1'b0;
27                reg08 <= #1 1'b0;
28                reg09 <= #1 1'b0;
29                reg10 <= #1 1'b0;
30                reg11 <= #1 1'b0;
31            end
32
33    else
34        begin
35            reg00 <= #1 in_bit;
36            reg01 <= #1 reg00;
37            reg02 <= #1 reg01;
38            reg03 <= #1 reg02;
39            reg04 <= #1 reg03;
40            reg05 <= #1 reg04;
41            reg06 <= #1 reg05;
42            reg07 <= #1 reg06;
43            reg08 <= #1 reg07;
44            reg09 <= #1 reg08;
45            reg10 <= #1 reg09;
46            reg11 <= #1 reg10;
47            reg12 <= #1 reg11;
48            reg13 <= #1 reg12;
49            reg14 <= #1 reg13;
50            reg15 <= #1 reg14;
51        end
52
53    always @(delay or reg00 or reg01 or reg02 or reg03 or reg04 or reg05 or reg06 or reg07 or reg08 or reg09 or reg10 or reg11)
54        begin
55            case (delay)
56                (4'd0) : out_bit = in_bit;
57                (4'd1) : out_bit = reg00;
58                (4'd2) : out_bit = reg01;
59                (4'd3) : out_bit = reg02;
60                (4'd4) : out_bit = reg03;
61                (4'd5) : out_bit = reg04;
62                (4'd6) : out_bit = reg05;
63                (4'd7) : out_bit = reg06;
64                (4'd8) : out_bit = reg07;
65                (4'd9) : out_bit = reg08;
66                (4'd10) : out_bit = reg09;
67                (4'd11) : out_bit = reg10;
68                (4'd12) : out_bit = reg11;
69                (4'd13) : out_bit = reg12;
70                (4'd14) : out_bit = reg13;
71                (4'd15) : out_bit = reg14;
72            endcase
73        end
74
75    endmodule

```

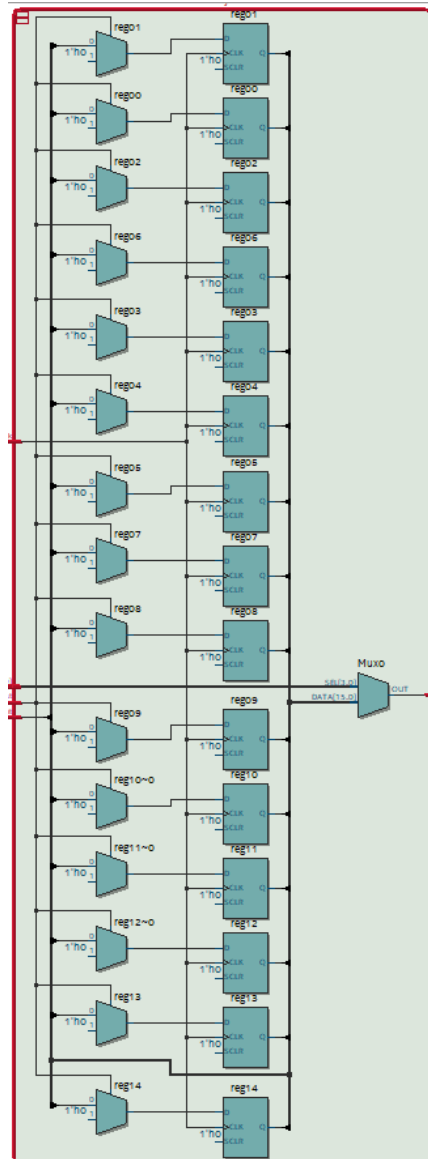
(a)



(b)

Gambar 3.10 Pembuatan (a) program FIFO dan (b) *block* FIFO

Pembuatan *block* FIFO pada sistem tujuannya adalah untuk *delay*. Jadi, *output* dari PRBS tadi menjadi *input* pada *block* FIFO yang juga mendapat *inputan* maksimal 4bit *delay*. *Input* bit dari PRBS yang sudah tertunda pada *block* ini akan menghasilkan *output* yang langsung akan dibandingkan dengan *output* dari *block* demodulasi di *block* BER.



Gambar 3.11 RTL Viewer FIFO Delay

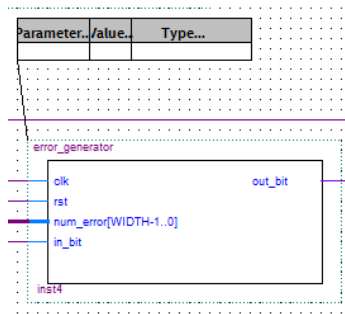
### 3.4.6 Error generator

```

1 module error_generator (
2     clk,
3     rst,
4     num_error,
5     in_bit,
6     out_bit
7 );
8
9     parameter WIDTH = 16;
10    input clk, rst, in_bit;
11    input [WIDTH-1:0] num_error;
12    output out_bit;
13
14    wire out_bit;
15    reg [WIDTH-1:0] error_counter;
16
17    always @(posedge clk)
18    begin
19        if (rst == 1'b1)
20            error_counter <= #1 {(WIDTH){1'b0}};
21        else
22            error_counter <= #1 error_counter + 1;
23        assign out_bit = (error_counter < num_error) ? ~in_bit : in_bit;
24    end
25 endmodule

```

(a)

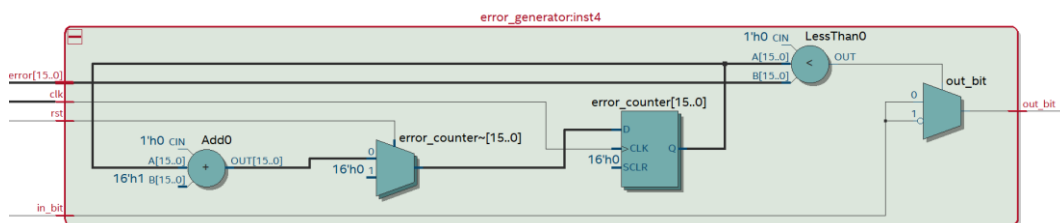


(b)

Gambar 3.12 Pembuatan (a) program *Error generator* dan (b) *block Error generator*

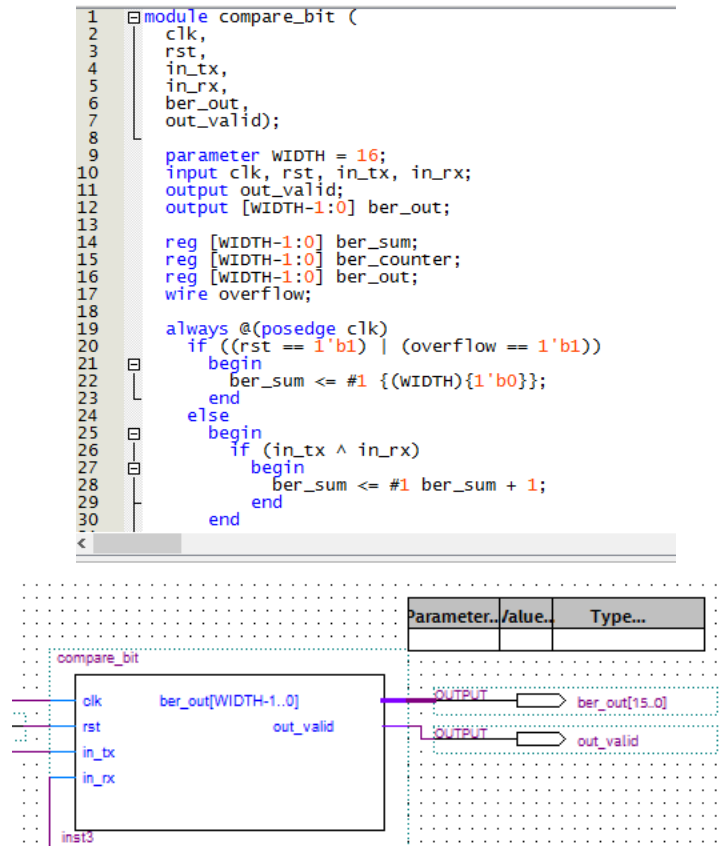
Pembuatan *block error generator* pada dasarnya adalah sebagai pengganti untuk *Analog Front-End*. Pada *block* ini mendapat *input* dari output modulasi dan *input* number *error* 16bit, dimana number *error* nanti akan menjadi *input error* pada implementasi di FPGA. *Output* dari *block* ini menjadi *input* ke *block* demodulasi.

*Error generator* akan melakukan *generate* bilangan *random*, bilangan *random* yang dihasilkan akan digunakan untuk mengubah nilai data svppm yang dikirimkan dan menjadi *error* dengan melakukan operasi *adder* sehingga nilai svppm yang semula bernilai satu menjadi nol dan sebaliknya. Nilai svppm yang sudah dirubah dalam proses transmisi akan terbaca sebagai *error* pada demodulator dan akan mempengaruhi hasil keluaran (*data\_rx*) dari demodulator yang akan dibandingkan menggunakan operasi xor oleh *error rate* dengan nilai data yang dikirimkan (*data\_tx*). Perbedaan nilai pada *data\_tx(n)* dan *data\_rx(n)* akan dianggap sebagai *error* dan dibandingkan dengan jumlah data yang dikirimkan.



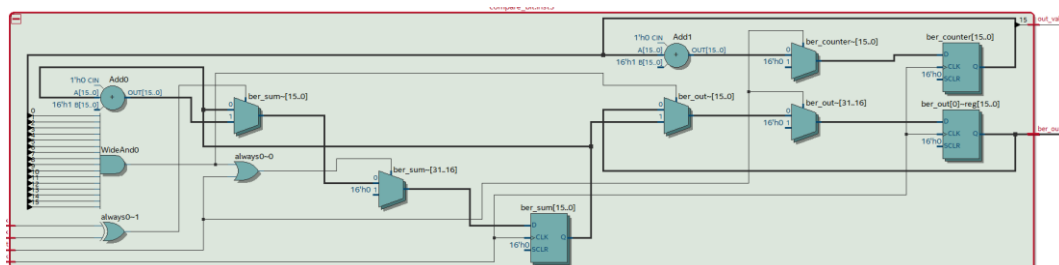
Gambar 3.13 RTL Viewer *Error generator*

### 3.5 Perancangan dan Pembuatan *Block Bit Error Rate (BER)*



Gambar 3.14 Pembuatan (a) program BER dan (b) *block* BER

*Block* ini adalah *block* hasil dari dua *output* yang sudah dijelaskan sehingga dengan membandingkan kedua *output* tersebut maka akan mendapatkan hasil *Bit Error Rate* nya. Hasil BER yang didapat telah diatur pada program menggunakan logika XOR sehingga jika ke dua masukan pada *block* BER berbeda maka hasilnya 1 dan jika kedua masukan sama maka hasilnya 0 yang berarti tidak ada *error*.



Gambar 3.15 RTL Viewer BER

Dibawah ini adalah tabel kebenaran logika XOR.

Tabel 3.1 Tabel Kebenaran Logika XOR

<b>A</b>	<b>B</b>	<b><math>Y = A \oplus B</math></b>
0	0	0
0	1	1
1	0	1
1	1	0

### 3.6 Menentukan Karakteristik Analog VLC

Tabel 3.2 Parameter *Analog Front-End* (AFE) VLC yang Diinginkan

Parameter	Karakterisasi AFE VLC
<i>Application/Coverage Range</i>	<i>Indoor/max ~1.5m</i>
<i>Communication Models</i>	<i>Point to point</i>
<i>Transmitter</i>	LED Specifications: <ul style="list-style-type: none"> <li>• <i>Voltage rating</i>: 10-14V</li> <li>• <i>Power</i>: 9W(max)</li> <li>• <i>View Angle</i>: 120°</li> <li>• <i>Luminous intensity</i>: 400-500lux</li> <li>• <i>Wavelength</i>: 380-760nm (white)</li> </ul>
<i>Receiver</i>	Photodiode specifications: <ul style="list-style-type: none"> <li>• <i>Spectral response</i>: 400-1000nm</li> <li>• <i>Rise/fall time</i>: 50μs</li> <li>• <i>Cutoff frequency</i>: 5MHz</li> <li>• <i>Effective area size</i>: 3cm<sup>2</sup></li> </ul>
OP-AMP	General OP-AMP (LM741) with <i>dual supply <math>\pm V_{DC}</math> and 2MHz</i> <i>Bandwidth</i>
<i>Channel Mode</i>	<i>Direct LOS link</i>
<i>Microcontroller</i>	<i>Cyclone IV EP4CE115F29C7N</i>
<i>Bitrate max</i>	100 Kbps
<i>Modulation</i>	VPPM
<i>Interference lamp addressing</i>	Pada LED Lamp

### 3.7 Rencana Penelitian

Pada penelitian ini akan dilakukan pengujian mengenai *Bit Error Rate* menggunakan dua cara, yang pertama tanpa *Analog Front-End* dan dengan *Analog Front-End*.

Pada pengujian tanpa *Analog Front-End*, rangkaian *Analog Front-End* akan digantikan dengan dengan blok *Error Generator*. *Error generator* akan memberikan *error* pada data yang dikirimkan sesuai dengan nilai masukan pada *error generator*. Tujuan dari pengujian ini adalah untuk mengetahui apakah *Bit Error Rate Tester* sudah sesuai dengan spesifikasi yang diharapkan dengan cara melihat output BER apakah sudah sesuai dengan *input* pada *error generator*.

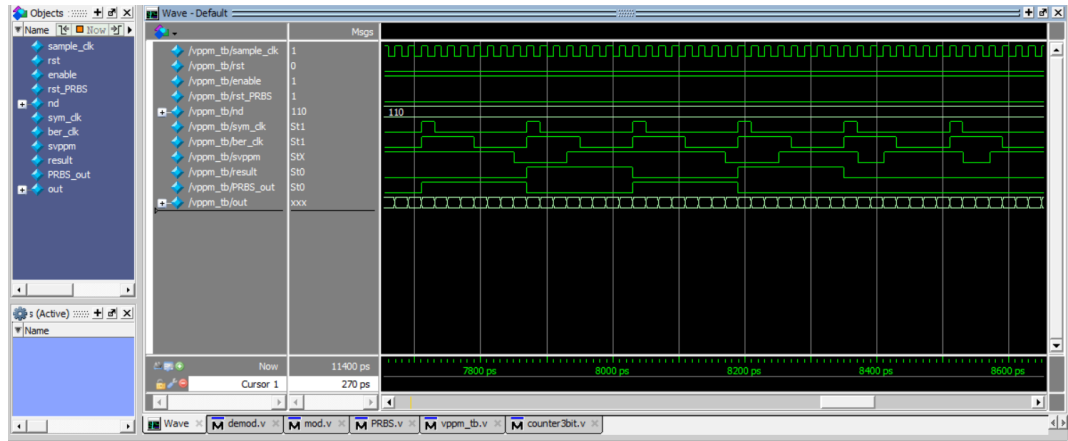
Pada pengujian menggunakan *Analog Front End*, data akan dikirimkan melalui modulator lalu ditransmisikan oleh LED dan ditangkap oleh *photodiode*, kemudian hasil pembacaan *photodiode* akan melalui *Analog Front-End* dan diproses oleh demodulator. Tujuan dari pengujian ini adalah untuk mengetahui pengaruh dari *clock* (frekuensi), *dimming*, jarak, dan sudut terhadap output *Bit Error Rate* (BER).



## BAB IV

### HASIL DAN PEMBAHASAN

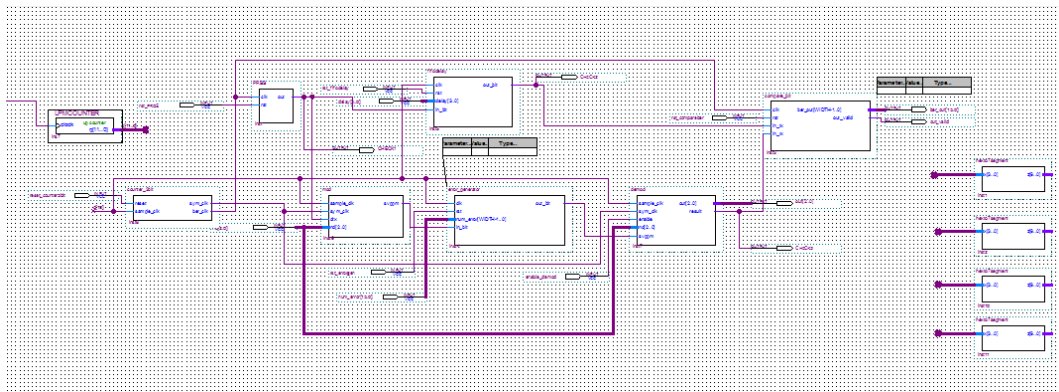
#### 4.1 Hasil Simulasi Modulasi dan Demodulasi pada ModelSIM



Gambar 4.1 Hasil simulasi pada ModelSIM

Pada simulasi menggunakan ModelSIM, *output* modulasi dan demodulasi sudah sesuai dengan yang diinginkan dan pada gambar terlihat bahwa nilai modulasi dan demodulasi tertunda delapan *clock*.

#### 4.2 Hasil Integrasi BER menggunakan *Error generator*

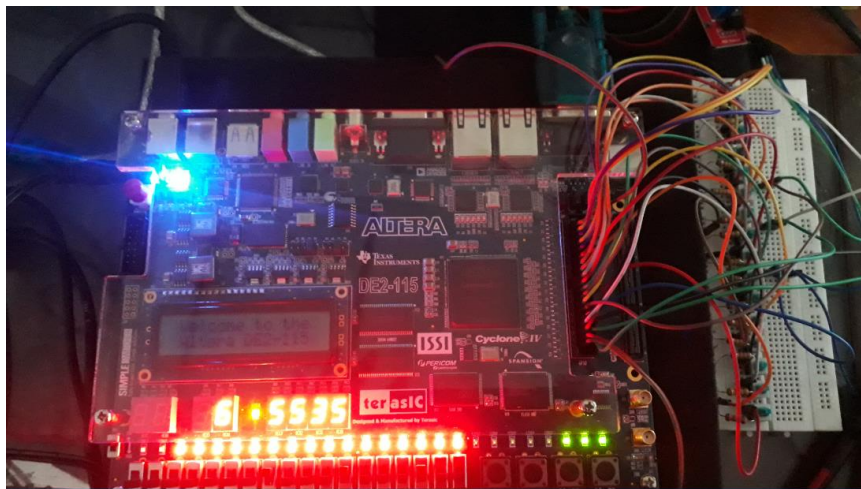


Gambar 4.2 *Interface* pada Quartus

Setelah membuat program dan *block-block* yang diperlukan, lalu menghubungkan semua *block* yang telah dibuat. Sistem mendapat *input clock* yang berasal dari *clock* PLL yang telah dicounter. Sistem juga mendapat *input* random yang berasal dari *block* PRBS (*pseudorandom binary sequence*). *Output* dari PRBS tercabang menjadi *input* di dua *block* yang berbeda. Pertama adalah

*transmitter*, *output* PRBS menjadi *input* di *block* FIFOdelay yang kemudian diteruskan ke *block* BER. Kedua adalah *receiver*, *output* PRBS menjadi *input* *block* modulasi dimana *output* modulasi akan diteruskan ke *error generator* lalu ke demodulasi hingga diteruskan ke *block* BER. Didalam *block* BER, akan membandingkan (*compare*) *output* dari *transmitter* dan *receiver*, jika kedua *output* sama maka tidak ada *error* atau BER bernilai 0, namun jika ada perbedaan dari nilai kedua *output* tersebut maka terdapat *error* dalam pengiriman data.

#### 4.2.1 Implementasi pada FPGA



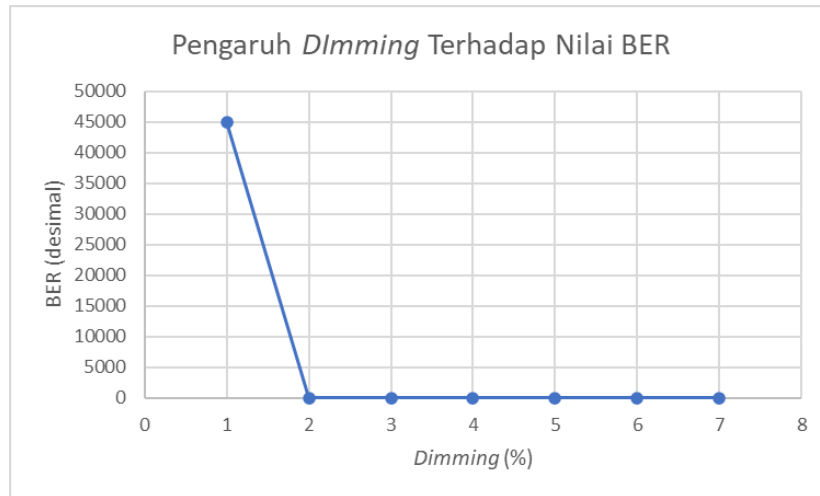
Gambar 4.3 Implementasi pada FPGA

Setelah pin diset dan berhasil di *compile* pada Quartus, maka program akan diunggah pada FPGA. Kondisi awal FPGA yang sudah terprogram adalah seperti pada Gambar 4.3.

#### 4.2.2 Pengaruh Clock

*Clock* sebelumnya telah dibuat menggunakan PLL dan LPMCounter. Frekuensi PLL yang diatur adalah 50MHz dan nilai LPMCounter  $2^{12}$ . *Output* LPMCounter (q) akan di *wire* dengan sistem dan menjadi *input* q[5] pada sistem. Semakin besar nilai q, maka *clock* akan semakin lambat dan semakin kecil nilai q maka *clock* akan semakin cepat.

### 4.2.3 Pengaruh *Input Dimming* terhadap Hasil BER



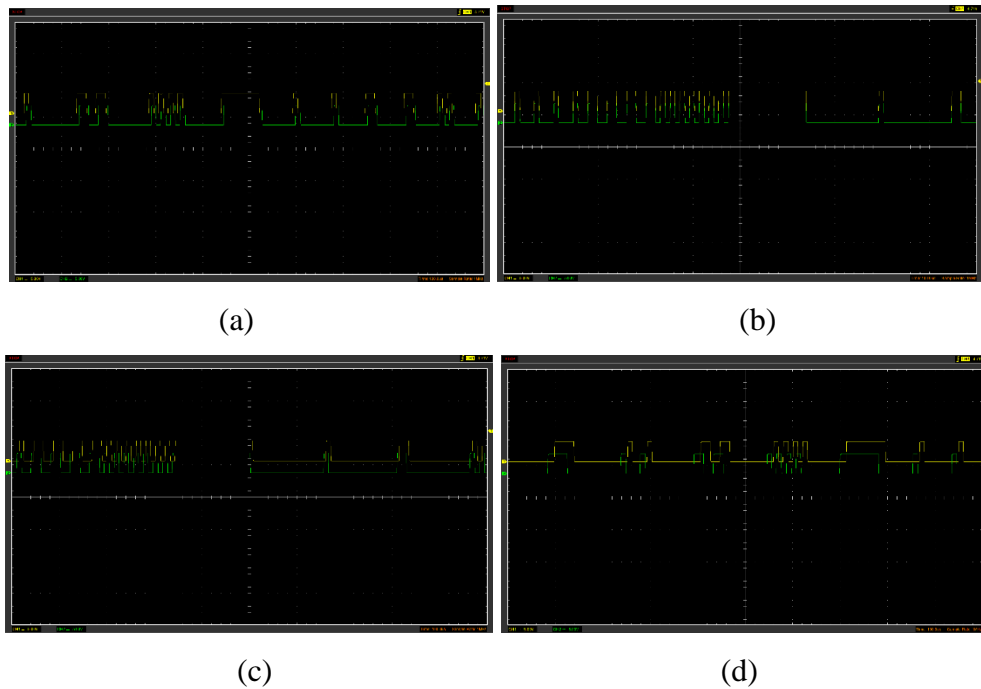
Gambar 4.4 Grafik Nilai *Dimming* Terhadap BER

Tabel 4.1 Pengaruh Nilai *Dimming* terhadap BER

<i>Input</i>		<i>Output</i>		
Nilai <i>Dimming</i>	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
1	44975	1010111110101111	12	0,1,2,3,5,7,8,9,10,11,13,15
2	0	0000000000000000	0	Tidak ada
3	0	0000000000000000	0	Tidak ada
4	0	0000000000000000	0	Tidak ada
5	0	0000000000000000	0	Tidak ada
6	0	0000000000000000	0	Tidak ada
7	0	0000000000000000	0	Tidak ada

*Input dimming* juga berpengaruh pada sinkronisasi sinyal pengirim dengan penerima. Setelah melalui berbagai percobaan, nilai *dimming* yang sesuai agar gelombang modulasi dan demodulasi sinkron adalah 4.

#### 4.2.4 Pengaruh *Delay* terhadap Hasil BER



Gambar 4.5 *Delay* (a) 0, (b) 4, (c) 8, (d) 15

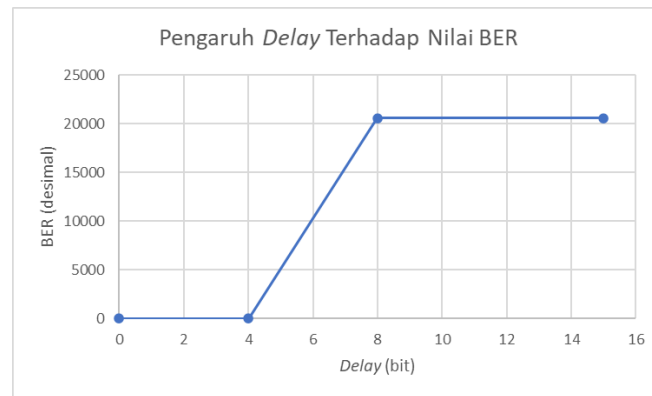
*Delay* dibuat untuk bisa menyelaraskan *output* sinyal pengirim dengan penerima.

Dapat dilihat pada gambar 4.4, jika belum diberi *delay* ( $delay = 0$ ) maka sinyal pengirim dan penerima masih belum sinkron walau sudah tidak terdeteksi *error* dalam *output* BER yang dihasilkan. Apabila *delay* yang diberikan 8 dan lebih besar dari 8, maka *output* sinyal pengirim dan penerima menjadi asinkron, semakin besar *input* nilai *delay* maka akan kedua *output* sinyal akan menjadi lebih tidak sinkron. Apabila sinyal tidak sinkron maka akan terdapat *error* pada nilai BER yang dihasilkan.

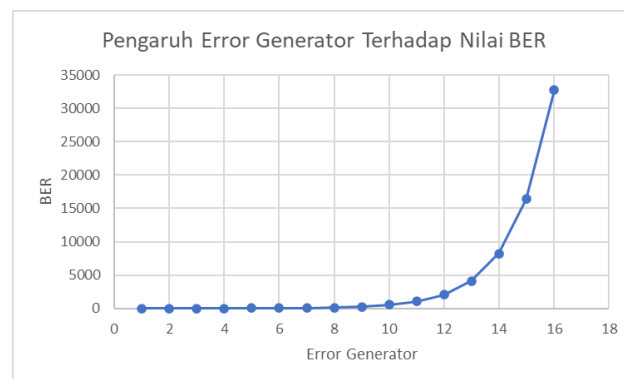
Setelah melalui berbagai percobaan, *delay* yang didapat agar kedua sinyal tersebut sinkron adalah sebesar 4. Tabel dibawah ini menunjukkan pengaruh nilai *delay* terhadap BER.

Tabel 4.2 Pengaruh Nilai *Delay* terhadap BER

<i>Input</i>	<i>Output</i>			
	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
0	0	0000000000000000	0	Tidak ada
4	0	0000000000000000	0	Tidak ada
8	20560	0101000001010000	4	4, 6, 12, 14
15	20560	0101000001010000	4	4, 6, 12, 14

Gambar 4.6 Grafik Nilai *Delay* terhadap BER

#### 4.2.5 Pengaruh *Input Error generator*

Gambar 4.7 Grafik Nilai *Error generator* terhadap BER

*Input* dari *error generator* sangat berpengaruh pada *output* dari BER.

*Error generator* yang dibuat adalah 16bit dimana setiap bitnya dimasukkan

melalui *switch* yang terhubung pada pin GPIO FPGA. Kondisi *switch* yang diatur adalah *pull-up* yaitu jika ditekan maka kondisi 0. Dengan mengaktifkan *enable* dan mengatur nilai *input dimming* 4 dan *delay* 4 maka akan menunjukkan hasil seperti pada table dibawah ini. Tabel dibawah ini adalah hasil pengamatan pengaruh *input error generator* pada *output* BER yang dapat dilihat di LED dan 7-segmen.

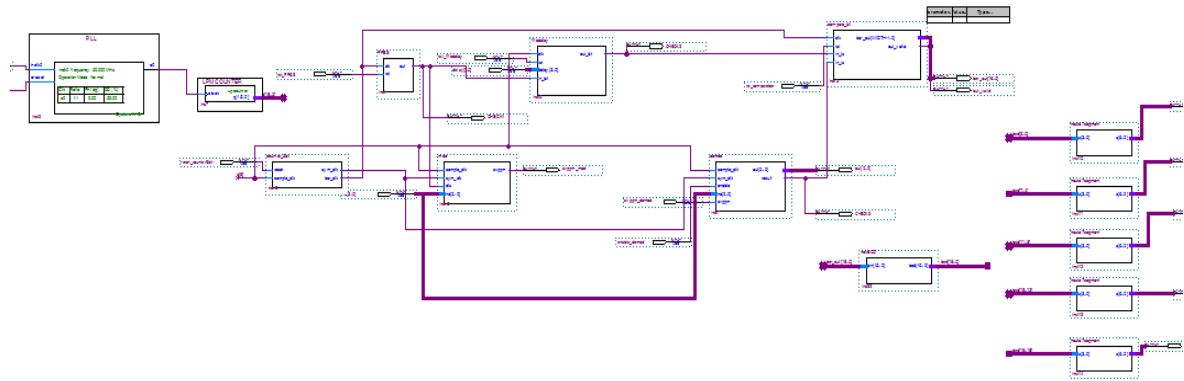
Tabel 4.3 Hasil Pengamatan dengan *Input Error generator*

<i>Input</i>	<i>Output</i>			
<i>Error generator</i> (Switch ke-)	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
1	0	0000000000000000	0	Tidak ada
2	0	0000000000000000	0	Tidak ada
3	4	0000000000000100	1	2
4	8	0000000000001000	1	3
5	16	0000000000010000	1	4
6	32	0000000000100000	1	5
7	64	0000000001000000	1	6
8	128	0000000010000000	1	7
9	256	0000000100000000	1	8
10	512	0000001000000000	1	9
11	1024	0000010000000000	1	10
12	2048	0000100000000000	1	11
13	4096	0001000000000000	1	12
14	8192	0010000000000000	1	13
15	16384	0100000000000000	1	14
16	32768	1000000000000000	1	15
1 – 16	65535	1111111111111111	15	1 – 15

Berdasarkan hasil pengambilan data dengan menginputkan *error generator* dan melihat hasil BER nya, hasil sudah sesuai dan sudah terbaca di 7-segmen dan nyala LED, hanya saja masih terdapat hasil yang tidak sesuai

jika hanya menekan switch nomor 1 dan 2. Hal ini dikarenakan nilai *error* yang terlalu kecil sehingga tidak terdeteksi.

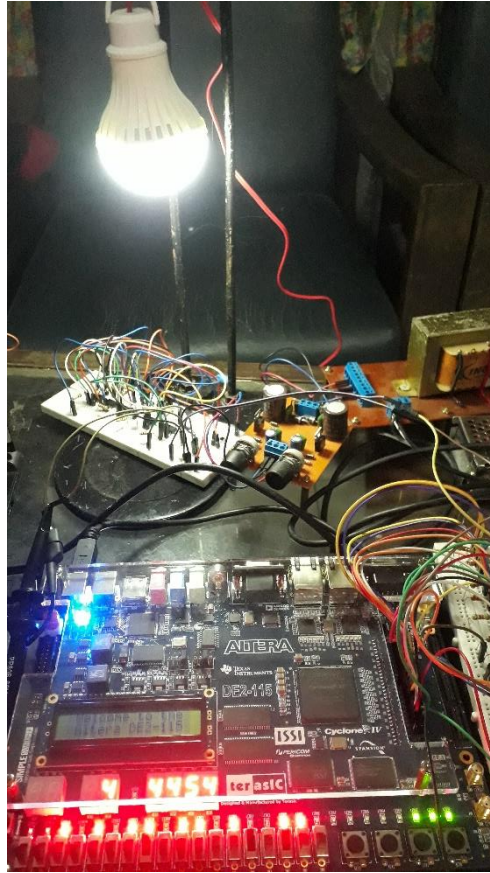
### 4.3 Hasil Integrasi BER dengan *Analog Front-End* pada Quartus



Gambar 4.8 *Interface* pada Quartus

Setelah membuat program dan *block-block* yang diperlukan, lalu menghubungkan semua *block* yang telah dibuat. Sistem mendapat *input block* yang berasal dari *Block PLL* yang telah dicounter. Sistem juga mendapat *input* random yang berasal dari *block PRBS* (*pseudorandom binary sequence*). *Output* dari PRBS tercabang menjadi *input* di dua *block* yang berbeda. Pertama adalah *transmitter*, *output* PRBS menjadi *input* di *block FIFOdelay* yang kemudian diteruskan ke *block BER*. Kedua adalah *receiver*, *output* PRBS menjadi *input block* modulasi dimana *output* modulasi akan menjadi *input* pada rangkaian *Analog Front-End*. *Output* dari rangkaian *Analog Front-End* tadi akan menjadi *input* pada demodulasi hingga diteruskan ke *block BER*. Didalam *block BER*, akan membandingkan (*compare*) *output* dari *transmitter* dan *receiver*, jika kedua *output* sama maka tidak ada *error* atau BER bernilai 0, namun jika ada perbedaan dari nilai kedua *output* tersebut maka terdapat *error* dalam pengiriman data.

#### 4.3.1 Prototype Hardware

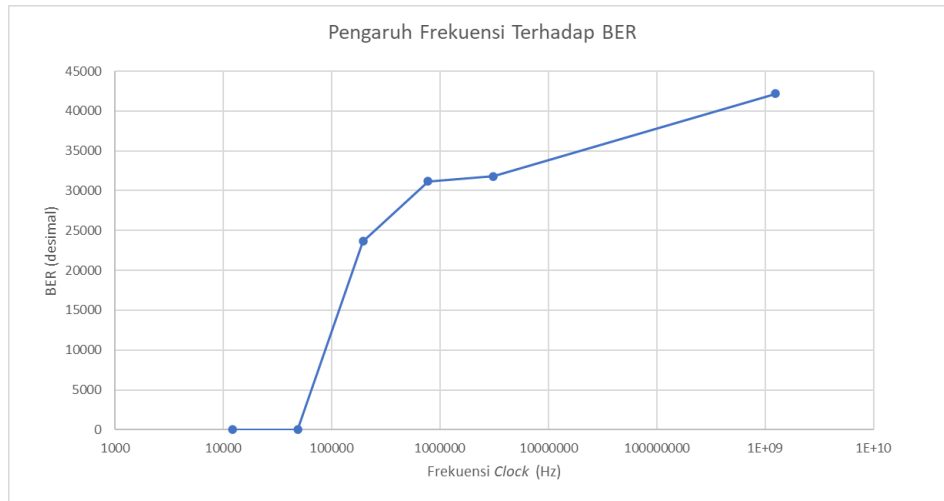


Gambar 4.9 Prototype Hardware

Setelah pin diset dan berhasil di *compile* pada Quartus, maka program akan diupload pada FPGA dan dihubungkan dengan rangkaian *Analog Front-End*. Pada Gambar 4.6 dapat dilihat kondisi FPGA yang telah terprogram dan dihubungkan dengan rangkaian *Analog Front-End*.



#### 4.3.2 Hasil Pengaruh Frekuensi *clock* terhadap Nilai BER



Gambar 4.10 Grafik nilai Frekuensi *clock* terhadap BER

Tabel 4.4 Pengaruh frekuensi *clock* terhadap nilai BER

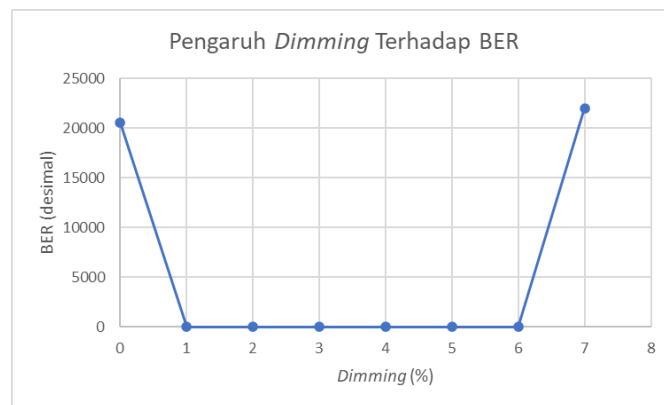
<i>Input</i>		<i>Output</i>		
Frekuensi <i>clock</i> (MHz)	7- segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
Q2=12,5	42188	1010010011001100	1	2,3,6,7,10,13,15
Q4=3,125	31808	0111110001000000	1	6,10,11,12,13,14
Q6=0,782	31183	0111100111001111	1	0,1,2,3,6,7,8,11,1 2,13,14
Q8=0,192	23644	0101110001011100	1	2,3,4,6,10,11,12,1 3,14
Q10=0,049	0	0000000000000000	0	Tidak ada
Q12=0,0122	0	0000000000000000	0	Tidak ada

Pengaruh *clock* terhadap nilai *bit error rate* disebabkan oleh kemampuan switching dari komponen *Analog Front-End*, dimana saat melewati batas kecepatan tertinggi maka data akan rusak.

Pada variasi *clock* 12,5MHz, 3,125MHz, 0,782MHz, dan 0,192MHz terdapat *error* yang disebabkan kemampuan *switching* dari komponen analog terutama pada *amplifier* LM741, yang mana LM741 tidak mampu melakukan *switching* diatas frekuensi 100kHz.

Pada variasi *clock* 0,0122MHz tidak terdapat *error* yang terlihat pada *output* 7-segmen dan nyala LED dikarenakan sudah memasuki *range* kemampuan *switching* dari IC LM741. Setelah melalui berbagai percobaan, kemampuan *switching* terbaik terdapat pada nilai q10 dengan frekuensi 0,049MHz dimana *error* yang terjadi adalah 0 dengan jarak pengiriman data sejauh 20cm.

#### 4.3.3 Hasil Pengaruh *Dimming* terhadap Nilai BER



Gambar 4.11 Grafik nilai *Dimming* terhadap BER

Tabel 4.5 Pengaruh nilai *dimming* terhadap nilai BER

<i>Input</i>		<i>Output</i>		
Nilai <i>Dimming</i>	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
0	20560	0101000001010000	4	4,6,12,14
1	10	0000000000001010	2	1,3
2	5	0000000000000101	2	0,2
3	3	0000000000000011	2	0,1
4	0	0000000000000000	0	Tidak ada
5	0	0000000000000000	0	Tidak ada
6	0	0000000000000000	0	Tidak ada
7	22010	0101010111111010	10	1,3,4,5,6,7,8,10,12,14

Pengujian variasi nilai *dimming* bertujuan untuk mengetahui kemampuan pembacaan dari AFE dengan nilai *dimming* yang berbeda. Pada pengujian ini

transmisi data dilakukan dengan jarak lampu dan *photodiode* sejauh 20cm dengan variable bebas berupa nilai *dimming* dan variabel terikat berupa nilai *error* data (BER).

Berdasarkan Tabel 4.5 dan Gambar 4.11 *error* yang terendah berada pada *dimming* 4/8 hingga 6/8 atau nilai *dimming* 50% - 75%. Hasil ini sesuai dengan teori dimana nilai *dimming* 50% merupakan nilai *dimming* dengan kemampuan terbaik.

#### 4.3.4 Hasil Pengaruh Jarak terhadap Nilai BER



Gambar 4.12 Grafik jarak terhadap BER

Uji Jarak terhadap BER bertujuan untuk mengetahui kemampuan jarak transmisi pengiriman data dari sistem VLC yang telah diberi *Analog Front-End* (AFE) pada jarak berbeda dan melihat pada jarak berapa mulai terjadi kerusakan pada data dalam proses pengiriman data.

Hasil pembacaan BER pada proses pengiriman data menggunakan *Visible Light Communication* (VLC) tidak terdapat *error* dari jarak 5cm hingga jarak 30cm. Tetapi pada jarak diatas 30cm mulai terjadi *error* yang terus meningkat hingga pada jarak 60cm.

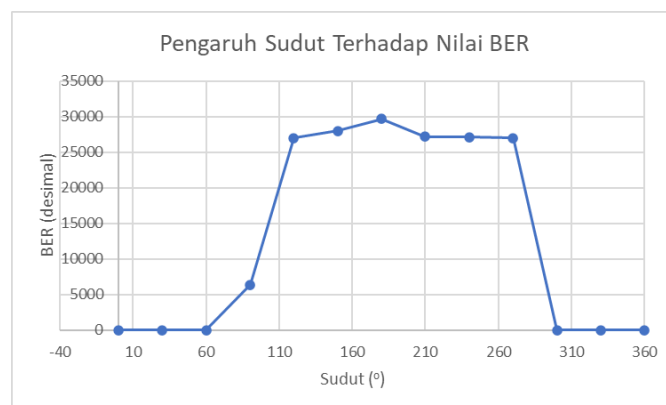
Analisa yang dapat disimpulkan melalui uji ini adalah data dapat dikirimkan melalui *Visible Light Communication* (VLC) hingga mencapai jarak 30cm tanpa terjadi *error* sama sekali yang berarti data dapat dikirimkan dengan sempurna. Pada jarak diatas 30cm mulai terjadi *error* minor hingga jarak 40cm lalu *error* mayor mulai terjadi pada jarak diatas 40cm.

Tabel dibawah ini menunjukkan pengaruh jarak terhadap BER.

Tabel 4.6 Pengaruh jarak terhadap nilai BER

<i>Input</i>	<i>Output</i>			
Jarak (cm)	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
5	0	0000000000000000	0	Tidak ada
10	0	0000000000000000	0	Tidak ada
15	0	0000000000000000	0	Tidak ada
20	0	0000000000000000	0	Tidak ada
25	0	0000000000000000	0	Tidak ada
30	0	0000000000000000	0	Tidak ada
35	10	0000000000001010	2	1,3
40	48	0000000000110000	2	4,5
45	5136	0001010000010000	4	4,10,12
50	26746	0110100001111010	8	1,3,4,5,6,11,13,14
55	33725	1000001110111101	9	0,2,3,4,5,7,8,9,15
60	46496	1011010110100000	7	5,7,8,10,12,13,15

#### 4.3.5 Hasil Pengaruh Sudut Cahaya terhadap Nilai BER



Gambar 4.13 Grafik sudut cahaya terhadap BER

Pengujian variasi nilai sudut bertujuan untuk mengetahui kemampuan pembacaan dari AFE dengan nilai sudut yang berbeda. Pada pengujian ini transmisi data dilakukan dengan jarak lampu dan *photodiode* sejauh 20cm dengan variabel bebas berupa nilai sudut dan variabel terikat berupa nilai *error* data.

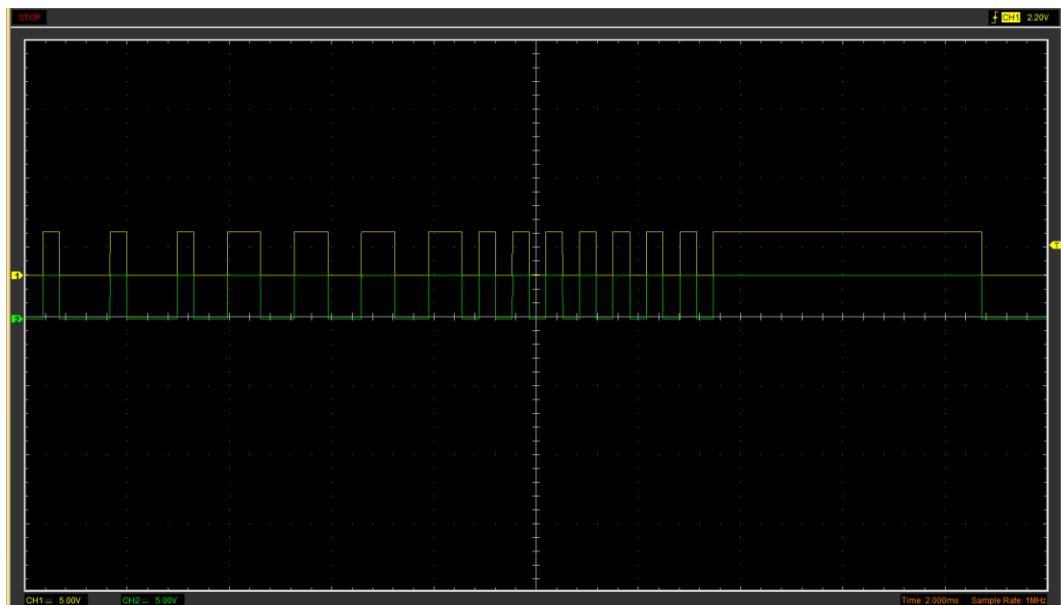
Pada variasi sudut hampir sesuai dengan teori dimana area persebaran cahaya dari lampu hanya berkisar  $\pm 120^\circ$  sehingga saat bernilai  $180^\circ$  data menjadi rusak. Hal ini juga dapat dilihat dari percobaan saat memvariasikan sudut lampu dan melihat pengaruhnya terhadap nilai BER.

Berdasarkan percobaan yang telah dilakukan, nilai *error* akan terlihat saat variasi sudut lampu mulai dari  $90^\circ$  dan akan tidak terjadi *error* lagi saat sudut  $300^\circ$  atau sama dengan sudut dibawah  $90^\circ$ . Tabel dibawah ini menunjukkan sudut lampu (cahaya) terhadap nilai BER.

Tabel 4.7 Pengaruh sudut cahaya terhadap nilai BER

<i>Input</i>	<i>Output</i>			
Jarak (cm)	7-segmen (desimal)	7-segmen (biner)	Jumlah Nyala LED Merah	Posisi Nyala LED Merah
0	0	0000000000000000	0	Tidak ada
30	0	0000000000000000	0	Tidak ada
60	0	0000000000000000	0	Tidak ada
90	6363	0001100011011011	8	0,1,3,4,6,7,11,12
120	26983	0110100101100111	9	0,1,2,5,6,8,11,13,14
150	27998	0110110101011110	10	1,2,3,4,6,8,10,11,13,14
180	29672	0111001111101000	11	0,1,3,4,5,7,8,9,12,13,14
210	27182	0110101000101110	8	1,2,3,5,9,11,13,14
240	27125	0110100111110101	10	0,2,4,5,6,7,8,11,13,14
270	26972	0110100101011100	8	2,3,4,6,8,11,13,14
300	0	0000000000000000	0	Tidak ada
330	0	0000000000000000	0	Tidak ada
360	0	0000000000000000	0	Tidak ada

#### 4.4 Hasil *Output* Implementasi Hasil Sinyal Modulasi dan Demodulasi



Gambar 4.14 Gelombang hasil percobaan modulasi dan demodulasi

Dalam implementasi integrasi BER menggunakan *error generator* dalam sistem VLC, terlihat bahwa sinyal modulasi dan sinyal demodulasi sudah sinkron saat diset frekuensi *clock* sebesar 1,5625 MHz, *delay* sebesar 4, *dimming* sebesar 4, dan *error generator* sebesar 0.

## BAB V

### KESIMPULAN DAN SARAN

#### 5.1 Kesimpulan

Dari pembahasan yang telah dijelaskan pada bab-bab sebelumnya, dapat disimpulkan beberapa hal sebagai berikut :

1. Sistem *Bit Error Rate* (BER) pada VLC sudah berhasil dikembangkan untuk diimplementasikan di FPGA.
2. Pengujian BER dilakukan menggunakan simulasi dan implementasi dengan FPGA. BER mampu mendeteksi *error* dalam pengiriman data dalam *Visible Light Communication* (VLC) yang ditandai dengan tidak adanya lampu LED yang menyala pada FPGA yang sudah diatur jika lampu menyala mengindikasikan adanya *error* dalam pengiriman data.

Pada integrasi BER menggunakan *error generator*, tidak ada *error* dalam pengiriman data (nilai BER = 0) apabila frekuensi *clock* pll diatur sebesar 1,5625 MHz, *delay* sebesar 4, *dimming* sebesar 4, dan *error generator* di matikankan (*error generator* = 0). Namun terdapat *error* dalam pengiriman data dengan nilai BER sebesar 65.536 apabila *error generator* di nyalakan semua (*error generator* = 65.536).

3. Integrasi antara BER dengan block *error generator* dan AFE pada sistem VLC sudah menghasilkan hasil sesuai dengan yang diharapkan, baik dalam pengujian *clock*, *dimming*, jarak, *delay*, dan sudut.

#### 5.2 Saran

Berdasarkan penelitian yang telah dilakukan, terdapat saran untuk pelaksanaan penelitian selanjutnya agar mendapatkan hasil yang lebih baik, yaitu:

1. Menambahkan komunikasi serial antara FPGA dengan PC agar hasil BER dapat ditampilkan di PC.

## DAFTAR PUSTAKA

- [1] D. A. Karunatilaka, F. Zafar, V. Kalavally and R. Parthiban, "LED based indoor visible light communications: State of the art," *IEEE Communications Surveys and Tutorials*, vol. 17, no. 3, pp. 1649 - 1678, 2015.
- [2] A.A.Eka.Paramarta, G.Sukadarmika and P.K.Sudiarta, "Analisis kualitas jaringan lokal akses fiber optic pada Indihome PT. Telkom di area Jimbaran," *Jurnal Teknologi Elektro*, vol. 16, no. 1, pp. 1 - 5, 2017.
- [3] I. P. G. Y. Pratama, G. Sukadarmika and P. K. Sudiarta, "Perancangan Jaringan Fiber To The Home (FTTH) Menggunakan Teknologi Gigabyte Passive Optical Network (GPON) pada Mall Park23 Tuban," *Teknologi Elektro*, vol. 16, no. 2, pp. 60 - 65, 2017.
- [4] J. P. Conti, "What you see is what you send - [comms visible light]," *Engineering & Technology*, vol. 3, no. 19, pp. 66 - 69, 21 November 2008.
- [5] M. Figueiredo, L. N. Alves and C. Ribeiro, "Lighting the Wireless World," *IEEE Consumer Electronics Magazine*, vol. 6, no. 4, pp. 28 - 37, October 2017.
- [6] S. Fuada and T. Adiono, "Visible Light Communication Kits for Educations," *Journal of Education and Training*, vol. 5, no. 2, pp. 39 - 49, 2018.
- [7] S. Fuada, T. Adiono and S. Harimurti, "Bandwidth Budget Analysis for Visible Light Communication Systems utilizing Available Components," in *The 10th International Conference on Electrical and Electronics Engineering (ELECO 2017)*, Turkey, 2017.
- [8] S. Fuada, A. P. Putra and T. Adiono, "Analysis of Received Power Characteristics of Commercial Photodiodes in Indoor Los Channel Visible Light Communication," *International Journal of Advanced Computer Science and Applications (IJACSA)*, vol. 8, no. 7, pp. 164 - 172, 2017.
- [9] S. Rajagopal, R. D. Roberts and S.-K. Lim, "IEEE 802.15.7 visible light communication: modulation schemes and *dimming* support," *IEEE Communications Magazine*, vol. 50 No. 3, pp. 72 - 82, March 2012.
- [10] S. Fuada, "Kajian Aspek Security pada Jaringan Informasi dan Komunikasi Berbasis Visible Light Communication," *Jurnal INFOTEL*, vol. 9, no. 1, pp. 108 - 121, August 2017.
- [11] A. Pradana, S. Fuada and T. Adiono, "Desain dan Implementasi Sistem Visible Light Communication berbasis Pulse Width Modulation," *Majalah Ilmiah Teknologi Elektro*, vol. 17 No.2, pp. 237 - 244, 2018.
- [12] S. Fuada, T. Adiono, A. P. Putra and Y. Aska, "A low-cost Analog Front-End (AFE) transmitter designs for OFDM visible light communications," in *Proceedings of the IEEE Int. Symposium on Electronics and Smart Devices (ISESD)*, Bandung, Indonesia, October 2016.



- [13] S. Fuada, A. P. Putra, Y. Aska and T. Adriono, "A First Approach to Design Mobility Function and *Noise Filter* in VLC System Utilizing Low-cost Analog Circuits," *International Journal of Recent Contributions from Engineering Science & IT (iJES)*, vol. 5, no. 2, pp. 14 - 30, July 2017.
- [14] W. A. Cahyadi, T.-I. Jeong, Y.-H. Kim, Y.-H. Chung and T. Adiono, "Patient monitoring using visible light uplink data," in *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, Nusa Dua, Indonesia, 2015.
- [15] R. Boubezari, H. L. Minh, Z. Ghassemlooy and A. Bouridane, "Novel Detection Technique for Smartphone to Smartphone Visible Light Communications," in *0th International Symposium on Communication Systems, Networks and Digital Signal Processing (CSNDSP)*, Prague, Czech Republic, July 2016.
- [16] G. Cerruela, I. L. Ruiz and M. A. Gomez-Nieto, "State of the Art, Trends and Future of Bluetooth Low Energy, Near Field Communication and Visible Light Communication in the Development of Smart Cities," *MDPI Sensors*, vol. 16, pp. 1 - 38, November 2016.
- [17] S. Fuada, Design and Implementation of Analog Front-End Transceiver Module for Visible Light Communication System, Bandung, Indonesia: M.T. thesis, Dept. Elect. Eng., School of Electrical Engineering and Informatics, 2017.
- [18] A. Team, DE2-115 User Manual: World Leading FPGA Based Products and Design Services, Terasic Technologies Inc., 2012.
- [19] J.-D. Jeong, S.-K. Lim, I.-S. Jang, M.-S. Kim, T.-G. Kang and J.-w. Chong, "Novel Architecture for Efficient Implementation of Dimmable VPPM in VLC Lightings," *ETRI*, vol. 36 No.6, 2014.
- [20] J.-H. Yoo and S.-Y. Jung, "Modeling and analysis of variable PPM for Visible Light Communication," *EURASIP Journal on Wireless Communications and Networking*, pp. 1-6, 2013.
- [21] R. Hidayat, "Laju Kesalahan Bit Sistem Transmisi OFDM-BPSK Akibat Variasi Cyclic Prefix pada Guard Interval," *Modern Electrical Engineering Technology and Its Application Seminar (MEETAS)*, pp. 1 - 4, 2016.
- [22] "BER measurement | BER test set | Bit Error Rate measurement," RF Wireless World, 2012. [Online]. Available: <https://www.rfwireless-world.com/test-and-measurement/BER-measurement.html>. [Accessed 5 August 2020].
- [23] M. Arifin, Laporan Akhir Praktikum Sistem Digital, Palangkaraya, Kalimantan Tengah: UNPAR, 2013.
- [24] G. D. Nusantara, M. A. Muslim and T. B. W., "Identifikasi Sistem Plant Suhu dengan Metode Recursive Least Square," *EECCIS*, vol. 6 No.1, pp. 67 - 74, Juni 2012.
- [25] A. C. Sembiring, J. Tampubolon, D. Sitanggang, M. Turnip and Subash, "Improvement of Inventory System Using First In First Out (FIFO)

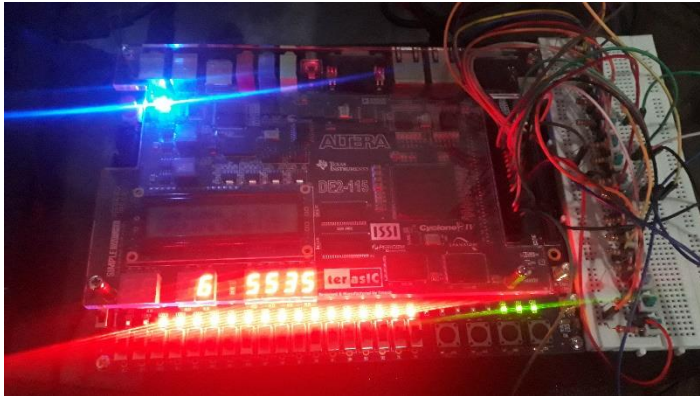
Method," *1st International Conference of SNIKOM 2018, Jurnal of Physics: Conference Series*, 2018.

- [26] X. Yong and Z. Runde, "Low Latency High Throughout Circular Asynchronous FIFO," *TSINGHUA SCIENCE AND TECHNOLOGY*, vol. 13 No.6, 2008.

# LAMPIRAN

### *Lampiran 1*

Dokumentasi Pengujian *Error* Generator terhadap BER



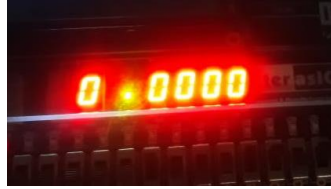
Pengujian saat semua *Error* generator diaktifkan Terhadap BER

## *Lampiran 2*

Dokumentasi Pengukuran *Delay* terhadap BER (Integrasi BER dengan *Error Generator*)



(a)



(b)



(c)



(d)

*Delay* (a)0 (b)4 (c)8 (d)15

### Lampiran 3

Dokumentasi Pengukuran nilai *dimming* terhadap BER (Integrasi BER dengan Error Generator)



(a)

(b)



(c)

(d)



(e)

(f)



(g)

(h)

Input *dimming* (a)0 (b)1 (c)2 (d)3 (e)4 (f)5 (g)6 (h)7

***Lampiran 4***

Dokumentasi Pengukuran Sudut terhadap BER (Integrasi BER dengan AFE)



(a)



(b)



(c)



(d)

Sudut Lampu (a)0 (b)30 (c)60 (d) 90

### Lampiran 5

Dokumentasi Pengukuran *Clock* terhadap BER (Integrasi BER dengan AFE)



(a)



(b)



(c)



(d)



(e)



(f)

BER (a) Q2 (b) Q4 (c) Q6 (d) Q8 (e) Q10 (f) Q12

### Lampiran 6

Dokumentasi Pengukuran *Jarak* terhadap BER (Integrasi BER dengan AFE)



(a)



(b)



(c)



(d)



(e)



(f)

Jarak (a)0 cm - 30 cm (b)35 cm (c)40cm (d)45cm (e)50cm (f)60cm