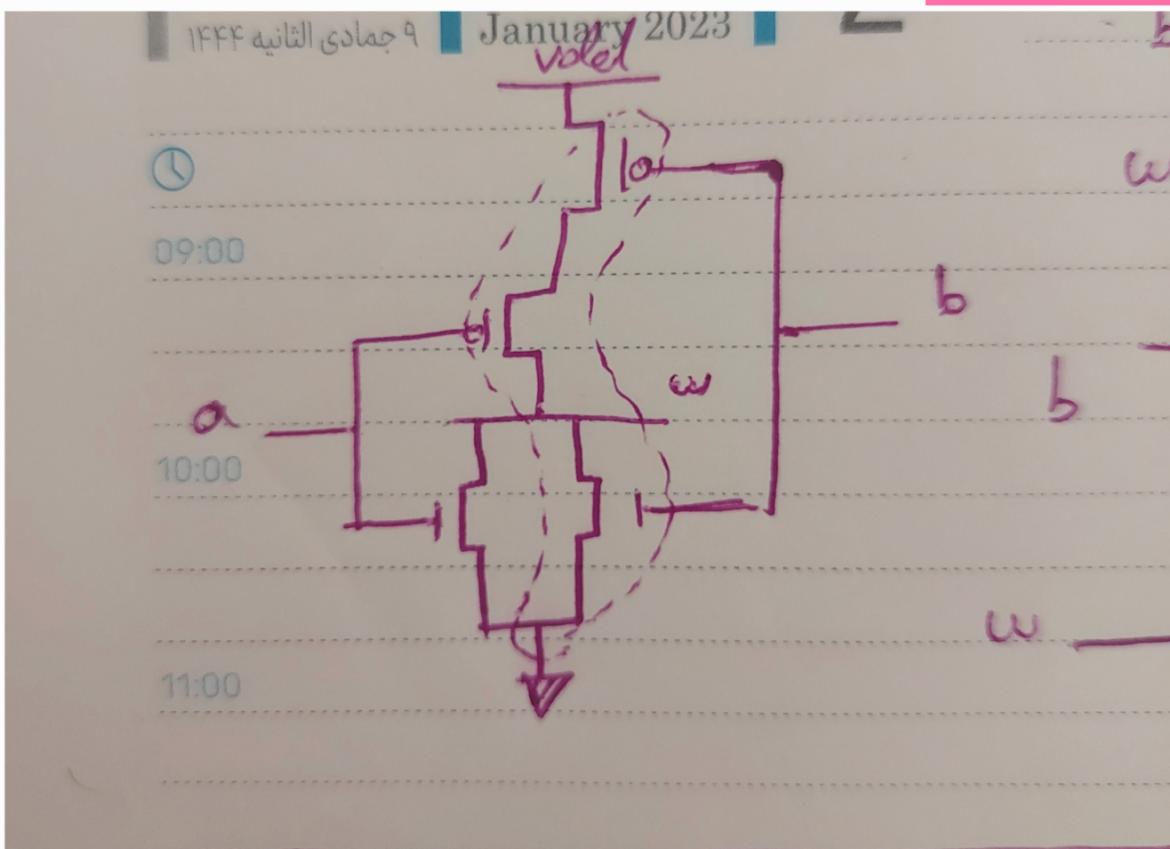


سوال ۱

مدار مورد نظر:



مدل سازی های کامپیوتروی:

```
D:/DLD/Q1.sv - Default
```

Ln#	
1	`timescale 1ns/1ns
2	
3	module mynor (input a,b,output w);
4	supply1 vdd;
5	supply0 gnd;
6	wire y;
7	pmos #(5,6,7) T1(y,vdd,b), T2(w,y,a);
8	nmos #(3,4,5) T3(w,gnd,b), T4(w,gnd,a);
9	endmodule

D:/DLD/Q1TB.sv - Default

Ln#
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16

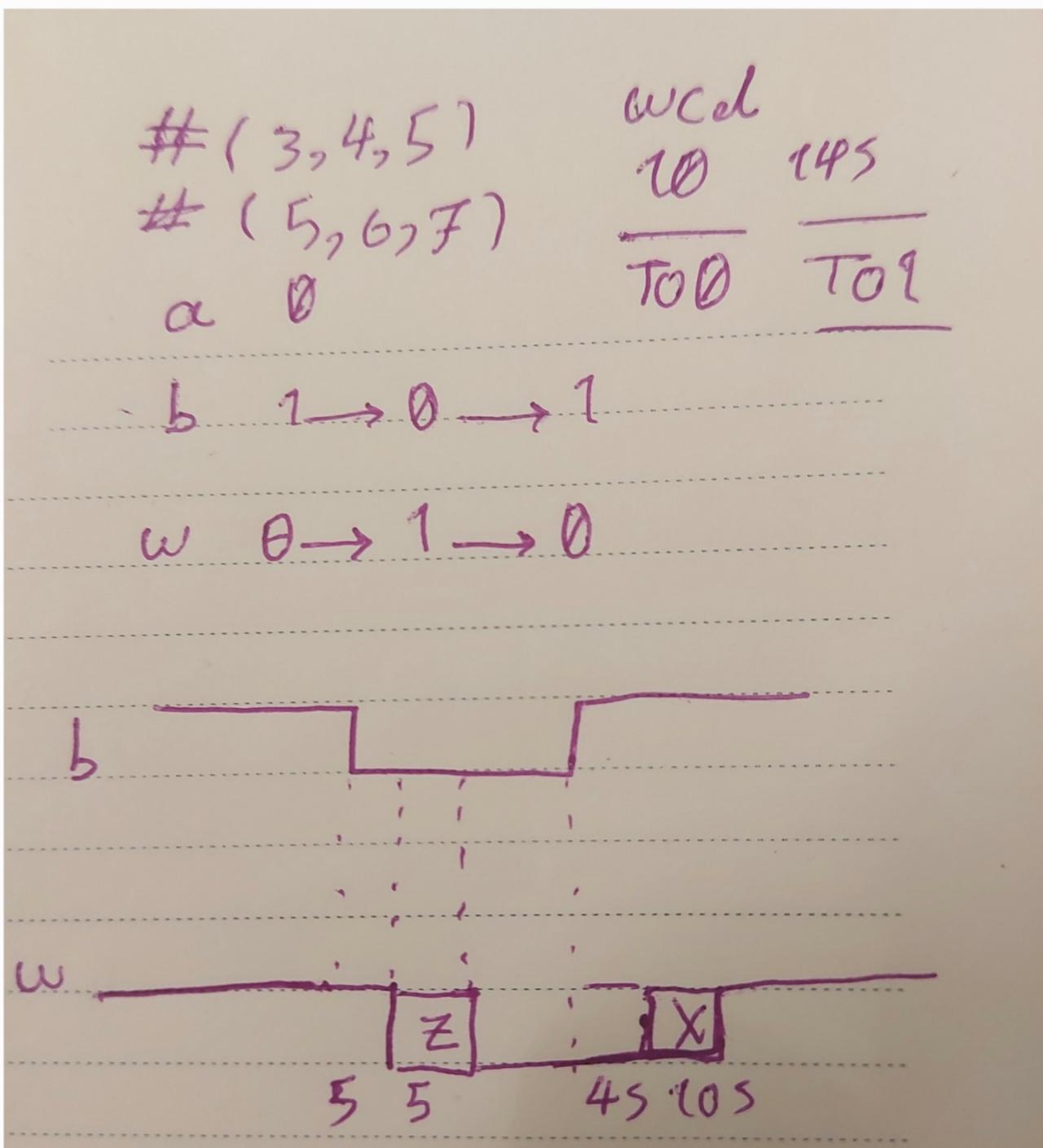
```
`timescale 1ns/1ns

module norTB();
    logic aa=0,bb=1;
    wire ww;
    mynor UUT(aa,bb,ww);
    initial begin
        #40 bb=0;
        #40 bb=1;
        #40 aa=1;
        #40 bb=0;
        #40 aa=0;
        #80 $stop;
    end
endmodule
```



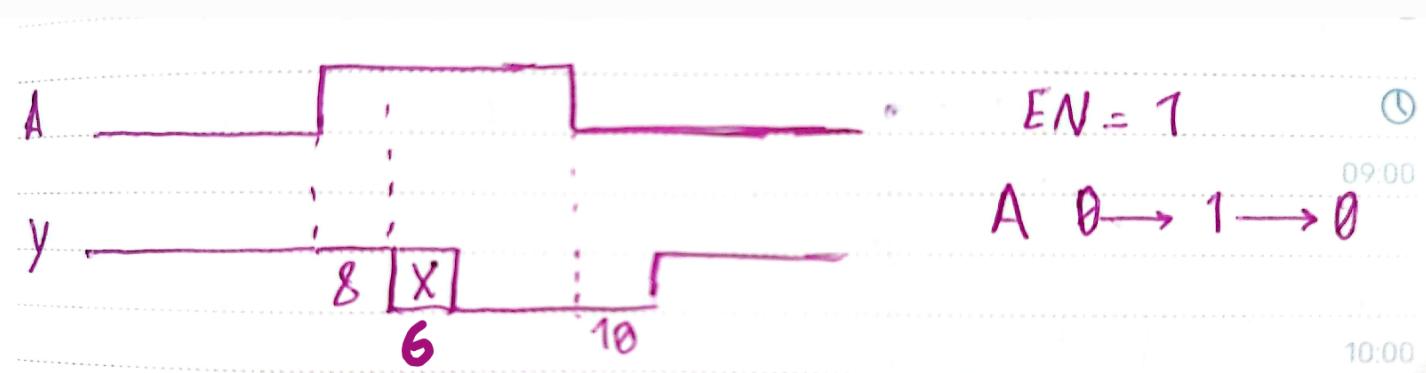
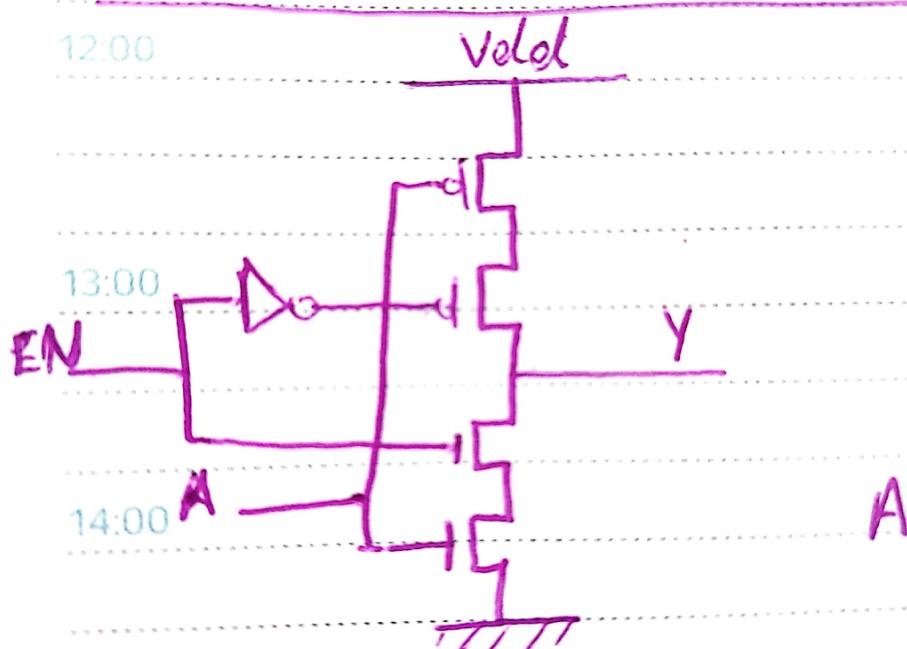
نتایج و توضیحات:

اگر مقدار a را صفر قرار دهید و b را از ۱ به ۰ و سپس به ۱ تغییر دهیم. به ترتیب میتوانیم بدترین تاخیر برای رفتن به ۰ و ۱ را اندازه‌گیری کنیم. که به صورت نظری مقدارهای ۱۰ و ۱۴ هستند. در تست بنچ هم تغییرات ۱۰۰ آنانو ثانیه اول همین دو مقدار نظری را به ما نشان میدهند. مسیر تاخیرها بر شکل مشخص شده.



سوال ۲

مدار مورد نظر:



مدل سازی های کامپیوتري:

```
D:/DLD/Q2.sv - Default
Ln# 1 `timescale 1ns/1ns
2
3 module notifone(input a,en,output y);
4     supply1 vdd;
5     supply0 gnd;
6     wire j,k,i;
7     pmos #(5,6,7) T1(j,vdd,en);
8     nmos #(3,4,5) T2(j,gnd,en);
9     pmos #(5,6,7) T3(k,vdd,a), T4(y,k,j);
10    nmos #(3,4,5) T5(i,gnd,a), T6(y,i,en);
11
12 endmodule
```

D:/DLD/Q2TB.sv - Default

Ln#	
1	`timescale 1ns/1ns
2	
3	module notifTB();
4	logic een=1,aa=0;
5	wire yy;
6	notifone UUT(aa,een,yy);
7	initial begin
8	#40 aa=1;
9	#40 aa=0;
10	#40 een=0;
11	#40 een=1;
12	#80 \$stop;
13	end
14	endmodule

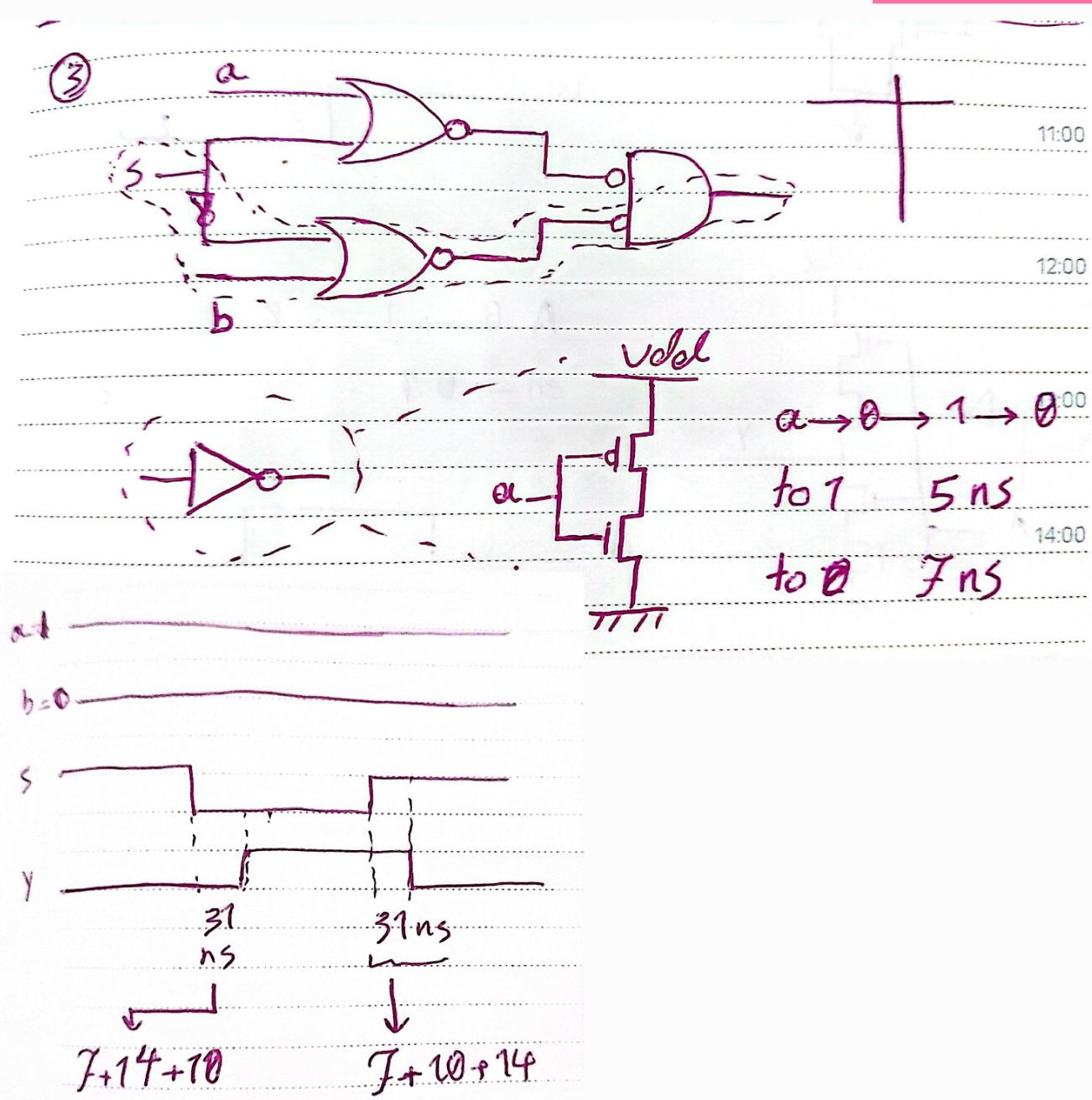


نتایج و توضیحات:

تغییرات صد ثانیه اول نمودار شبیه سازی شده نماینده تغییراتی است که باعث بیشترین تاخیر ها به صفر و ۱ در مدار میشوند همانطور که شبیه سازی دستی هم نشان میدهد. تاخیر به ۱ برابر با 10° و تاخیر به ۰ برابر با 14° نانو ثانیه است. و تاخیر به Z مدار همواره مقدار ۷ نانو ثانیه است. که با تغییر en از ۱ به ۰ ایجاد میشود.

سوال ۳

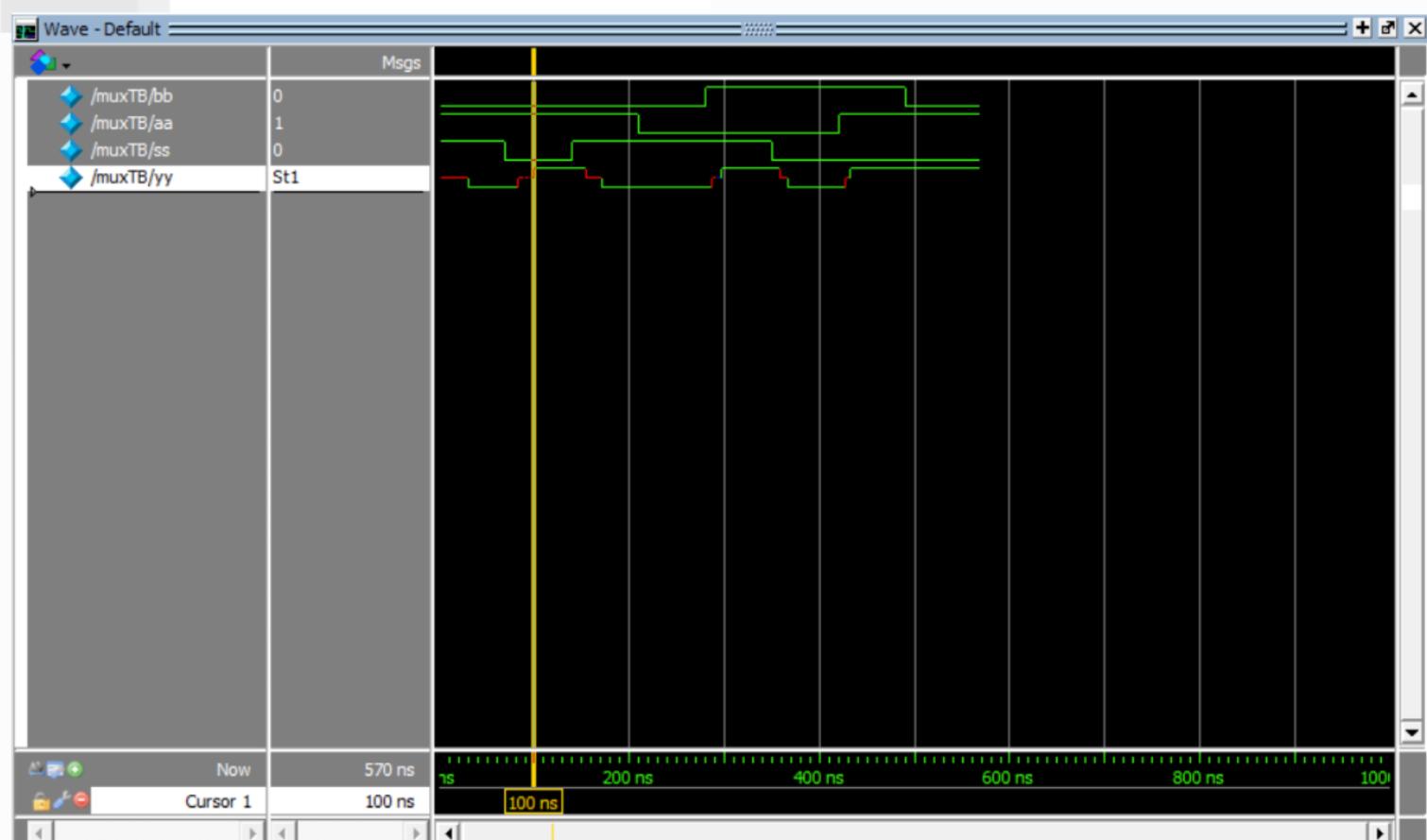
مدار مورد نظر:



مدل سازی های کامپیوتري:

```
1 `timescale 1ns/1ns
2
3 module mymux(input s,a,b,output y);
4     supply1 vdd;
5     supply0 gnd;
6     wire j,k,i;
7     mynor norone(a,s,k), nortwo(b,j,i), nottree(k,i,y);
8     not #(5,7) inver(j,s);
9 endmodule
```

```
1 `timescale 1ns/1ns
2
3 module muxTB();
4     logic bb=0, aa=1, ss=1;
5     wire yy;
6     mymux UUT(ss,aa,bb,yy);
7     initial begin
8         #70 ss=0;
9         #70 ss=1;
10        #70 aa=0;
11        #70 bb=1;
12        #70 ss=0;
13        #70 aa=1;
14        #70 bb=0;
15        #80 $stop;
16    end
17 endmodule
18
```

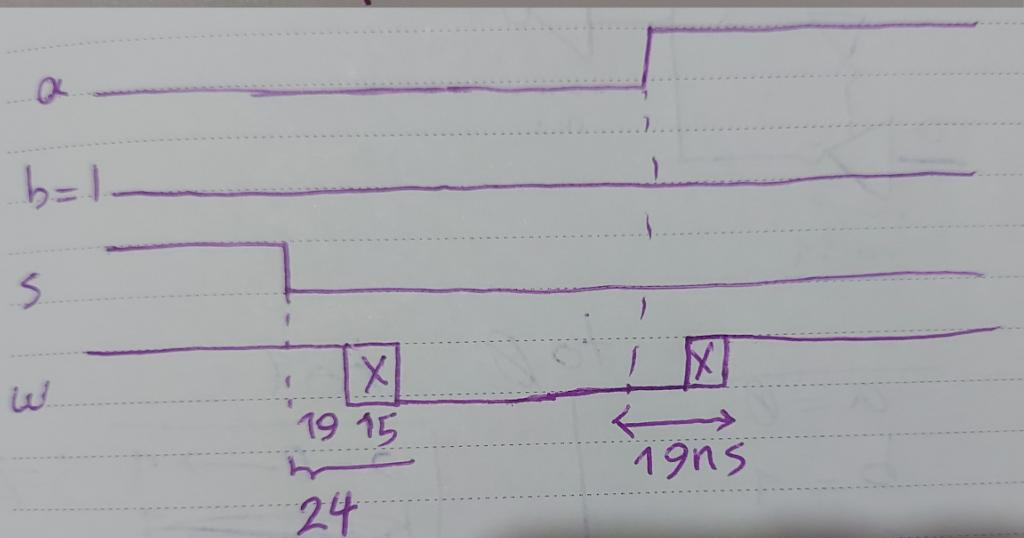
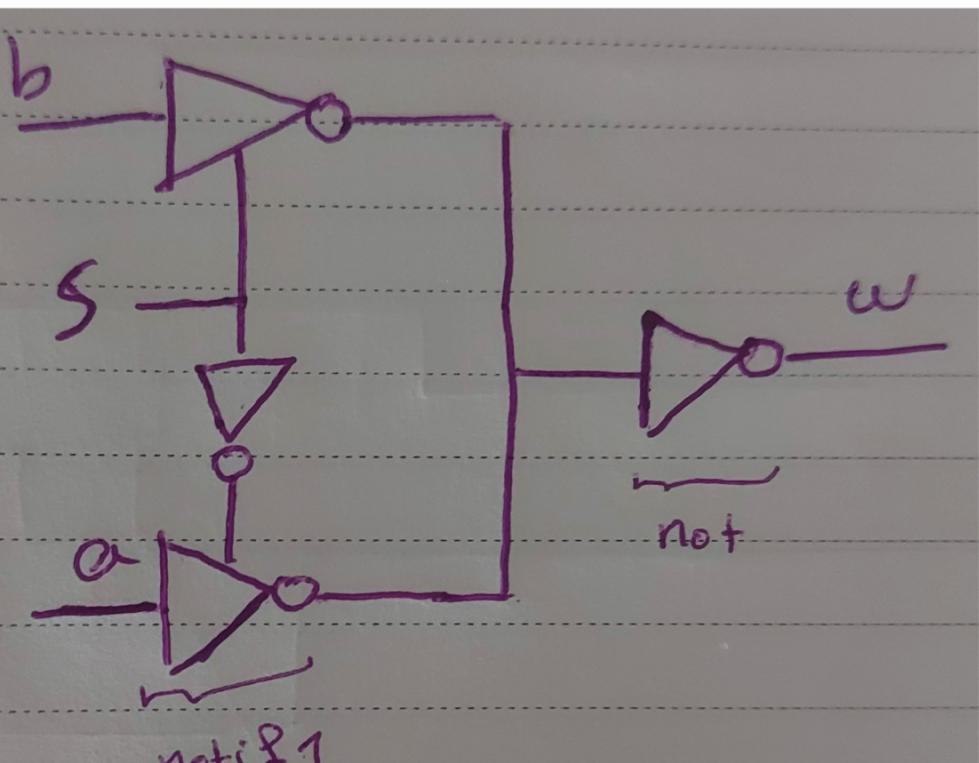


نتایج و توضیحات:

بدترین تاخیر به یک و به صفر برای **not** متناظر با ترانزیستور های سوال اول ۵ نانو ثانیه تاخیر به ۱ و ۷ نانو ثانیه تاخیر به ۰ است. و بدترین حالت تاخیر کامپلکسر ۳۱ نانو ثانیه تاخیر به ۰ و ۳۱ نانو ثانیه تاخیر به ۱ است که هر دو با تاخیر های ۲۰۰ نانو ثانیه اول مدلسازی ما تطابق دارد.

سوال ۴

مدار مورد نظر:



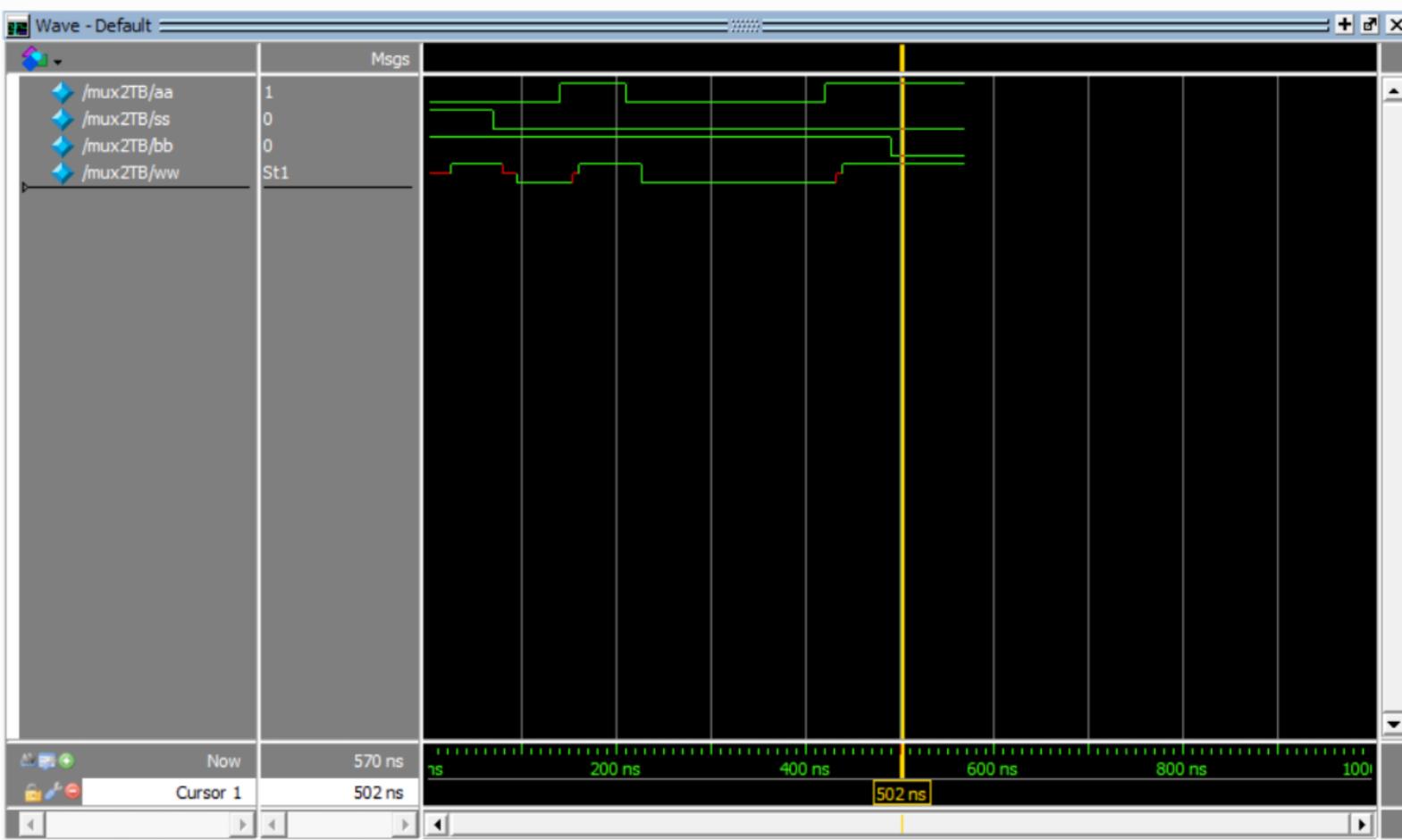
مدل سازی های کامپیوتري:

D:/DLD/Q4.sv - Default

Ln#

```
1 `timescale 1ns/1ns
2
3 module mymux2(input a,b,s,output w);
4     supply1 vdd;
5     supply0 gnd;
6     wire i,k;
7     notifone nif1(a,k,i), nif2(b,s,i);
8     not #(5,7) inv1(w,i), inv2(k,s);
9 endmodule
```

```
1 `timescale 1ns/1ns
2
3 module mux2TB();
4     logic aa=0,ss=1,bb=1;
5     wire ww;
6     mymux2 UUT(aa,bb,ss,ww);
7     initial begin
8         #70 ss=0;
9         #70 aa=1;
10        #70 aa=0;
11        #70 bb=1;
12        #70 ss=0;
13        #70 aa=1;
14        #70 bb=0;
15        #80 $stop;
16    end
17 endmodule
```



نتایج و توضیحات:

بدترین تاخیر به $191 + 145 = 336$ نانو ثانیه و بدترین تاخیر به ۲۴ نانو ثانیه میباشد.

مدل سازی های کامپیووتری:

D:/DLD/Q5.sv - Default

Ln#	
1	<code>'timescale 1ns/1ns</code>
2	
3	<code>module cmp_mux();</code>
4	<code>logic bb=0, aa=1, ss=1;</code>
5	<code>wire yy, ww;</code>
6	<code>mymux UUT(ss,aa,bb,yy);</code>
7	<code>mymux2 UUT1(aa,bb,ss,ww);</code>
8	<code>initial begin</code>
9	<code>#70 ss=0;</code>
10	<code>#70 ss=1;</code>
11	<code>#70 aa=0;</code>
12	<code>#70 bb=1;</code>
13	<code>#70 ss=0;</code>
14	<code>#70 aa=1;</code>
15	<code>#70 bb=0;</code>
16	<code>#80 \$stop;</code>
17	<code>end</code>
18	<code>endmodule</code>



نتایج و توضیحات:

در تغییرات s تاخیر مدار سوال ۴ کمتر است. ولی در تغییرات مربوط به a و b تاخیر مدار سوال ۳ کمتر است و مدار سوال دفعات کمتری مقدار x اختیار کرده و هر دو مقدار z اختیار نمیکنند.

از طرفی مدار سوال ۳ از ۱۴ ترانزیستور دارد و مدار سوال ۴ از ۱۶ ترانزیستور تشکیل شده. با توجه به ترانزیسورةهای فعال در هر مسیر انتظار میرود توان مصرفی مولتی پلکسر حاصل از **notif one** بیشتر باشد. اما با توجه به تاخیر کمتری که هنگام تغییرات s اختیار میکند به نظر ساختار جالب تری می آید.

	Q4.sv	✓	Syst...	6	03/11/2023 02:04:44 ...
	Q2TB.sv	✓	Syst...	3	03/11/2023 12:16:55 ...
	Q5.sv	✓	Syst...	8	03/11/2023 05:46:28 ...
	Q3TB.sv	✓	Syst...	5	03/11/2023 01:10:35 ...
	Q1.sv	✓	Syst...	0	03/10/2023 02:32:55 ...
	Q4TB.sv	✓	Syst...	7	03/11/2023 05:45:54 ...
	Q2.sv	✓	Syst...	2	03/11/2023 12:03:44 ...
	Q3.sv	✓	Syst...	4	03/11/2023 01:14:10 ...
	Q1TB.sv	✓	Syst...	1	03/11/2023 11:50:56 ...

Library Project

Transcript

```
VSIM 4> quit -sim
# End time: 17:44:07 on Mar 11, 2023, Elapsed time: 0::
# Errors: 0, Warnings: 1
# Load canceled
# Compile of Q1.sv was successful.
# Compile of Q1TB.sv was successful.
# Compile of Q2.sv was successful.
# Compile of Q2TB.sv was successful.
# Compile of Q3.sv was successful.
# Compile of Q3TB.sv was successful.
# Compile of Q4.sv was successful.
# Compile of Q4TB.sv was successful.
# Compile of Q5.sv was successful.
# 9 compiles, 0 failed with no errors.
```