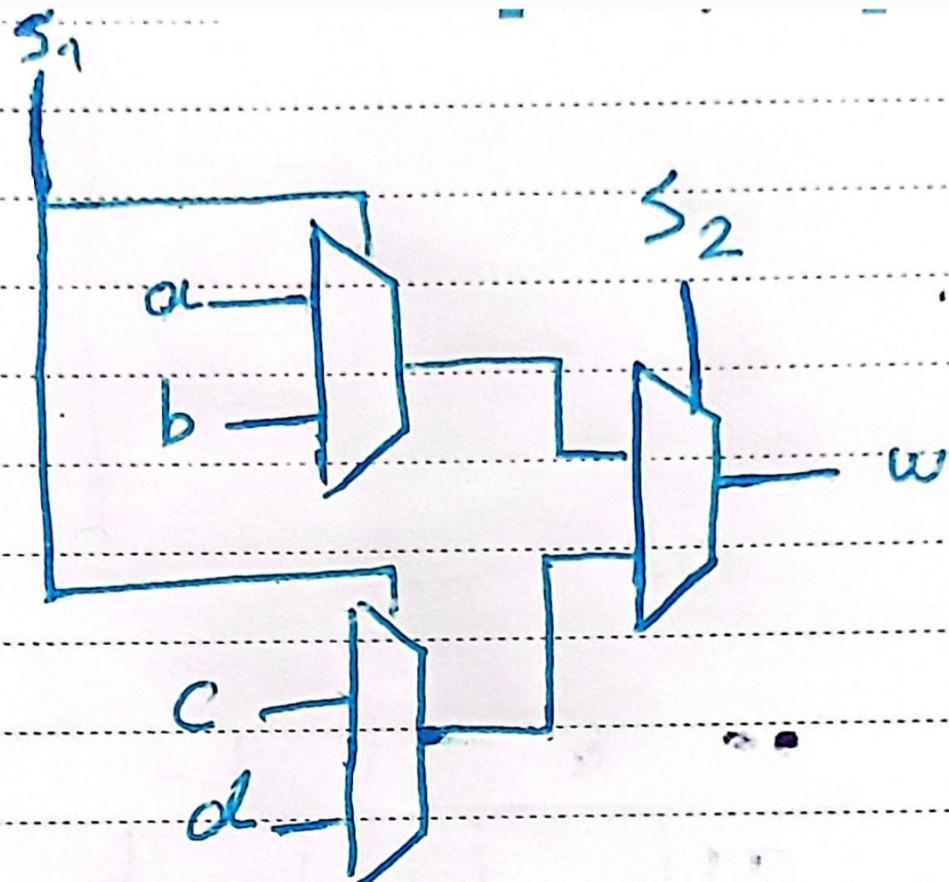


سؤال ١



a = 0

b = 1

c = 0

d = 1

s₁ = 0

s₂ = 0

w

2:00

39,

a = 1

b = 0

c = 1

d = 0

s₁ = 0

s₂ = 1

w

48

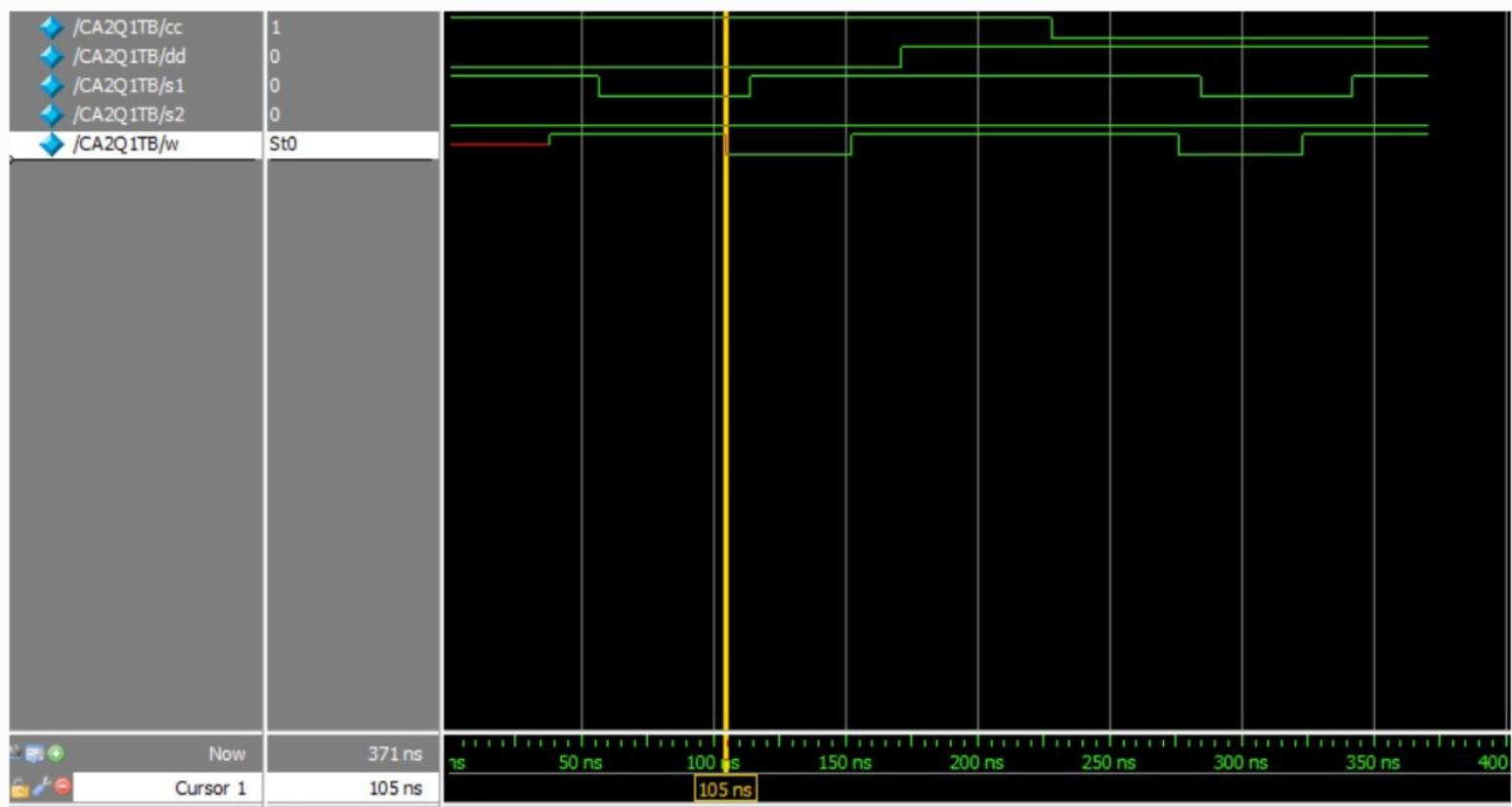
38

D:/DLD/Q1.sv - Default

Ln#

```

1 `timescale 1ns/1ns
2 module MUX4tol(input a,b,c,d, input s1, s2, output w);
3     wire y, x;
4     assign#(19,24) y = s1?a:b;
5     assign#(19,24) x = s1?c:d;
6     assign#(19,24) w = s2? y:x;
7 endmodule
  
```



D:/DLD/TB1.sv (/CA2Q1TB) - Default

Ln#	
1	`timescale 1ns/1ns
2	
3	module CA2Q1TB();
4	logic aa=1,bb=0,cc=1,dd=0,s1=1,s2=0;
5	wire w;
6	MUX4tol UUT(aa,bb,cc,dd,s1, s2,w);
7	initial begin
8	#57 s1=0;
9	#57 s1=1;
10	#57 dd=~dd;
11	#57 cc=~cc;
12	#57 s1=0;
13	#57 s1=1;
14	#29 \$stop;
15	end
16	endmodule
17	

تحلیل ها و توضیحات

اگر تغییراتی را در صفحه اول مشخص شده اعمال کنیم. مقدار بدترین تاخیرها به صفر و یک هر دو مقدار 48 حاصل میشود که با مقادیر حاصل از تست بنچ نیز یکسان است. همچنین تغییر مقدار

از یک به صفر نیز تاخیر مشابه 48 نانو ثانیه را ایجاد میکند.

سوال ۲

```
'timescale 1ns/1ns

module SHO4b(input [0:3]A, input s1, s2, output [0:3]SHO);
    genvar i;
    generate
        for(i=0; i<4; i=i+1) begin: muxgates
            MUX4tol xx(A[i],A[(i+1)%4],A[(i+2)%4],A[(i+3)%4],s1,s2,SHO[i]);
        end
    endgenerate
endmodule
```



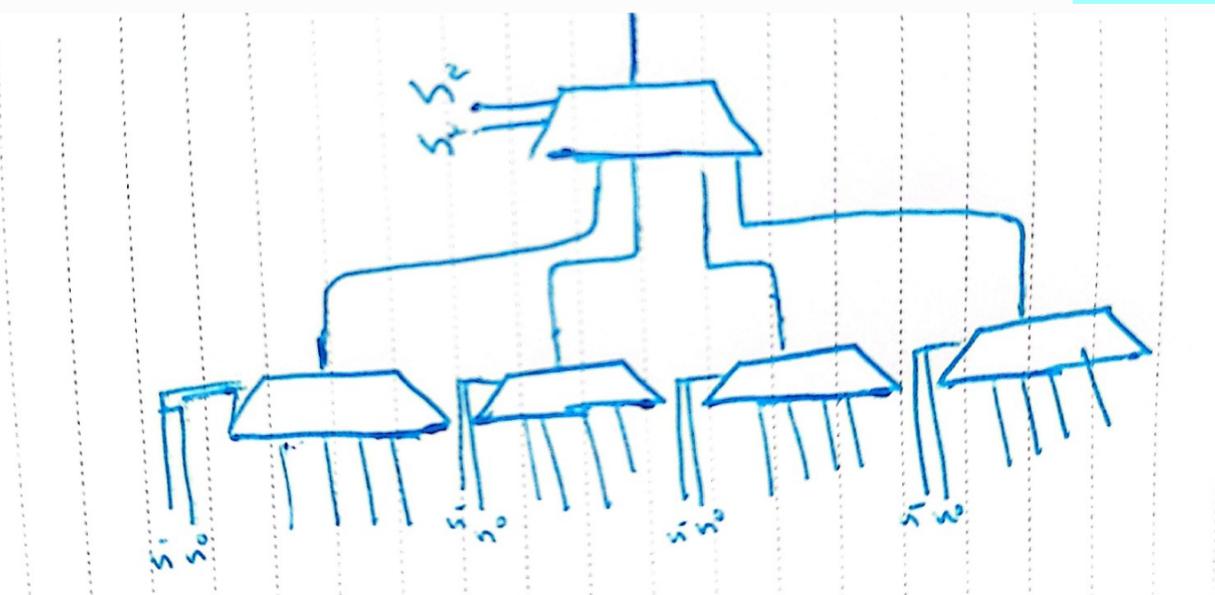
```
'timescale 1ns/1ns

module CA2Q2TB();
    logic [0:3]AA=4'b1010;
    logic s1=1,s2=0;
    wire [0:4]SHO;
    SHO4b UUT(AA,s1,s2,SHO);
    initial begin
        #73 s1=0;
        #113 s1=1;
        #113 AA=4'b1000;
        #113 s2=1;
        #113 AA=4'b1100;
        #113 s1=0;
        #73 s1=1;
        #73 $stop;
    end
endmodule
```

تحلیل ها و توضیحات

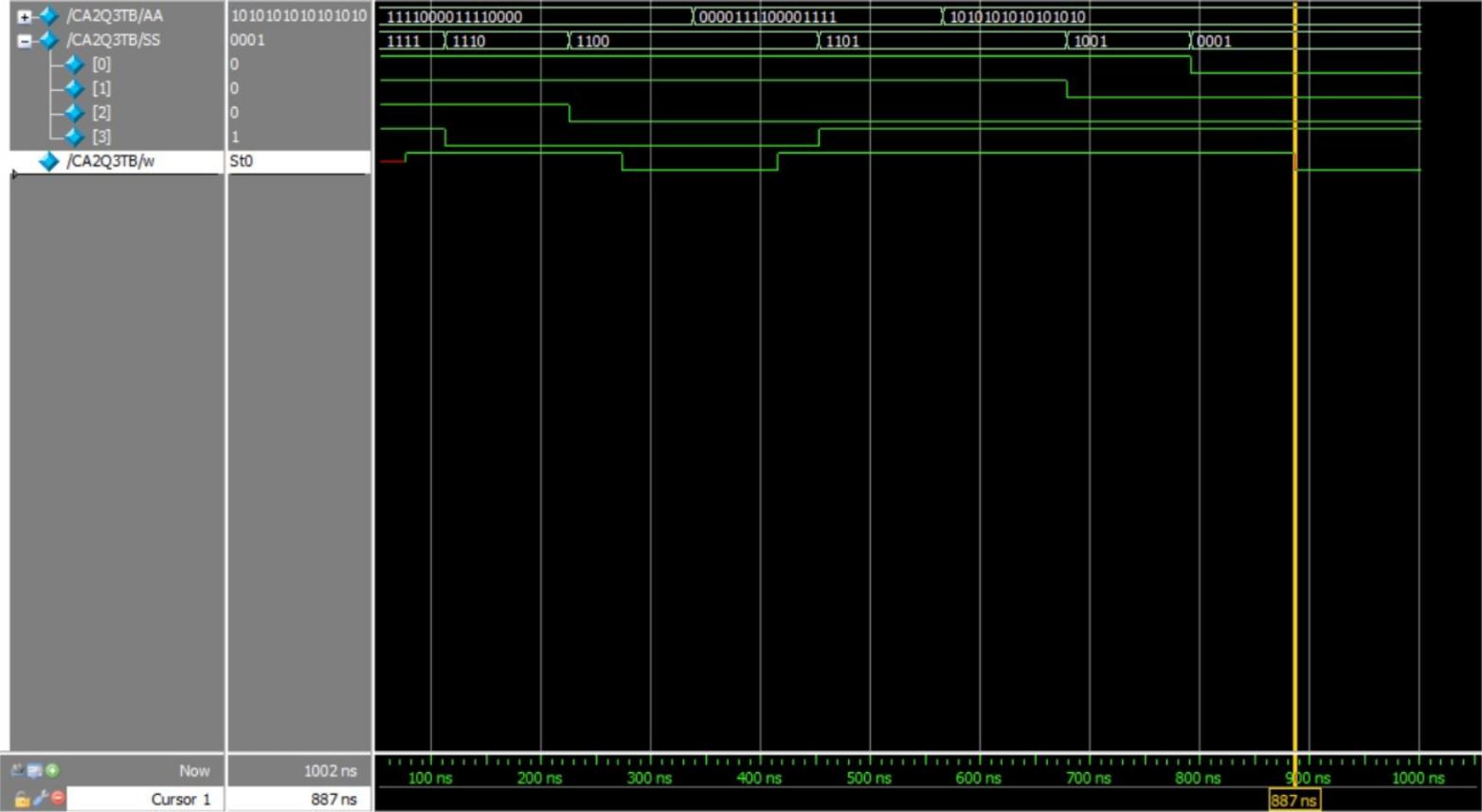
با توجه به مدار سازه مورد نظر که در صورت پروژه امده انتظار میرود بدترین تاخیر مربوط به تغییر s_1 و برابر با بدترین تاخیر یک مولتی پلکسر باشد. چرا که در این سازه مولتی پلکسر های به شکل موازی با هم هستند. در بدترین حالت هم مسیر داده ما تنها از یکی از آنها میگذرد. این مسله با شکل موج حاصل از شبیه سازی کامپیوتروی نیز کاملاً تطابق دارد. بدترین دیلی: **48ns**

سوال ۳



```
'timescale 1ns/1ns

module MUX16tol(input [0:15]A, input [0:3]S, output w);
    wire [0:3]j;
    genvar i;
    generate
        for(i=0; i<4; i=i+1) begin: muxgates
            MUX4tol xx(A[4*i],A[4*i+1],A[4*i+2],A[4*i+3],S[0],S[1],j[i]);
        end
    endgenerate
    MUX4tol UUT(j[0],j[1],j[2],j[3],S[2],S[3],w);
endmodule
```



`*timescale 1ns/1ns`

```

module CA2Q3TB();
    logic [0:15]AA=16'b1111000011110000;
    logic [0:3]SS=4'b1111;
    wire w;
    MUX16to1 UUT(AA,SS,w);
    initial begin
        #113 SS=4'b1110;
        #113 SS=4'b1100;
        #113 AA=16'b0000111100001111;
        #113 SS=4'b1101;
        #113 AA=16'b1010101010101010;
        #113 SS=4'b1001;
        #113 SS=4'b0001;
        #211 $stop;
    end
endmodule

```

تحلیل ها و توضیحات

باتوجه به مدار میتوان دید که بدترین دیلی زمانی حاصل میشود که خروجی دو مولتی پلکسر متوالی بدترین حالت تغییر خود را داشته باشند. از این رو یا باید **S0** تغییر کند و یا آن ورودی ای که

بر خروجی قرار دارد. بر اساس شکل موج میتوان دید که بر اثر تغییر S_0 تاخیر $48+48=96$ حاصل شده. که بدترین تاخیر مدار است.

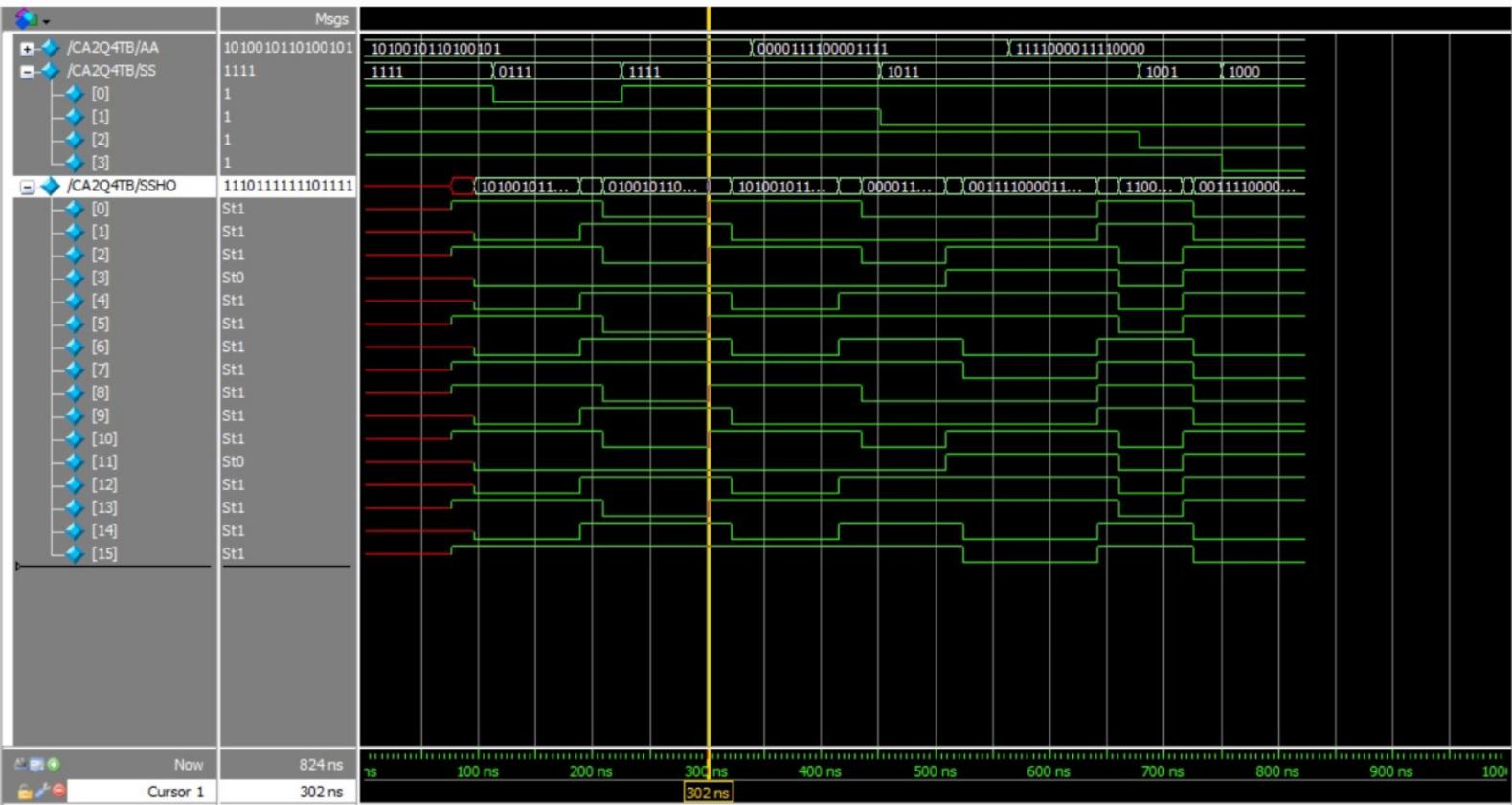
سوال ۴

```
`timescale 1ns/1ns

module SH016b(input [0:15]A, input [0:3]S, output [0:15]SH0);
    wire [0:15]B;
    genvar i,k;
    generate
        for(i=0; i<16; i=i+1) begin: muxgates
            for(k=0; k<16; k=k+1) begin: wires
                assign B[k]=A[(i+k)%16];
            end
            MUX16tol XX(B,S,SH0[i]);
        end
    endgenerate
endmodule

`timescale 1ns/1ns

module CA2Q4TB();
    logic [0:15]AA =16'b1010010110100101;
    logic [0:3]SS =4'b1111;
    wire [0:15]SSH0;
    SH016b UUT(AA,SS,SSH0);
    initial begin
        #73 SS=4'b0111;
        #113 SS=4'b1111;
        #113 AA=16'b0000111100001111;
        #113 SS=4'b1011;
        #113 AA=16'b1111000011110000;
        #113 SS=4'b1001;
        #73 SS=4'b1000;
        #73 $stop;
    end
endmodule
```



تحلیل ها و توضیحات

مدار دقیقا مشابه مدار سوال ۲ است با این تفاوت که مولتی پلکسر های ۱۶ به ۱ با مولتی پلکسر های ۴ به ۱ جایگزین شده اند. با استدلال مشابه با سوال ۲ بیشترین دلیل این مدار هم برابر با دلیل یک مولتی پلکسر است که با تغییر $s0$ به سادگی مقدار $ns96$ حاصل میشود.

Project - D:/DLD/CA2-810100591					
	Name	Sta	Type	Order	Modified
	TB3.sv	✓	Syst...	6	04/19/2023 03:14:48 ...
	TB4.sv	✓	Syst...	7	04/19/2023 03:57:59 ...
	Q1.sv	✓	Syst...	0	04/18/2023 11:50:53 ...
	TB1.sv	✓	Syst...	3	04/19/2023 12:20:08 ...
	Q2.sv	✓	Syst...	2	04/19/2023 01:35:26 ...
	Q3.sv	✓	Syst...	4	04/19/2023 02:55:46 ...
	TB2.sv	✓	Syst...	1	04/19/2023 02:01:48 ...
	Q4.sv	✓	Syst...	5	04/19/2023 04:14:08 ...