



## اعضا گروه:

- آرمین گرامی راد ۴۰۱۱۱۰۶۳۱
- علیرضا اعلایی ۴۰۱۱۱۰۵۹۱
- محمد امین علی اکبری ۴۰۱۱۰۶۲۳۳

## هدف از انجام آزمایش:

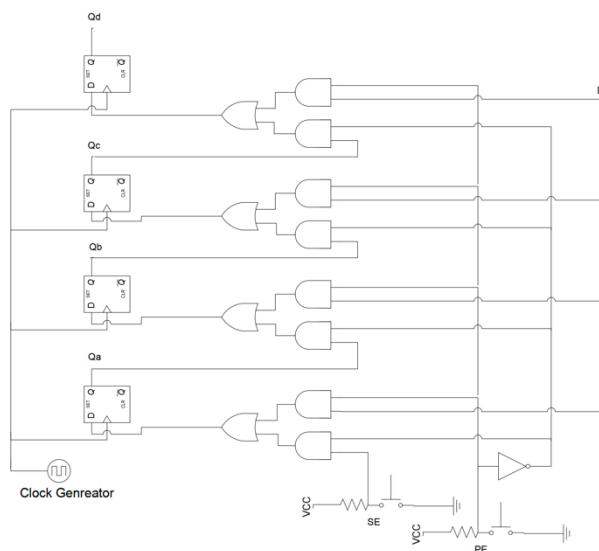
در این آزمایش سعی می کنیم تا اول از همه با استفاده از گیت های AND و OR و با استفاده از کلاک، یک شیفت رجیستر بسازیم.

## تراشه و قطعات استفاده شده:

نام قطعه	تعداد
برد بورد	۲
LED	۴
تراشه	۲
تراشه	۱
تراشه	۲
تراشه	۱
تراشه	۲
تراشه	۲

## شرح آزمایش و نتایج هر قسمت:

الف: برای پیاده سازی مدار تصویر ۱، نیازمند ۸ گیت AND، ۴ گیت OR و D-FF هستیم.



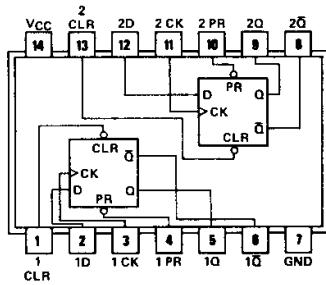
تصویر ۱



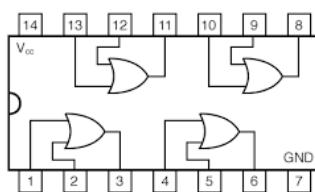


## آزمایش چهارم: شیفت رجیستر ها

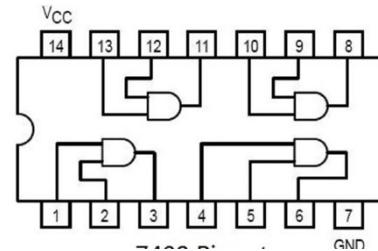
برای اینکار از ۲ تراشه ۷۴۰۸ (تصویر ۲)، ۱ تراشه ۷۴۳۲ (تصویر ۳) و ۲ تراشه ۷۴۷۴ (تصویر ۴) استفاده می‌کنیم.



تصویر ۲

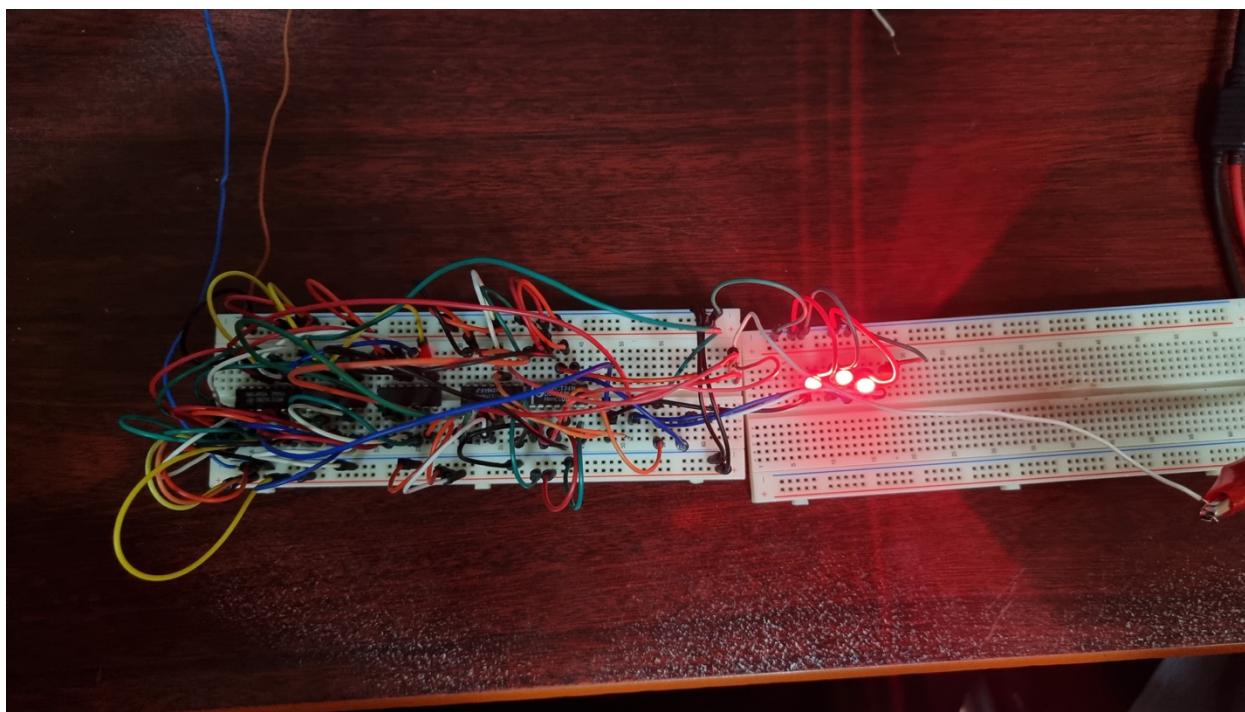


تصویر ۴



تصویر ۳

در نهایت پس از متصل کردن ورودی و خروجی تراشه‌ها، خروجی D-FF ها را به LED متصل می‌کنیم تا بصورت ویژوال خروجی منتظر با مدار را ببینیم. تصویر ۵ مدار پیاده سازی شده با وروری سری ۱۱۱ می‌باشد.



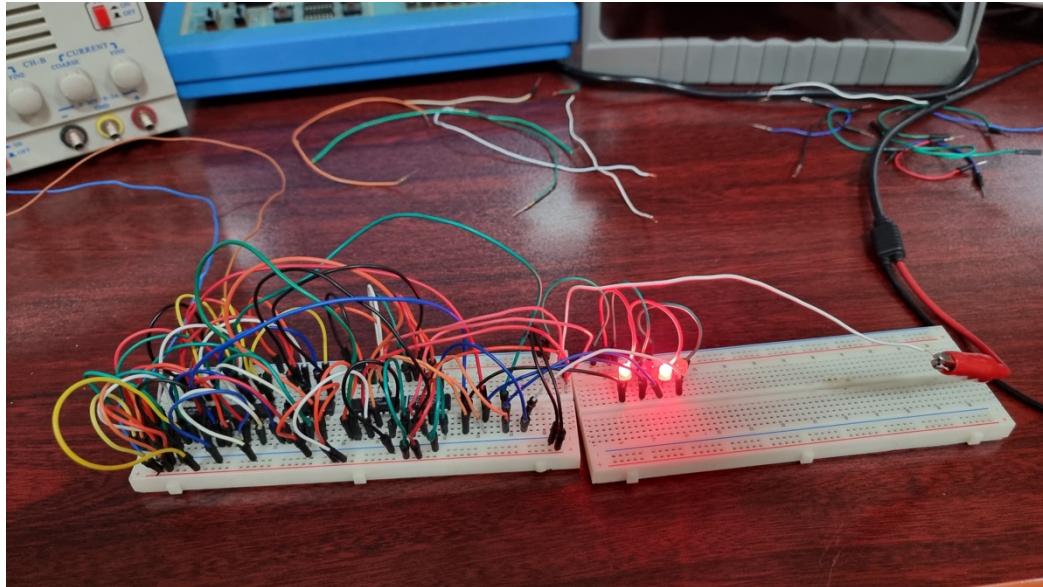
تصویر ۵



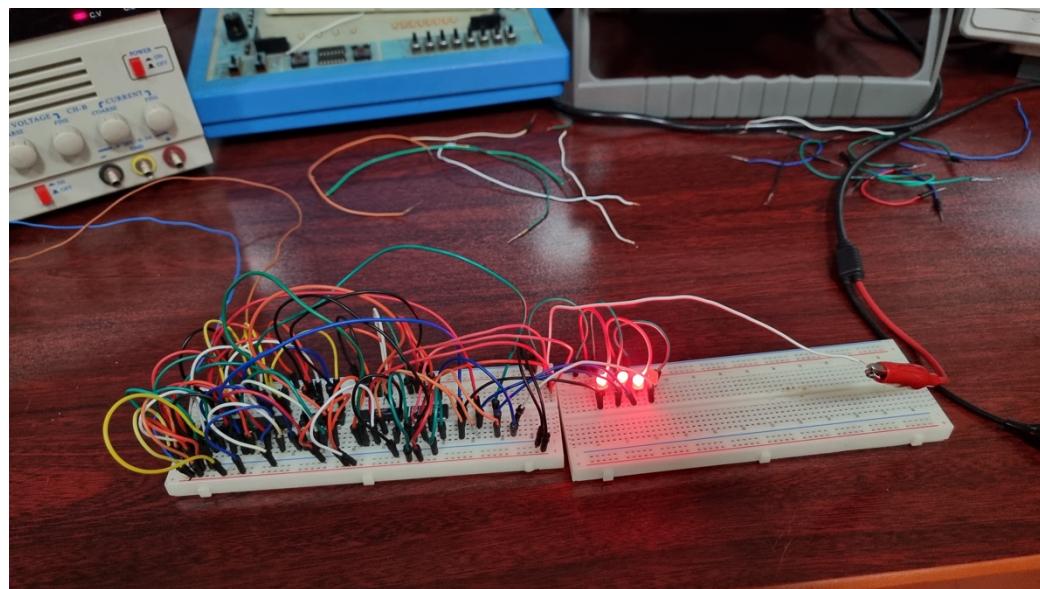


## آزمایش چهارم: شیفت رجیستر ها

ب: در این قسمت با استفاده از ست کردن PE و SE مدار را در حال ورودی سری قرار می‌دهیم و ورودی ۱۰۱۰ را به آن می‌دهیم (تصویر ۶).  
در تصویر ۷ هم ورودی ۱۱۱۰ هست.



تصویر ۶



تصویر ۷

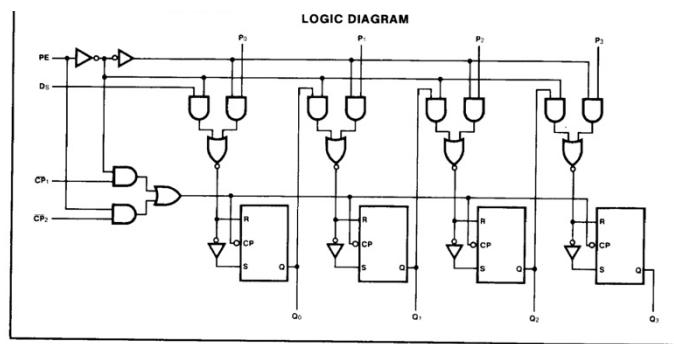




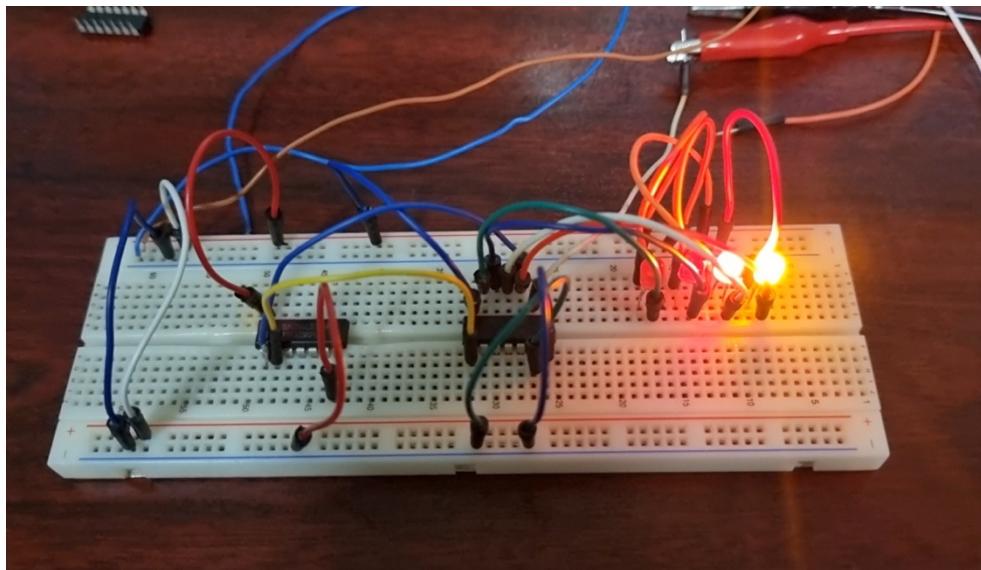
## آزمایش چهارم: شیفت رجیستر ها

پ: با وصل کردن PE به Ground جهت شیفت برعکس می‌شود.

ت: برای این بخش اول مدار را با استفاده از تراشه ۷۴۹۵ ساده می‌کنیم. دیاگرام داخل این تراشه در تصویر ۸ آمده است. سپس با استفاده از تراشه ۷۴۰۴ خروجی  $Q_d$  را NOT می‌کنیم و به ورودی سریال مدار می‌دهیم تا شمارنده جانسون ساخته شود. در تصویر ۹ مدار پیاده‌سازی شده را می‌بینید.



تصویر ۸



تصویر ۹





## آزمایش چهارم: شیفت رجیستر ها

ج: با توجه به کاتالوگ تراشه ۷۴۹۵ (تصویر ۱۰) می‌بینید که با تغییر دادن ورودی  $D_S$  جهت شیفت تغییر می‌کند.

MODE SELECT TABLE

OPERATING MODE	INPUTS					OUTPUTS			
	PE	$\overline{CP_1}$	$\overline{CP_2}$	$D_S$	$P_n$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
Shift	L	L	X	I	X	L	$q_0$	$q_1$	$q_2$
	L	L	X	h	X	H	$q_0$	$q_1$	$q_2$
Parallel Load	H	X	L	X	$p_n$	p0	p1	p2	p3
Mode Change	L	L	L	X	X	No Change			
	J	L	L	X	X	No Change			
	L	H	L	X	X	No Change			
	J	H	L	X	X	Undetermined			
	L	L	H	X	X	Undetermined			
	J	L	H	X	X	No Change			
	L	H	H	X	X	Undetermined			
	J	H	H	X	X	No Change			

I = LOW Voltage Level one set-up time prior to the HIGH-to-LOW clock transition.

h = HIGH Voltage Level one set-up time prior to the HIGH-to-LOW clock transition.

$p_n$  = Lower case letters indicate the state of the referenced input (or output) one set-up

time prior to the HIGH-to-LOW clock transition.

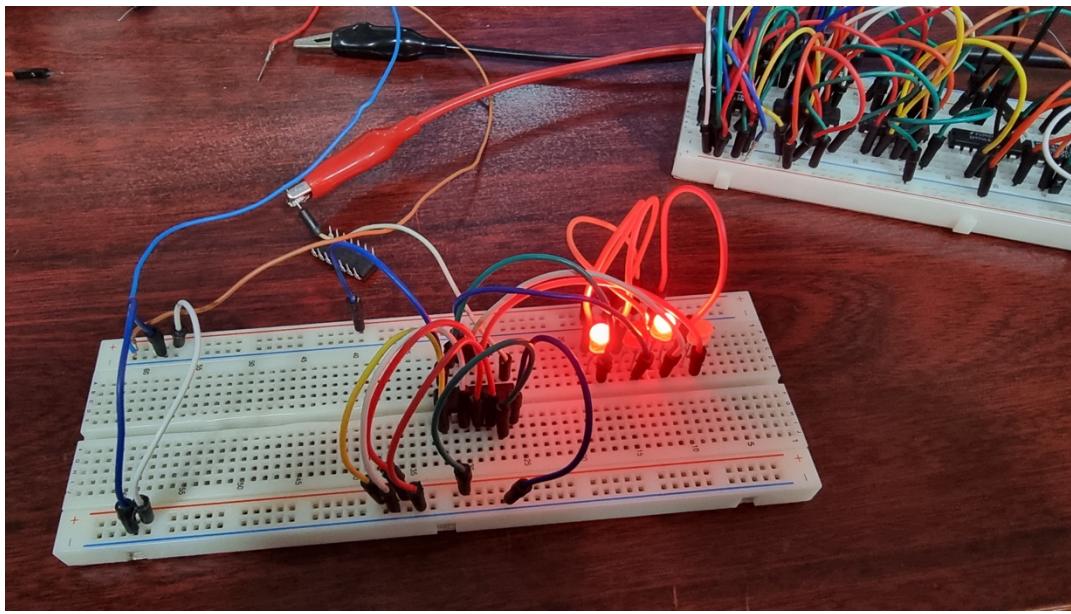
H = HIGH Voltage Level

L = LOW Voltage Level

X = Immaterial

تصویر ۱۰

ج: در قسمت ت هم این کار را کردیم ولی بطور خاص در تصویر ۱۱ مدار پیاده‌سازی شده را می‌توانید ببینید.



تصویر ۱۱





ح: برای این بخش ۴ عدد DFF (تراشه ۷۴۷۴) را سری کرده و **CLOCK** (خروجی function generator) را به آن ها وصل کردیم. دو عدد Decoder ۳ به ۸ (تراشه ۷۴۱۳۸) را با استفاده از یک NOT با هم سری کرده و یک Decoder ۴ به ۱۶ ساختیم و ورودی های آن را به خروجی های DFF ها متصل کردیم. از آنجایی که استفاده شده Active Low بود، خروجی های ۱۴، ۱۳، ۱۲، ۱۱ (متناظر با ورودی های ۱۱۰۱، ۱۱۰۰، ۰۰۱۰، ۰۰۰۱ و ۱۱۱۰) را با استفاده از ۳ گیت AND (تراشه ۷۴۰۸)، NOT کرده و سپس آنرا به LED (خروجی نهایی) متصل کردیم. (این بخش آزمایش سر کلاس انجام شد اما متناسبانه عکسی نگرفتیم)

### چالش‌ها:

- در این آزمایش به چالش خاصی بر نخوردیم صرفا در قسمت آخر دیکودر ۴ به ۱۶ نداشتیم و با استفاده از دو دیکودر ۳ به ۸ آن را بوجود آوردهیم.