



Datasheet I2C-Master

Arnau Quintana Llorens

8 de juny del 2020

Índex

1. Introducció	3
2. Ports E/S	4
3. Registres	5
3.1 Llista de registres.....	5
3.2 Descripció dels registres.....	5
3.2.1 Save_datain	5
3.2.2 Save_datain2	5
3.2.3 Save_adr	5
3.2.4 Save_pointer	5
3.2.5 Return.....	5
4. Funcionament	6
4.1 Configuració del sistema	6
4.2 Protocol I2C.....	6
4.2.1 Start	8
4.2.2 Adreça + bit de WR/RD.....	8
4.2.3 Pointer	9
4.2.4 Repeat Start.....	9
4.2.5 Byte/s de dades	9
4.2.6 Stop	10
5. Arquitectura	11
5.1 Divisor de freqüència	11
5.1.1 Senyals d'entrada i sortida del divisor per 25 (div_25)	11
5.1.2 Senyals d'entrada i sortida del divisor per 5 (div_5)	11
5.2 Comptador	11
5.2.1 Senyals d'entrada i sortida del comptador amb Clk (Contador_clk).....	12
5.2.1 Senyals d'entrada i sortida del comptador amb Scl (Contador_scl)	12
5.3 Registre de desplaçament paral·lel a sèrie (Shift_PLSR)	12
5.3.1 Senyals d'entrada i sortida	12
5.4 Registre de desplaçament sèrie a paral·lel (Shift_SRPL)	12
5.4.1 Senyals d'entrada i sortida	12
5.5 Unitat de control	13
5.5.1 Senyals d'entrada i sortida	14

1. Introducció

L'I2C és un bus sèrie bidireccional de dos cables que ofereix una manera simple i eficient d'intercanviar dades entre dispositius. És més apropiat per comunicacions de curta distància.

La interfície suporta 5 velocitats:

- Estàndard: 100Kbits/s.
- Ràpida: 400Kbits/s.
- Ràpida +: 1Mbit/s.
- Molt ràpida: 3.4Mbits/s.
- Ultra ràpida: 5Mbits/s (unidireccional).

El Màster descrit en aquest document només suporta una velocitat de 400Kbits/s, que és a la que treballen la majoria de sensors I2C.

Característiques:

- Totalment sintetitzable.
- Suporta adreces de 7 bits.
- Suporta l'enviament i rebuda d'un i dos bytes.
- Opera amb una freqüència d'entrada de rellotge de 50MHz.
- El Màster treballa a freqüència de 2MHz.
- Genera les condicions d'"start" i "stop" així com els 'ACK' i 'NACK'.
- S'inicialitza de manera externa.
- Treballa amb una entrada de rellotge extern de 50MHz.
- Dissenyat per treballar amb sensors de temperatura del tipus del LM75x, modificable de manera senzilla per treballar amb sensors com ADT7410 o del MCP9808.

2. Ports I/O

Senyal	Num bits	I/O	Descripció
Clk_in	1	I	Relotge de 50MHz que entra al Màster
Rst	1	I	Reset asíncron, actiu per nivell baix. Si es reseteja durant un procés, no s'ha de mantenir l'entrada 'start' a 1, ja que la màquina tardarà uns segons a establitzar-se i pot donar valors incorrectes
Adr	7	I	Adreça del Slave
Data_in	8	I	Dades que es voldran escriure
Data_in2	8	I	Segon byte de dades, en cas d'haver-hi, per escriure
Start	1	I	Indica un start al sistema
Pointer	8	I	Adreça del registre del Slave
Set_pointer	1	I	Si és 1, indica que es vol fixar l'adreça del Slave al que ens volem adreçar. S'ha de mantenir el valor estable durant tot el procés, és a dir, es pot canviar només quan Ready = 1.
R_W	1	I	Indica si es vol llegir o escriure
Ready	1	O	Si = 1, la màquina està llesta per un nou procés
Error	1	O	Si = 1, indica que hi ha hagut un error
Data_out	8	O	Dades que es llegeixen
Data_valid	1	O	Si = 1, les dades a 'Data_out' són vàlides
Sda	1	I/O	Línia de dades serial
Scl	1	O	Relotge serial

Tant Sda com Scl estan connectades a una resistència de pull-up.

3. Registres

3.1 Llista de registres

Nom	Bits	Accés	Descripció
Save_datain	8	RW	Guarda el primer o únic byte dades.
Save_datain2	8	RW	Guarda el segon, en cas d'haver-hi, byte de dades.
Save_adr	8	RW	Guarda l'adreça del Slave juntament amb el bit de WR/RD
Save_pointer	8	RW	Guarda el valor del registre al que ens volem dirigir
Return	1	RW	El valor que guarda indica si s'ha de repetir 'start'.

3.2 Descripció dels registres

3.2.1 Save_datain

Bit #	Accés	Pointer	Descripció
7:0	RW	01	7:5 → 3 zeros. 4:3 → Fault Queue. Faltes necessàries abans de configurar la sortida O.S. per evitar efectes del soroll. 2 → O.S. Polarity. O.S. és una sortida de drenador obert per totes les condicions. 1 → 0 = Mode comparador. 1 = Mode interrupció. 0 → 1 = Sensor passa al mode shutdown.
	RW	10	Bit 7 és el MSB i el 0 el LSB.
	RW	11	Bit 7 és el MSB i el 0 el LSB.

3.2.2 Save_datain2

Bit #	Accés	Pointer	Descripció
7:0	RW	10	No definit
	RW	11	No definit

3.2.3 Save_adr

Bit #	Accés	Descripció
7:4	RW	Pel tipus de sensor que està pensat han de valer 1001.
3:1	RW	Adreça del Slave.
0	RW	Bit de WR/RD. Serà 0 si es vol escriure i 1 si es vol llegir.

3.2.4 Save_pointer

Bit #	Accés	Descripció
7:2	RW	Són zeros pel tipus de sensor pel que està pensat
1:0	RW	00: Registre que guarda les dades de temperatura (només lectura) 01: Registre de configuració (escriptura i lectura) 10: T _{HYST} (escriptura i lectura) 11: T _{OS} (escriptura i lectura)

Aquesta taula està feta pensant amb el sensor LM75x, que té 2 bits d'adreça de registre. En cas d'un altre que tingués més bits d'adreça, s'hauria de modificar la condició del codi per tal d'informar al sistema del comportament segons l'adreça que s'indiqui.

3.2.5 Return

Bit #	Accés	Descripció
1	RW	Si = 1, la màquina ha de repetir la condició d'start'.

4. Funcionament

4.1 Configuració del sistema

Les dades es transfereixen entre el Master i l'Slave bit a bit. Cada seqüència de dades té una llargària de 8 bits. Hi ha un pols de Scl per cada bit sent el bit més significatiu el primer en enviar-se. Al byte de dades sempre el segueix un bit de 'acknowledge', excepte quan el master treballa com a receptor; en aquest cas, després de rebre l'últim bit, el Master envia un 'non-acknowledge'. Els bits de dades són estables mentre Scl es troba a nivell alt. Quan Scl és 0 és quan Sda varia el seu valor, per tant, les dades no són vàlides durant aquests instants. Un canvi a Sda quan Scl es troba a nivell alt s'interpreta com una instrucció d''start' o 'stop'.

4.2 Protocol I2C

Normalment, un comunicació I2C consisteix de 6 parts:

- 1) Condició d''start'.
- 2) Adreça del Slave.
- 3) ACK de l'adreça.
- 4) Byte de dades.
- 5) ACK del byte de dades.
- 6) Condició d'stop.

En el Màster que es presenta, es disposa de diversos camins diferents:

- 1) Condició d''start'.
- 2) Adreça del Slave.
- 3) ACK de l'adreça.

Si s'escriu:

- 4) Byte de Pointer.
- 5) ACK del Pointer.
- 6) Byte de dades.
- 7) ACK del byte de dades.
(Segon byte de dades)
(ACK del segon byte de dades)
- 8) Condició d'stop.

Si es llegeix:

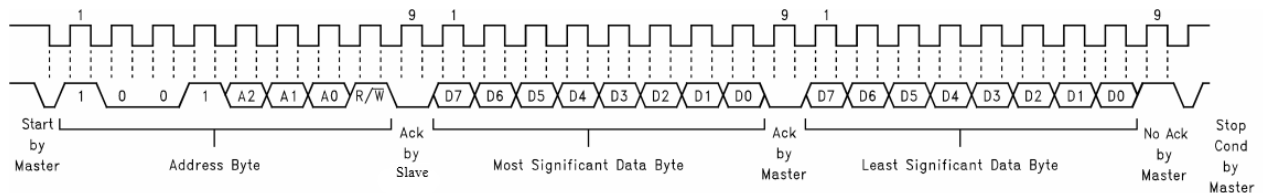
- 4) Byte de dades.
- 5) ACK del byte de dades.
(Segon byte de dades)
(NACK del segon byte de dades)
- 6) Condició d''stop'.

En cas que es llegeixi un sol byte, el pas 5 es convertiria en un NACK del byte de dades.

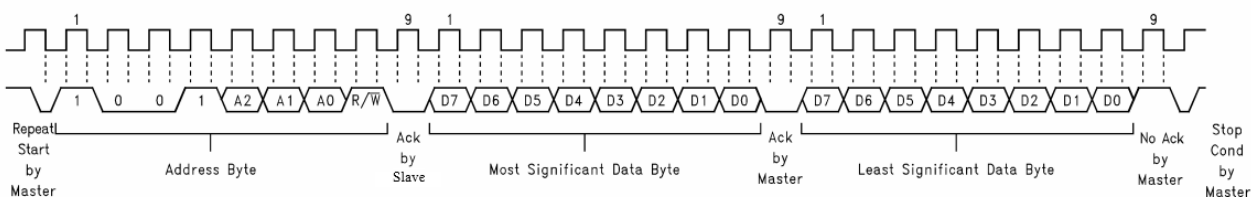
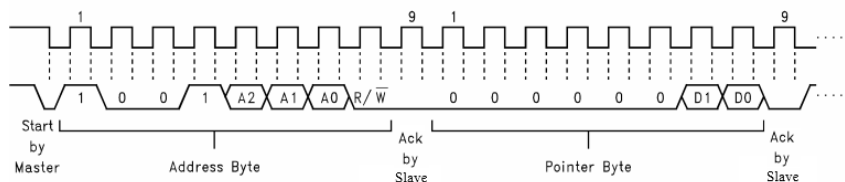
En cas de voler fixar un registre al que llegir el camí seria el següent:

- 1) Condició d''start'.
- 2) Adreça del Slave.
- 3) ACK de l'adreça.
- 4) Byte de Pointer.
- 5) ACK del Pointer.
- 6) Repetició de la condició d''start'.
- 7) Adreça del Slave.
- 8) ACK de l'adreça.
- 9) Byte de dades
- 10) ACK del byte de dades. (NACK si es llegeix un registre d'un sol byte)
(Segon byte de dades)
(NACK del segon byte de dades)
- 11) Condició d''stop'.

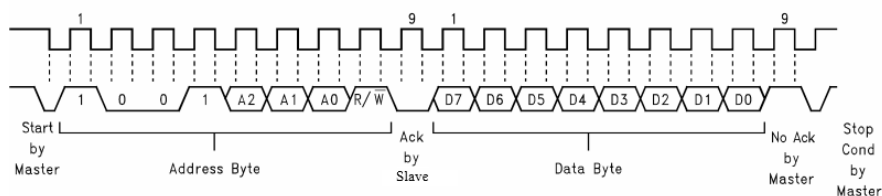
En cas que es vulgui llegir, però no hi hagi cap registre fixat al que dirigir-se, per defecte s'enviaran les dades del registre 00 del Slave (és de 2 bytes).



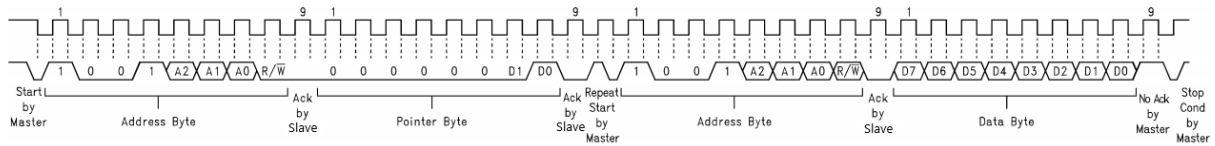
(a) Typical 2-Byte Read From Preset Pointer Location Such as Temp, T_{OS} , T_{HYST}



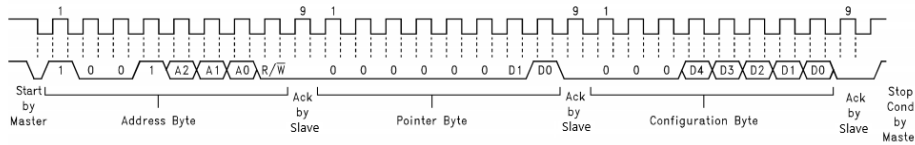
(b) Typical Pointer Set Followed by Immediate Read for 2-Byte Register such as Temp, T_{OS} , T_{HYST}



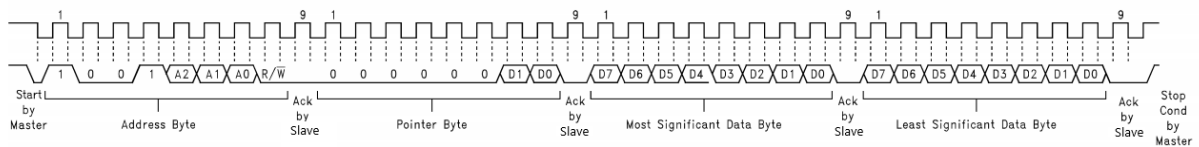
(c) Typical 1-Byte Read From Configuration Register With Preset Pointer



(a) Typical Pointer Set Followed by Immediate Read from Configuration Register



(b) Configuration Register Write

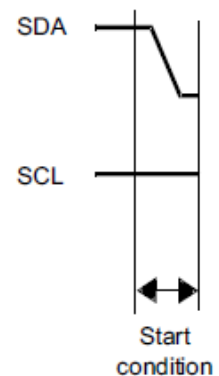


(c) T_{OS} and T_{HYST} Write

4.2.1 Start

El valor d'Sda només varia quan Scl és 0. Quan Sda varii mentre Scl sigui 1 s'interpreta com un start o un stop. La condició d'start, tal com veiem a la figura, es tradueix en un flanc de baixada d'Sda mentre Scl és 1.

Per iniciar un procés, s'haurà de mantenir l'entrada 'Start' a 1 fins que la sortida 'Ready' es fiqui a 0.

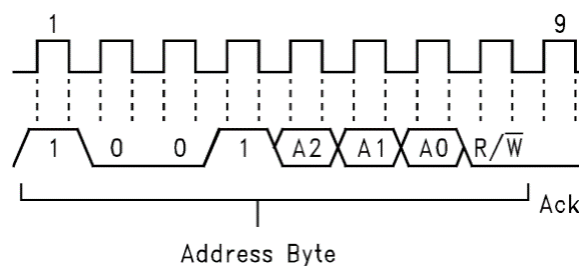


4.2.2 Adreça + bit de WR/RD

Si es vol comunicar amb un sensor, l'adreça d'aquest es defineix per hardware ja que depèn del valor que es fiqui a les entrades destinades a tal missió. Aquests 2 o 3 bits, segons el sensor, són els bits menys significatius del byte de dades de l'adreça; els primers quatre o cinc tenen el valor que ens digui el datasheet del propi sensor.

Al byte d'adreça el segueix un bit que indica si s'escriu o llegeix. A aquest últim bit el segueix un ACK del Slave si aquesta adreça coincideix amb la del Slave. En cas de no haver cap Slave connectat a la línia amb l'adreça enviada, es rebrà un NACK.

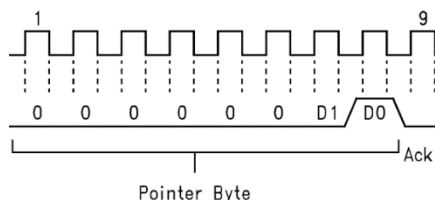
L'entrada 'Adr' i 'R_W' hauran de mantenir el valor mentre 'Ready' valgui 1.



4.2.3 Pointer

Byte que indica el registre del Slave al que ens volem adreçar. Per enviar aquest byte, el bit de WR/RD ha de ser un 0, és a dir, s'ha d'escriure.

El valor s'ha de mantenir a l'entrada 'Pointer' mentre la sortida 'Ready' valgui 1.



4.2.4 Repeat Start

Si es vol llegir fixant primer una adreça (no es vol llegir el registre per defecte), l'entrada Set_pointer ha de valer 1 i 'R_W' ha de ser 0, mantenint aquests valors mentre la sortida 'Ready' valgui 1. Amb aquestes condicions, quan s'hagi rebut l'ACK del Slave conforme s'ha rebut la direcció del registre, el Màster repetirà la condició d'"start" i es tornarà al principi, és a dir, s'enviarà l'adreça de nou, però aquest cop amb el bit de WR/RD en mode lectura sempre i quan s'hagi canviat el valor del bit externament. El valor de 'R_W' es pot canviar un cop la sortida 'Ready' valgui 0, però, un cop canviat, s'haurà de mantenir fins que 'Ready' torni a ser 1. Si el valor de 'R_W' no es canvia, s'haurà de ficar el valor de 'Set_pointer' a 0 per tal d'escriure al registre corresponent i no repetir l'establiment del 'Pointer'.

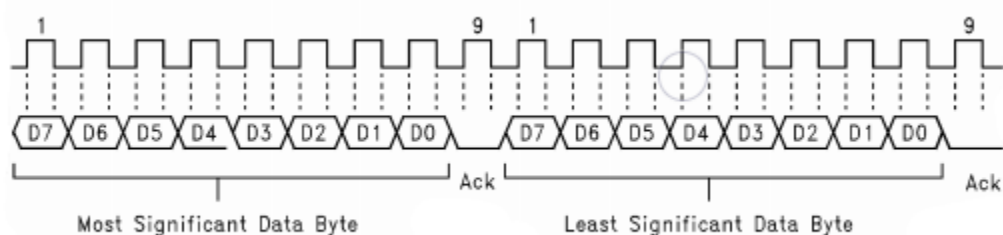
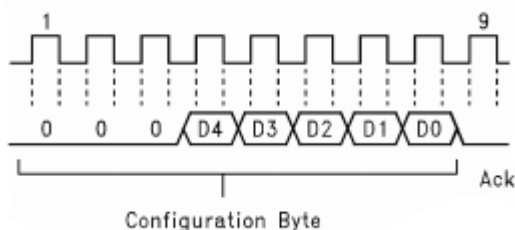


4.2.5 Byte/s de dades

4.2.5.1 Escriptura

Depenent del registre al que es dirigeixi el Màster es poden escriure un o dos bytes. En cas d'escriure un sol byte, després de rebre l'ACK del byte del Pointer, s'envia 8 bits de dades al quals els seguirà un ACK conforme l'"Slave" els ha rebut. En cas de dos bytes, després del ACK del primer byte de dades, el seguirà un segon amb el corresponent ACK conforme s'ha rebut.

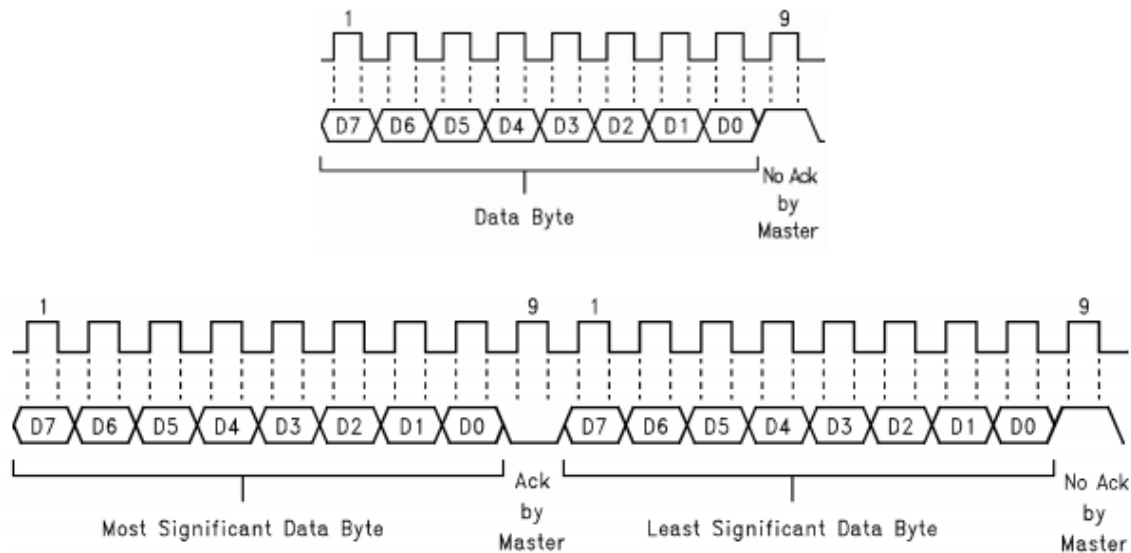
Els valors a les entrades de dades s'han de mantenir mentre 'Ready' valgui 1.



4.2.5.2 Lectura

Depenent del registre al que es dirigeixi el Màster es poden llegir un o dos bytes. En cas de llegir un sol byte, després de rebre l'ACK del byte de l'adreça, es reben els 8 bits de dades als quals els seguirà un NACK conforme el Màster els ha rebut. En cas de dos bytes, després del ACK del primer byte de dades, el seguirà un segon amb el corresponent NACK conforme s'ha rebut.

Les dades a la sortida 'Data_out' seran vàlides quan la sortida 'Data_valid' valgui 1.



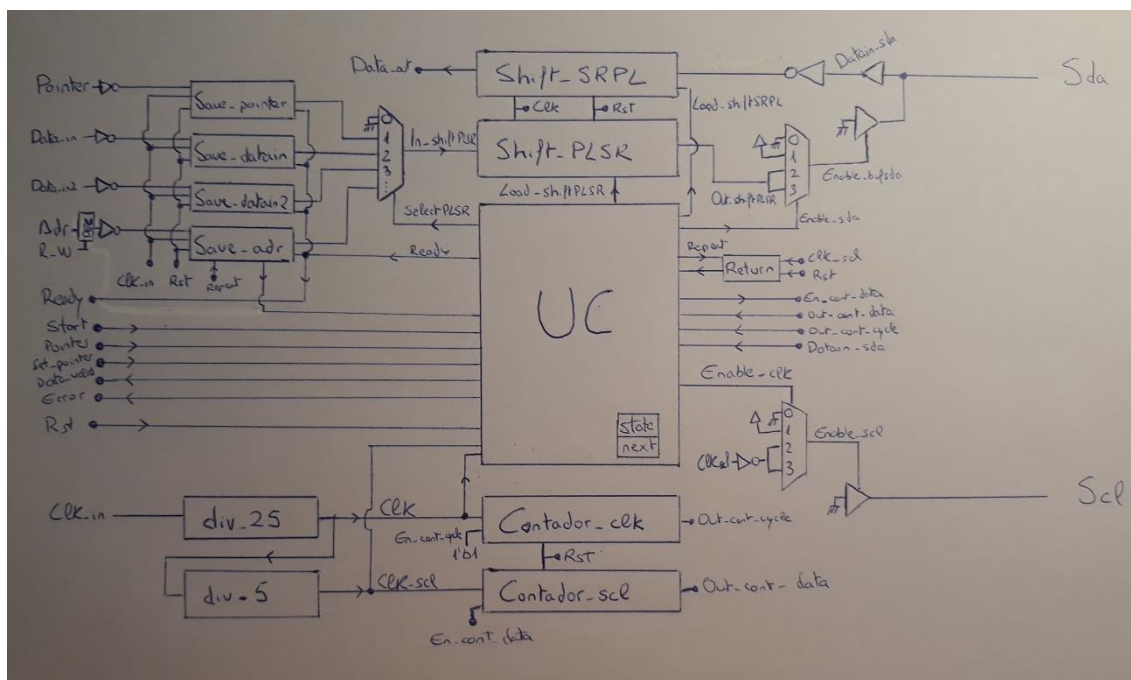
4.2.6 Stop

Com s'ha comentat anteriorment, Sda només canvia quan Scl és 0, i si Sda canvia quan Scl és 1 s'interpreta com un start o un stop. La condició d'stop coincideix amb un posedge mentre Scl és igual a 1.

Un cop es produeixi un 'Stop' la màquina tornarà al estat IDLE, ens informará que ha acabat el procés i està llesta per un altre tot ficant la sortida 'Ready' a 1.



5. Arquitectura



5.1 Divisor de freqüència

En trobem dos: un que divideix per 25 i l'altre per 5. La sortida del primer és el rellotge del Màster (2MHz) i la sortida del segon és el rellotge d'Scl (400KHz). L'entrada del primer és l'entrada de rellotge extern de 50MHz. L'entrada del segon és el rellotge de 2MHz.

5.1.1 Senyals d'entrada i sortida del divisor per 25 (div_25)

Senyal	Bits	I/O	Descripció
Clk_in	1	I	Rellotge de 50MHz introduït externament.
Clk	1	O	Rellotge de 2MHz, controla el Màster.

5.1.2 Senyals d'entrada i sortida del divisor per 5 (div_5)

Senyal	Bits	I/O	Descripció
Clk	1	I	Rellotge de 2MHz, controla el Màster.
Clk_scl	1	O	Rellotge de 400kHz, controla la comunicació.

5.2 Comptador

N'hi ha dos: un que compta fins a 8 i l'altre que compta fins a 5. El primer compta els cicles de rellotge del Scl per saber quan s'ha enviat o rebut el byte de dades. El segon compta els cicles de rellotge del Màster, el qual és 5 cops més ràpid que Scl. Aquest últim indica el moment del període en que es troba la màquina en tot moment; roman sempre actiu.

5.2.1 Senyals d'entrada i sortida del comptador amb Clk (Contador_clk)

Senyal	Bits	I/O	Descripció
En	1	I	Habilita el comptador, actiu per nivell alt
Rst	1	I	Reset asíncron, actiu per nivell baix
Clk	1	I	Relotge que controla el comptador (2MHz)
Out	4	O	Quan arriba a 5, al següent cicle, treu un 1

5.2.1 Senyals d'entrada i sortida del comptador amb Scl (Contador_scl)

Senyal	Bits	I/O	Descripció
En	1	I	Habilita el comptador, actiu per nivell alt
Rst	1	I	Reset asíncron, actiu per nivell baix
Clk	1	I	Relotge que controla el comptador (400KHz)
Out	4	O	Quan arriba a 8, al següent cicle, treu un 1

5.3 Registre de desplaçament paral·lel a sèrie (Shift_PLSR)

Aquest mòdul carrega les dades en paral·lel i les va traient en sèrie. Disposa d'un comptador intern per reiniciar el registre quan toca i carregar l'entrada en el moment oportú.

5.3.1 Senyals d'entrada i sortida

Senyal	Bits	I/O	Descripció
In	8	I	Entrada del registre de desplaçament
Load	1	I	Si = 1, carrega dades. Si = 0, desplaça a l'esquerra
Rst	1	I	Reset asíncron, actiu per nivell baix
Clk	1	I	Relotge que controla el registre de desplaçament (2MHz)
Out	1	O	La primera dada en sortir serà el MSB del byte

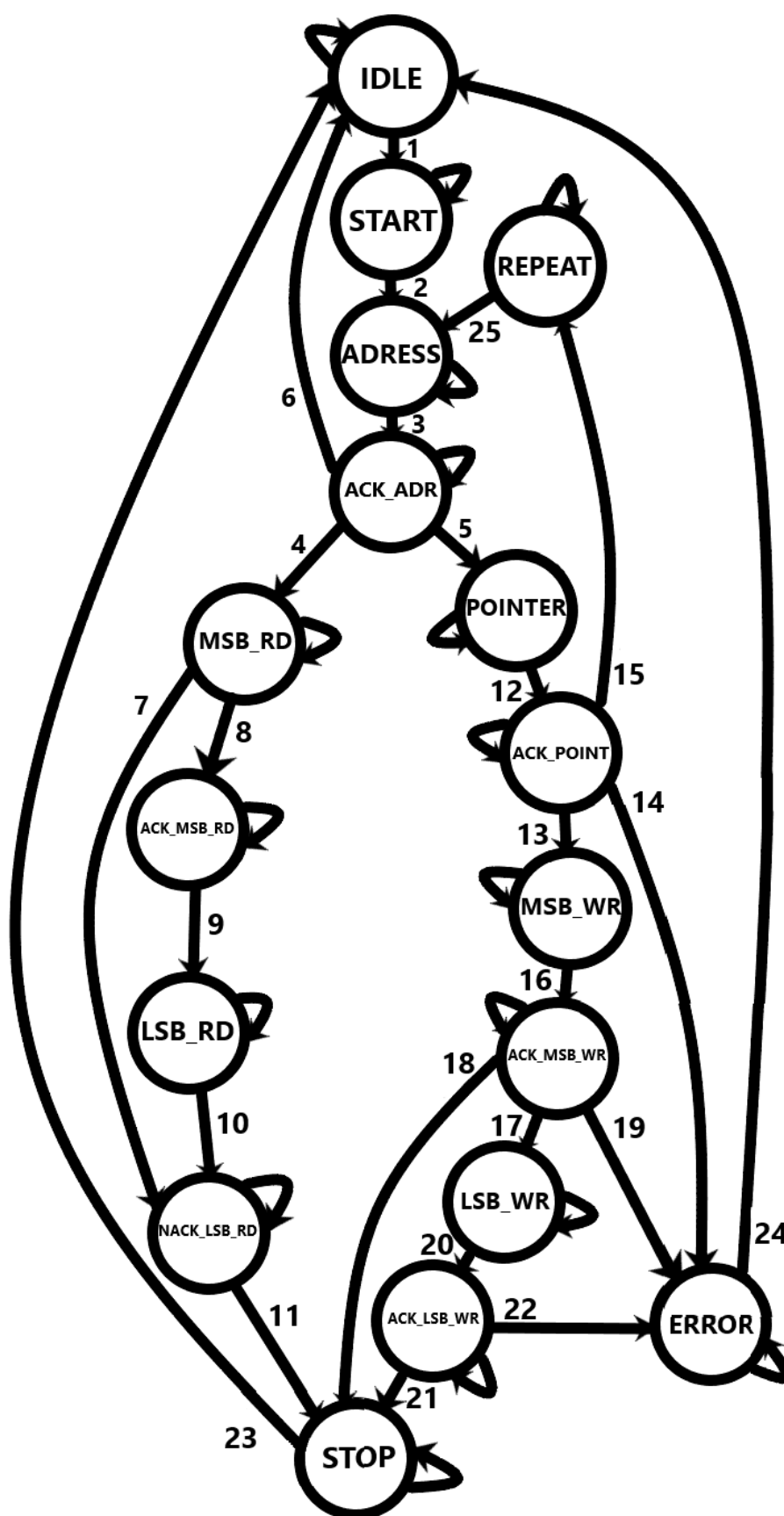
5.4 Registre de desplaçament sèrie a paral·lel (Shift_SRPL)

Aquest mòdul carrega dades en sèrie alhora que les treu en paral·lel.

5.4.1 Senyals d'entrada i sortida

Senyal	Bits	I/O	Descripció
In	1	I	Entrada del registre de desplaçament
Load	1	I	Si = 1, carrega dades. Si = 0, el valor del registre es conserva
Rst	1	I	Relotge que controla el comptador
Clk	1	I	Relotge que controla el registre de desplaçament (2MHz)
Out	8	O	Sortida del registre de desplaçament, treu dades alhora que carrega

5.5 Unitat de control



Codi	Transició	Condicció
1	IDLE → START	Start = 1
2	START → ADRESS	Out_cont_cycle = 1
3	ADRESS → ACK_ADR	Out_cont_data = 8 & Out_cont_cycle = 5
4	ACK_ADR → MSB_RD	Clk_scl = 1 & Datain_sda = 1 & RW = 1
5	ACK_ADR → POINTER	Clk_scl = 1 & Datain_sda = 1 & RW = 0
6	ACK_ADR → IDLE	Clk_scl = 1 & Datain_sda = 0
7	MSB_RD → NACK_LSB_RD	Out_cont_data = 8 & Out_cont_cycle = 1 & Pointer[1:0] = 1
8	MSB_RD → ACK_MSB_RD	Out_cont_data = 8 & Out_cont_cycle = 1 & Pointer[1:0] != 1
9	ACK_MSB_RD → LSB_RD	Out_cont_cycle = 1
10	LSB_RD → NACK_LSB_RD	Out_cont_data = 8 & Out_cont_cycle = 1
11	NACK_LSB_RD → STOP	Out_cont_cycle = 1
12	POINTER → ACK_POINTER	Out_cont_data = 8 && Out_cont_cycle = 5
13	ACK_POINTER → MSB_WR	Clk_scl = 1 & Datain_sda = 0 & Set_pointer = 0
14	ACK_POINTER → ERROR	Clk_scl = 1 & Datain_sda = 1
15	ACK_POINTER → REPEAT	Clk_scl = 1 & Datain_sda = 0 & Set_pointer = 1
16	MSB_WR → ACK_MSB_WR	Out_cont_data = 8 & Out_cont_cycle = 5
17	ACK_MSB_WR → LSB_WR	Clk_scl = 1 & Datain_sda = 0 && Pointer[1] = 1
18	ACK_MSB_WR → STOP	Clk_scl = 1 & Datain_sda = 0 && Pointer[1] = 0
19	ACK_MSB_WR → ERROR	Clk_scl = 1 & Datain_sda = 1
20	LSB_WR → ACK_LSB_WR	Out_cont_data = 8 & Out_cont_cycle = 5
21	ACK_LSB_WR → STOP	Clk_scl = 1 & Datain_sda = 0 & Out_cont_cycle = 3
22	ACK_LSB_WR → ERROR	Clk_scl = 1 & Datain_sda = 1 & Out_cont_cycle = 3
23	STOP → IDLE	Out_cont_cycle = 3
24	ERROR → IDLE	Out_cont_cycle = 5
25	REPEAT → ADRESS	Out_cont_cycle = 3 & Return = 1

5.5.1 Senyals d'entrada i sortida

Nom	Bits	I/O	Descripció
Clk	1	I	Rellojge de 2MHz (controla el Màster)
Clk_scl	1	I	Rellojge de 400kHz (Scl)
Rst	1	I	Reset asíncron
Start	1	I	Indica de manera externa un inici de procés
RW	1	I	Si = 1, es llegirà. Si = 0, s'escriurà.
Datain_sda	1	I	Porta el valor d'Sda
Pointer	8	I	Direcció del registre del Slave amb el que comunicar-se
Set_pointer	1	I	Indica si es vol fixar el valor del registre de Pointer del Slave
Return	1	I	Indica que es vol una repetició de la condició d'start
Repeat	1	O	Avisa que s'està al estat de repetició d'start'
Out_cont_cycle	4	I	Sortida del comptador de cicles del Clk
Out_cont_data	4	I	Sortida del comptador de cicles d'Scl
En_cont_data	1	O	Habilita el comptador de cicle d'Scl
Load_shiftPLSR	1	O	Habilita el registre de desplaçament paral·lel a sèrie
Load_shiftSRPL	1	O	Habilita el registre de desplaçament sèrie a paral·lel
Enable_sda	2	O	Tria el valor del 'enable' del tri-state connectat a Sda
SelectPLSR	3	O	Tria l'entrada del registre de desplaçament paral·lel - sèrie
Enable_clk	2	O	Escull el valor del 'enable' del tri-state connectat a Scl
Ready	1	O	Indica que la màquina està llesta per un nou procés
Data_valid	1	O	Indica si les dades a la sortida són vàlides
Error	1	O	Indica si hi ha hagut un error en el procés