

Bachelor-Thesis

Schaltungsentwicklung und Leiterkartenlayout für
FPGA-Anwendungen für ein CDM/WDM („Code Division
Multiplexing“ / „Wavelength Division Multiplexing“) Sensornetzwerk.

Eingereicht am: 20. September 2021

von: Arne Steffen Alberts
geboren am 24.04.1997
in Pinneberg

Matrikelnummer: 260642

Betreuer: Prof. Dr. Ing. Ingo Müller
Zweitbetreuer: M. Eng. Andreas Wenzel

Aufgabenstellung

ACHTUNG! Nur als Platzhalter!

An dieser Stelle soll später die offizielle Aufgabenstellung (wird vom Prüfungsamt ausgegeben) eingebunden werden.

Kurzreferat

In dieser Bachelorarbeit wird die Entwicklung eines FPGA-Boards auf Basis der Artix-7-Serie der Firma Xilinx dargestellt. Das FPGA-Board wird für einen Einsatz in einem Messaufbau für einem CDM/WDM-Sensornetzwerk entwickelt. Mit Hilfe des FPGA-Boards sollen codierte Signale mit einer Datenraten von 200 Mbit/s erzeugt werden. Damit der FPGA mit anderen Geräten kommunizieren kann, werden verschiedene Schnittstellen implementiert. Neben USB und Ethernet sollen mit Hilfe der GTP-Transceiver des FPGAs Übertragungsraten von bis 6,6 GBit/s erreicht werden. Im Folgendem wird als erstes das Grundkonzept vorgestellt. Anschließend wird das Grundkonzept in eine Schaltung umgewandelt, aus der dann das eigentliche FPGA-Board entwickelt wird.

Abstract

This bachelor thesis present the development of an FPGA board based on the Artix-7 series from Xilinx . The FPGA board is developed to be used in an measurement setup for a CDM/WDM sensor network.The FPGA board generates coded signals with a data rate of 200 Mbit/s. To enable the FPGA to communicate with other devices, various different interfaces are implemented. In addition to USB and Ethernet, the FPGA's GTP transceivers are used to achieve transmission rates of up to 6,6 GBit/s. In the following, the basic concept is presented first. Then the basic concept is converted into a circuit, from which the actual FPGA board is developed.

Inhaltsverzeichnis

1 Einleitung	7
2 Grundaufbau des FPGA-Boards	9
2.1 Spannungsversorgung	10
2.1.1 Eingangsfilter und Schutzschaltung	10
2.1.2 PMIC - Power Management IC	11
2.1.3 18V-Boost-Konverter	11
2.1.4 Sonstiges	12
2.2 FPGA	12
2.2.1 Konfiguration	13
2.2.2 Spannungsversorgung	13
2.2.3 Arbeitsspeicher	14
2.2.4 GTP-Transceiver	14
2.2.5 Sonstiges	15
2.3 200 MBit/s-Ausgangsstufe	15
2.3.1 Treiber	15
2.3.2 Spannungsversorgung	16
2.3.3 Verbindung der optischen Modulatoren mit der Platine	18
2.4 USB-Hub	19
2.5 FTDI	20
2.6 Ethernet-PHY	20
2.7 MSP430	20
2.8 Sonstiges	21
3 Schaltung	22
3.1 Spannungsversorgung	22
3.1.1 Eingangsfilter	22
3.1.2 Schutzschaltung	25
3.1.3 Power-Management-IC	27
3.1.4 18V-Boost-Konverter	29

3.2	FPGA	30
3.2.1	Spannungsversorgung	31
3.2.2	Konfiguration	32
3.3	200 MBit/s-Treiber	32
3.3.1	Spannungsversorgung	33
3.3.2	Treiber-Stufe	38
3.4	Speicher des Boards	39
3.4.1	DDR3-RAM	39
3.4.2	Micro-SD-Karte	40
3.5	USB-Hub	40
3.6	MSP430	41
3.7	Ethernt-PHY	41
4	Layout	42
4.1	Grundlegende Informationen zur Platine	42
4.1.1	Positionierung der Baugruppen	44
4.2	Spannungsversorgung	46
4.3	200 MBit/s-Ausgangsstufe	47
4.3.1	Spannungsversorgung	47
4.3.2	Routing des Hochfrequenz-Signalpfades	47
4.3.3	Anschluss der optischen Modulatoren	49
4.4	FPGA	49
4.4.1	GTP-Leitungen	50
4.4.2	Arbeitsspeicher	51
4.4.3	Sonstiges	52
4.5	Ethernet-Phy und USB-Hub	52
4.6	Sonstiges	53
5	Tests	54
5.1	PMIC - Evaluationsboard	54
5.2	Netzteil	55
5.3	LDO für 200 MBit/s-Ausgangsstufe	57
6	Zusammenfassung und Ausblick	59
Literatur		60
Bildverzeichnis		62

Tabellenverzeichnis	63
Abkürzungsverzeichnis	64
Symbolverzeichnis	65
Anlage A Detailliertes Blockschaltbild	66
Anlage B Kompletter Schaltplan	68
Anlage C Layout	88
Anlage D Technische Zeichnung der Platine	95
Selbstständigkeitserklärung	97

1 Einleitung

Für den Betrieb eines faseroptische Sensornetzwerks sind einige Bauteile nötig, so dass ein hoher technischer Aufwand entsteht. Die wichtigsten Komponenten sind eine Lichtquelle, ein Datengenerator, optische Modulatoren, das optische Netzwerk, ein Spektrometer sowie ein PC zur Auswertung. Im Laufe dieser Arbeit wird ein FPGA-Board entwickelt, welches den Datengenerator ersetzt. Zudem sollen die optischen Modulatoren auf dem FPGA-Board untergebracht werden.

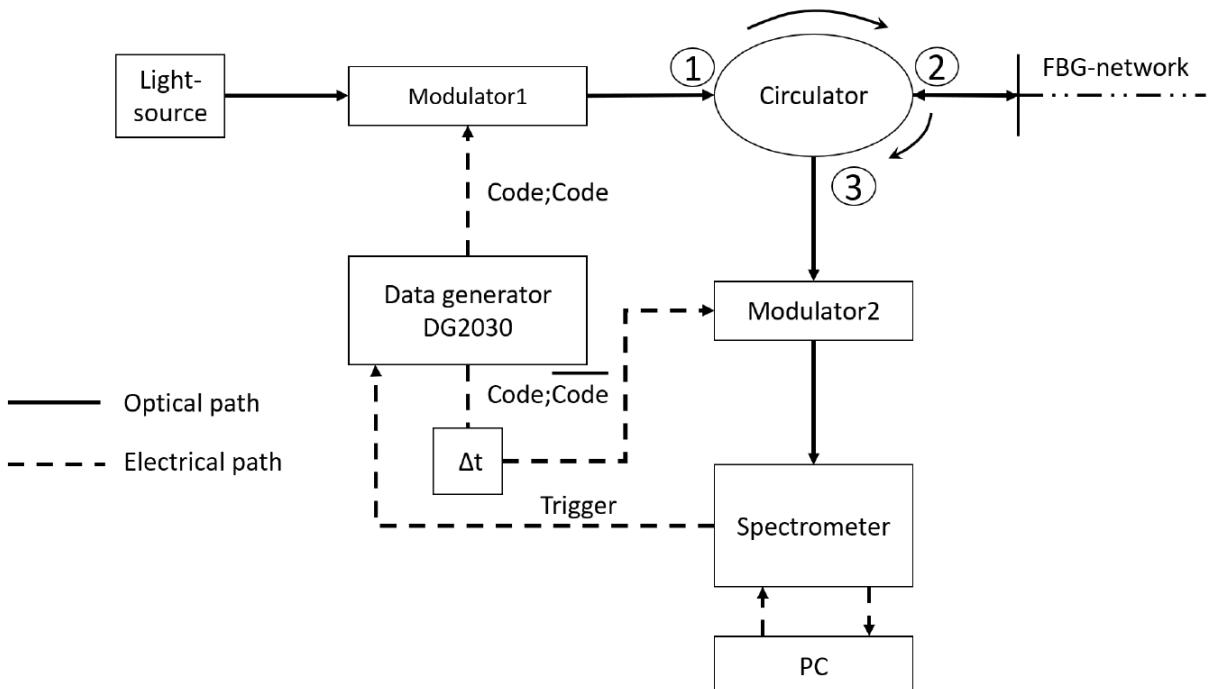


Abbildung 1: Kompakte Darstellung des CDM/WDM-Sensornetzwerkes[1]

Der Grundaufbau des Sensornetzwerks ist in der Abbildung 1 dargestellt. Durch einen Datengenerator (DG2030) wird ein optischer Modulator (Modulator 1) angesteuert, der durch eine Lichtquelle gespeist ein optisches Signal erzeugt. Diese Signal wird in ein *Fibre Bragg Grating*-Netzwerk (FBG) geleitet. Die in den FBG

auftretenden Reflexionen werden durch einen zweiten Modulator von einem Spektrometer aufgenommen. Die benötigten Signale haben eine Datenrate von 200 Mb/s. Der in der Abbildung dargestellte Datengenerator soll durch das FPGA-Board ersetzt werden. Da der FPGA die Modulatoren nicht direkt ansteuern kann, müssen die Signale des FPGAs durch eine Treiberstufe verstärkt werden. Die Treiberschaltung ist bereits vorhanden und soll mit einer passenden Spannungsversorgung auf dem FPGA-Board implementiert werden. Neben der Verwendung als Signalgenerator in faseroptischen Sensornetzwerken soll das FPGA-Board Funktionen für den Lehrbetrieb erhalten. Dafür werden die GTP-Transceiver des verwendeten FPGAs beschaltet. GTP-Transceiver sind Highspeed-Datenschnittstellen mit einer Datenrate von bis zu 6,6 Gb/s. Bei den meisten Development-Boards ist diese Schnittstelle nicht in Benutzung. Um die Schnittstelle nutzen zu können, sollen die Datenleitungen auf passende Buchsen gelegt werden, damit diese zu einem späteren Zeitpunkt getestet werden können.

Ursprünglich sollte in dieser Arbeit auch ein passendes Gehäuse für das FPGA-Board herausgesucht werden. Da sich während der Entwicklung herausgestellt hat, dass das FPGA-Board zusammen mit Komponenten des optischen Aufbaus in ein Gehäuse integriert werden soll, wurde dafür ein 19"-Rackgehäuse mit einer Höheneinheit von eins (1 HE) zur Verfügung gestellt. In dem Gehäuse ist bereits ein kleiner PC und ein passendes PC-Netzteil verbaut. Durch das PC-Netzteil soll das FPGA-Board mit Spannung versorgt werden. Um die Platinen zu befestigen, sind bereits Gewindegelenke verbaut. Die Positionierung der Gewindegelenke ist sehr ungünstig, dies kann aber nicht geändert werden.

2 Grundaufbau des FPGA-Boards

In diesem Kapitel wird zuerst das Gesamtkonzept des FPGA-Boards vorgestellt und anschließend werden die einzelnen Komponenten detailliert beschrieben. Die Hauptkomponente der Platine ist ein FPGA, der die Codergenerierung für die beiden Hochfrequenzausgangsstufen übernimmt. Für die Unterstützung des Datengenerators ist noch ein RISC-V-Mikrocontroller in den FPGA implementiert. Zur Kommunikation steht dem FPGA eine Reihe an peripheren Baugruppen zur Verfügung, dazu zählen eine Ethernet-Schnittstelle und ein USB-Hub. Die Platine wird von einem herkömmlichen PC-Netzteil mit 12 V und 5 V versorgt. Beide Spannungen werden gefiltert und abgesichert. Die benötigten Versorgungsspannungen für den FPGA werden von einem Power Management IC zu Verfügung gestellt. Zur Konfiguration des FPGAs und der Steuerung der Spannungsversorgung beherbergt die Platine noch einen Mikrocontroller. Das folgende Blockschaltbild zeigt den groben Aufbau des Systems. In der Anlage A ist ein detaillierteres Blockschaltbild angefügt.

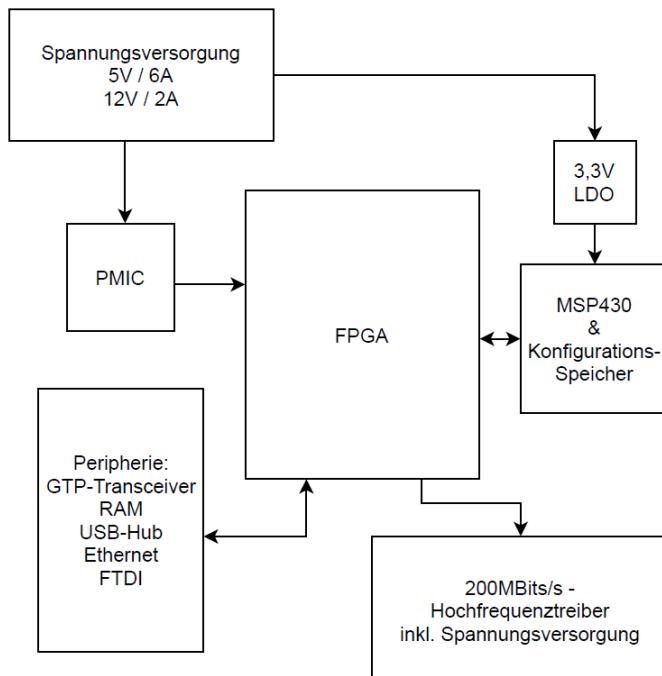


Abbildung 2: Kompaktes Blockschaltbild der Schaltung

2.1 Spannungsversorgung

Die Spannungsversorgung für das System ist komplex und besteht aus mehreren einzelnen Komponenten. Da das System mit einem PC-Netzteil betrieben wird, stehen 5 V und 12 V zur Verfügung. Aus den beiden Spannungen müssen die einzelnen Versorgungsspannungen erzeugt werden.

Die 12 V Schiene wird nicht stark belastet. Die beiden HF-Treiber belasten die 12 V-Schiene zusammen mit ca. 1 A. Da die 12 V noch für den PCIE-Slot verwendet werden, wird Schiene für 2 A ausgelegt. Die 5 V-Schiene wird deutlich mehr belastet. Da diese neben dem FPGA und der Peripherie noch die beiden externen USB-Ports versorgen muss, wird sie für insgesamt 6 A ausgelegt. Die wichtigsten Komponenten der Spannungsversorgung werden im Folgenden erklärt.

2.1.1 Eingangsfilter und Schutzschaltung

Damit das gesamte Board mit einer passenden und möglichst rauschfreien Spannung versorgt wird, bedarf es einiges an Schaltung um die Sicherheit der Schaltung zu gewährleisten. Vor dem Eingangsfilter der beiden Spannungsschienen befindet sich jeweils eine PTC-Sicherung, um die Schaltung bei Kurzschlüssen zu sichern. Die 12 V-Schiene wird mit einer 2,5 A Sicherung und die 5 V mit einer 7 A Sicherung abgesichert.

Da die Spannungen vom Netzteil, je nach Belastung, eine hohe Restwelligkeit haben (siehe Kapitel 5.2), müssen diese noch gefiltert werden. Zuerst sollen mögliche Gleichtaktstörung mit einer Gleichtaktdrossel kompensiert werden. Nach der Gleichtaktfilterung wird die Restwelligkeit mit zwei in Reihe geschalteten Tiefpassfiltern reduziert. Der erste Filter ist ein LC-Glied, das so dimensioniert werden muss, dass die Schalfrequenz vom Netzteil kompensiert wird. Da es sich bei einem LC-Glied um einen Filter 2. Ordnung handelt, hat dieser eine Dämpfung von 40 dB/Dekade. Die entspricht einer Dämpfung um den Faktor 100. Die Grenzfrequenz des Filter sollte so gewählt werden, dass sie um mindestens den Faktor 10 kleiner ist. Dadurch wird gewährleistet, dass die Restwelligkeit ausreichend gedämpft wird.

Die zweite Stufe ist im Prinzip auch ein LC-Glied. Allerdings wird hier statt einer Spule ein Ferrit eingesetzt. Der Filter wird benötigt, um Störungen im niedrigen bis mittleren Megahertzbereich herauszufiltern.

Nach den passiven Filtern folgen die Schutzschaltungen. Um das gesamte Board vor einer Verpolung zu schützen, werden beide Spannungsschienen mit einem diskreten Verpolschutz versehen. Um den Anwender vor undefinierten Zuständen aufgrund von Unterspannungen zu schützen, wird die jeweilige Spannungsschiene getrennt wenn eine bestimmte Schwelle unterschritten ist. Dasselbe passiert auch bei einer zu hohen Spannung, um das Board vor Zerstörung zu schützen.

2.1.2 PMIC - Power Management IC

Um die fünf vom FPGA verlangten Spannungen bereitzustellen, wird eine komplexe Spannungsversorgung benötigt. Für solche Anwendungsfälle gibt es sogenannte Power Management Integrated Circuits (PMIC). In einem PMIC werden mehrere Spannungsregler in einem Gehäuse zusammengefasst, um Platz zu sparen. Zudem wird in der Regel auch das Layout vereinfacht. Im Allgemeinen werden Step-Down-Regler verwendet. Diese bringen gegenüber Linearreglern einen wesentlich höheren Wirkungsgrad und damit eine deutlich verringerte Verlustleistung mit. In einigen PMIC sind trotzdem kleine LDOs integriert, um sehr genaue und rauscharme Spannungen bereitzustellen. Zudem zeichnet sich ein PMIC dadurch aus, dass die Reihenfolge wie die einzelnen Kanäle ein- oder ausgeschaltet werden können angepasst werden kann. Diese Funktion ist wichtig, da viele Schaltkreise eine bestimmte Reihenfolge beim Einschalten der einzelnen Spannungen benötigen. Um den Schaltkreis zu konfigurieren, verfügen diese meistens über eine digitale Schnittstelle in Form eines I²C- oder SPI-Interface. Die Ausgangsspannung wird entweder über eine digitale Schnittstelle oder externe Feedback-Netzwerke eingestellt. Da Step-Down-Regler bzw. Schaltregler mit Buck-Mode topologiebedingt die Eingangsspannung stören, muss diese gefiltert werden, damit nicht andere Schaltungsteile dadurch gestört werden.

2.1.3 18V-Boost-Konverter

Damit die Ausgangsspannung für die beiden Hochfrequenz-Treiber auf die geforderten 15 V eingestellt werden kann, muss ein Boost-Konverter 18 V aus den vorhandenen 12 V erzeugen. Die 18 V werden benötigt, um die Spannungsverluste über den Festspannungsregler der Treiber-Stufe zu kompensieren. Damit die Spannung an den Festspannungsreglern möglichst rauschfrei ist, wird nach dem Schaltregler noch ein Tiefpassfilter, bestehend aus zwei LC-Gliedern, verbaut. Der erste Filter besteht aus einer normalen Spule und einem Elektrolytkondensator und filtert hauptsächlich die

Schaltfrequenzen heraus. Beim zweiten Filter wird ein Ferrit anstatt der Spule eingesetzt. Dadurch werden Störungen im mittleren Megahertzbereich gedämpft. Um die Schaltung und das Layout zu vereinfachen, wird ein fertiges Modul für den Schaltregler verwendet. Mit einem selbst designed Layout erhöht sich die Flexibilität im Gesamtdesign, aber es birgt auch die Gefahr, durch ein nicht perfektes Layout Störungen hervorzurufen, die mit einem fertigen Modul nicht auftreten.

2.1.4 Sonstiges

Damit der MSP430 immer mit Spannung versorgt wird und den PMIC steuern kann, wird dieser durch einen separaten Festspannungsregler versorgt. Dadurch startet der Mikrocontroller mit dem Anlegen einer Versorgungsspannung an der 5 V-Schiene und kann die restlichen Spannungsregler einschalten. Der USB-Hub wird vom selben Spannungsregler versorgt, damit der MSP430 via USB programmiert werden kann.

Die Terminierungswiderstände der Adress- und Kontrollleitungen des DDR3-Rams benötigen die halbe Versorgungsspannung des RAM-Chips. Diese Spannung wird von einem speziellen LDO erzeugt.

Der GTP-Transceiver benötigt neben den vorhanden 1V auch 1,2V für die Spannungsversorgung. Diese werden mit einem LDO aus den vorhandenen 1,8V erzeugt.

Damit beim Testen schnell kontrolliert werden kann das alle benötigten Spannungen anliegen, wurden alle Spannungsausgänge vom PMIC mit LEDs versehen. Zusätzlich haben auch die 18V, 12V, 5V-Schiene und der Festspannungsregler des MSP430 eine LED.

2.2 FPGA

Das Herzstück der Schaltung ist ein FPGA der Firma Xilinx aus der Artix-7-Serie. Diese Serie umfasst viele Bausteine mit unterschiedlicher Ausstattung und Gehäusen. Die verschiedenen Serien unterscheiden sich u.a. an der Anzahl der vorhanden Logikeinheiten. Auch zwischen den unterschiedlichen Gehäuse-Typen gibt es abweichende Ausstattungskonfigurationen. Da in die Schaltung auch eine Highspeed-Datenübertragung mit dem in der FPGA-Serie verbauten GTP-Transceiver implementiert werden soll, beschränkt sich die Wahl der Gehäuse entweder auf das CSG325 oder das FGG484-Package. Beide Gehäuse verfügen über 4 GTP-Channels

[2]. Das CSG325-Package hat maximal 150 und das FGG484-Package 285-I/O Pins. IM CSG325-Package gibt es nur FPGAs der Serie XC7A50T. Diese hat maximal 52.160 Logikzellen. Für die aktuelle Anwendung reicht diese völlig aus. Damit das Board später für größere Anwendungen benutzt werden kann, wird das FGG484-Package verwendet. In diesem Package gibt es bis zu 101.440 Logik-Zellen in der XC7A100T-Serie [3]. Das Package ist mit jeder Serie, egal ob XC7A100T oder XC7A35T, voll pinkompatibel. In der ersten Version soll der XC7A35T verwendet werden.

2.2.1 Konfiguration

Der FPGA hat mehrere Bezugsquellen für die Konfigurations- und Programmier-Daten.

Slave Serial Configuration: In diesem Konfigurations-Modus bezieht der FPGA seine Daten von einem externen Mikrocontroller. Dieser stellt sowohl den Takt als auch den benötigten Bitstream. Der Bitstream kann beispielsweise auf einer SD-Karte oder einem separaten Speicherbaustein gespeichert werden. Die benötigte Be-schaltung wird im User Guide UG470 erklärt.

Master SPI Configuration: In diesem Modus holt sich der FPGA seine Daten von einem externen SPI-Flash-Speicher. Um die Datenraten und damit die Konfigurationsgeschwindigkeit zu maximieren, wird hier ein Quad-SPI-Interface verwendet. Also ein SPI-Interface mit vier statt einer Datenleitung. Damit vervierfacht sich die theoretische Datenrate.

JTAG: Der FPGA kann auch über ein herkömmliches JTAG-Interface konfiguriert werden.

Die verschiedenen Modi werden über den Pegel an den Pins $M0_0$ bis $M2_0$ ausgewählt. Mit diesem Schalter kann mit Hilfe der Tabelle 2-1 im UG470 das gewünschte Konfigurationsinterface ausgewählt werden.

2.2.2 Spannungsversorgung

Bei der Spannungsversorgung für den FPGA müssen einige Dinge beachtet werden. Für den korrekten Betrieb muss eine bestimmte Anzahl an Abblockkondensatoren

für alle Versorgungspins vorhanden sein. Zudem benötigt der Schaltkreis fünf verschiedene Spannungen. Vier davon werden vom Power-Managment-IC bereitgestellt. Die fünfte wird mit Hilfe eines LDOs erzeugt, der wiederum vom PMIC versorgt wird.

2.2.3 Arbeitsspeicher

Damit in späteren Anwendungen temporäre Daten schnell und einfach zwischengespeichert werden können, bekommt der FPGA einen 256 MB großen DDR3-Arbeitsspeicher. Für die Terminierung der Adress- und Steuerleitung wird noch ein LDO benötigt, der die halbe Versorgungsspannung des RAM-Moduls erzeugt.

2.2.4 GTP-Transceiver

Die GTP-Transceiver des FPGA sind Highspeed Datenleitungen mit einer maximalen Übertragungsrate von 6,6 Gb/s. Der FPGA hat vier Sende- und Empfangsleitungen. Beide sind differentiell aufgebaut, um die Störsicherheit zu erhöhen. Die zur Verfügung stehenden Leitungen werden auf zwei Verbinder aufgeteilt. Ein Sende- und Empfangspaar wird zusammen mit einer Taktleitung auf einen PCIE x1-Slot gelegt. Damit können dann Erweiterungskarten mit dem FPGA-Board verbunden werden. Der Steckplatz wird nur als solcher genutzt. Da nicht das gesamte PCIE-Protokoll benutzt wird, können keine herkömmlichen Erweiterungskarten verwendet werden. Der Stecker wird zusätzlich mit einem I^2C -Interface ausgestattet, damit auch ohne die GTP-Transceiver kommuniziert werden kann. Die einsteckbaren Karten werden mit 3,3 V und 12V versorgt.

Als zweiter Highspeed-Anschluss wird eine USB-C-Buchse verwendet. Die USB-C-Buchse wurde ausgesucht, weil sowohl die Buchse als auch die entsprechenden Kabel vier Highspeed-Datenleitungen besitzen. Eine USB 3.0-Buchse verfügt beispielsweise nur über zwei Highspeedleitungen. Eine Highspeedleitung zeichnet sich durch ein separat geschirmtes Adernpaar aus. Bei der Kabelauswahl muss darauf geachtet werden, dass diese USB 3.2 mit 20 Gb/s unterstützen. Da über die USB-C-Buchse kein USB-Protokoll übertragen wird, ist auch die Pinbelegung nicht nach der Spezifikation erfolgt. Deswegen ist der Stecker auch nicht mehr verdreh sicher. Mechanisch kann der Stecker noch in beide Richtungen eingesteckt werden, allerdings ist dann, je nach Richtung, die Verbindung mit den Highspeedleitungen nicht mehr korrekt. Ob das

Kabel richtig eingesteckt wurde, wird durch zwei LEDs an der USB-C-Buchse veranschaulicht. Damit der FPGA auch ohne die Highspeedleitungen mit dem Device kommunizieren kann, führt der Stecker noch einen I²C-Bus mit.

Die Peripherie für beiden Anschlüsse muss selber entwickelt werden, damit sowohl die Pinbelegungen als auch das Kommunikationsprotokoll passen.

2.2.5 Sonstiges

Für die Taktversorgung des FPGAs wird ein herkömmlicher 100MHz-Oszillator eingesetzt.

2.3 200 MBit/s-Ausgangsstufe

Ein wichtiger Punkt dieser Arbeit ist die Entwicklung einer Hochfrequenztreiberstufe mit einer Datenrate von mindestens 200 Mbit/s. Da das System zwei Modulatoren benötigt, muss auch die Treiberstufe zweimal vorhanden sein. Diese Treiberstufen sollen optische Modulatoren vom Typ *IMC-1550-20-PM* der Firma *Optilab* betreiben. Der Treiber besteht aus drei Teilen. Zum einen die eigentliche Verstärkerstufe mit Hochfrequenz-MOSFET und 50 Ω Terminierung. Die Versorgungsspannung der Treiberstufe soll zwischen 7 V und 15 V in mindestens 100mV Schritten einstellbar sein. Der Modulator benötigt noch eine Bias-Spannung, diese soll zwischen 0 V und 5 V einstellbar sein. Um auch andere Modulatoren verwenden zu können, soll die Bias-Spannung auf bis zu 8 V erhöht werden können. Der letzte Punkt ist die Verbindung des Modulators mit der Platine. Dabei müssen zwei wichtige Punkte beachtet werden. Zum einen soll der Platzbedarf möglichst gering sein, außerdem soll der Modulator einfach ausgetauscht werden können.

2.3.1 Treiber

Die eigentliche Treiberstufe besteht aus einem N-Channle-MOSFET, der direkt vom FPGA geschaltet wird. Hinzukommen verschiedene Beschaltungsmöglichkeiten für die Arbeitspunkteinstellung. Die Schaltung der Treiberstufe ist aus der Masterarbeit *Board-Development of a Hybrid CDM/WDM Sensor Network Interrogator* von Martin Greber [4]. Die Erkenntnisse der Masterarbeit sind bei Entwicklung dieser Schaltung mit eingeflossen, um den aufgetretenen Problemen entgegen zu treten und die Signalqualität zu verbessern.

2.3.2 Spannungsversorgung

Da der Ausgang der Treiberstufe mit 50Ω terminiert ist, fließen beim 15 V Versorgungsspannung 300 mA durch die Terminierungswiderstände und den MOSFET. Dieser Strom muss mindestens von der Spannungsversorgung bereitgestellt werden können. Bei einer festen Spannung von 15 V ist ein einfacher Linearregler die beste Lösung. Um die Versorgungsspannung variable einstellen zu können, gibt es verschiedenen Möglichkeiten, die im Folgenden erörtert werden.

Zudem muss die Spannung möglichst rauschfrei sein, damit die Signalqualität nicht beeinträchtigt wird. Bis auf den einstellbaren Schaltregler, benötigen alle anderen Möglichkeiten eine Eingangsspannung von 18 V.

- 1) Einstellbarer Schaltregler
- 2) Einstellbarer Festspannungsregler
- 3) DAC + Signal-OPV + Leistungs-OPV
- 4) DAC + Signal-OPV + Festspannungsregler

Einstellbarer Schaltregler: Wenn es darum geht die Verlustleistung auf ein Minimum zu reduzieren, ist gerade bei einer niedrigen Ausgangsspannung ein Schaltregler die beste Wahl. Bei der Verwendung eines Step-Up-Reglers kann auch auf den 18 V-Boostkonverter (siehe Kapitel 2.1.3) verzichtet werden. Ein Problem bei der Verwendung eines Schaltreglers ist die Restwelligkeit, die bauartbedingt immer höher sein wird, als die eines Linearreglers. Durch Filter kann diese reduziert werden. Allerdings erhöhen diese die Komplexität der Schaltung und das Risiko, dass die Schaltung schwingt. Neben den leitungsgebundenen Störungen kann ein unsauberes Schaltregler-Layout auch die Störausstrahlung deutlich erhöhen. Auch ist das genaue Einstellen der Spannung nicht immer problemlos möglich. Bei vielen Schaltregler wird die Ausgangsspannung mit einem einfachen Spannungsteiler eingestellt. Wenn ein Widerstand durch ein digital einstellbares Potentiometer ersetzt wird, kann damit die Ausgangsspannung angepasst werden. Leider haben die Potentiometer in der Regel nur eine Auflösung von 8-Bit und auch nur einen begrenzten Spannungsbereich. Bei der Verwendung eines Schaltreglers muss die Bias-Spannung separat mit einem eigenen DAC erzeugt und je nach Modell noch zusätzlich verstärkt werden.

Einstellbarer Festspannungsregler: Eine einfache und elegante Lösung ist die Verwendung eines digital einstellbaren Linearreglers. Der FPGA könnte damit einfach eine Ausgangsspannung einstellen, die nahezu frei von Rauschen ist. Leider gibt es nur wenige Modelle, die den benötigten Spannungsbereich abdecken. Ein passendes Modell wäre der *TPS7A4700* von *Texas Instruments*. Bei dem Modell kann die Ausgangsspannung über mehrere digitale Pins eingestellt werden. Die Anforderung, die Spannung in 100 mV Schritten anzupassen erfüllt der Regler auch. Leider gibt es den Spannungsregler nur in einem QFN-32 Package (5x5 mm). Wenn der Regler länger im Betrieb ist, kann es zu Probleme bei der Wärmeabführung kommen, da der Chip nicht direkt gekühlt werden kann. Es gibt Möglichkeiten die Verlustleistung über Kupferflächen und Kühlkörper für DPAK-Gehäuse abzuleiten, allerdings sollte das vorher ausgiebig getestet werden. Auch bei dieser Variante muss die Bias-Spannung separat erzeugt werden.

DAC + Signal-OPV + Leistungs-OPV: Die folgende Lösung ist schaltungstechnisch komplexer als die ersten beiden Möglichkeiten. Dafür können sowohl die Versorgungsspannung als auch die Bias-Spannung damit erzeugt werden. Die Schaltung besteht aus einem Digital-Analog-Konverter, der eine Spannung zwischen 0 und 2,048 V erzeugt. Diese Spannung wird mit einem Signal-Operationsverstärker auf die Zielspannung verstärkt. Bei DACs gibt es viele Modelle, die zwei oder mehr Ausgänge haben, dadurch können mit einem Schaltkreis beide Spannungen erzeugt werden. Auch bei einem Operationsverstärker ist es üblich, mehrere Komponenten in ein Gehäuse zusammen zu fassen. Da ein normaler Operationsverstärker nicht die 50Ω der Treiberstufe treiben kann, muss der Strom mit einem Leistungs-OPV entsprechend verstärkt werden. Auch bei den Leistungs-OPVs ist das Abführen der Verlustleistung ein Problem, da diese in der Regel SMD-Gehäuse haben. Zudem sind die Bauteile im Verhältnis zu normalen Linearreglern sehr teuer.

DAC + Signal-OPV + Festspannungsregler: Die letzte Möglichkeit die benötigten Spannungen zu erzeugen, ist ähnlich aufgebaut wie die vorherige Möglichkeit. Allerdings wird der Leistungs-OPV durch einen herkömmlichen Linearregler ausgetauscht. Der Operationsverstärker wird an den Massepin des Spannungsregler angeschlossen. Durch Erhöhung der Spannung wird das Potenzial am Massepin des Reglers angehoben, wodurch wiederum die Ausgangsspannung steigt. Da ein herkömmlicher Linearregler verwendet werden kann, können folgenden Vorteile genutzt werden. Die meisten Spannungsregler benutzen eine TO-220-Package, wofür es viele Kühlkörper gibt. Dadurch kann die Verlustleistung optimal abgeführt werden. Zudem sind Linearregler für wenig Geld zu haben. Die Bias-Spannung wird hier mit

demselben DAC und OPV erzeugt. Da dieses Schaltungsprinzip nicht so oft verwendet wird, muss vor dem Einbau das Prinzip getestet werden. Die Ergebnisse der Test können im Kapitel 5.3 nachgelesen werden.

Auswahl und Lösung: Für die Spannungsversorgung des HF-Treibers wird die Möglichkeit 4 verwendet. Die Hauptargumente sind u.a. die geringen Kosten, das Verwenden von einfachen Standardbauteilen, sowie die gute Kühlmöglichkeiten durch das TO-220 Gehäuse. Zudem kann die Steuerspannung für den Festspannungsregler, sowie die Bias-Spannung in einem DAC erzeugt werden.

2.3.3 Verbindung der optischen Modulatoren mit der Platine

Ein wichtiger Aspekt für die Platinenentwicklung ist die Verbindung der Modulatoren mit der Platine. Bei der Verbindung muss darauf geachtet werden, dass die Leitungslänge zwischen Modulator und Treiberstufe möglichst klein ist. Die Anzahl an Adapters und Winkelstücken soll minimiert werden. Zudem soll der Modulator leicht von der Schaltung entfernt werden können. Mit 65x11,4x5 mm (LxBxH) benötigt der Modulator, je nach Positionierung, eine Menge Platz auf der Platine. Bei der Positionierung müssen auch die Lichtwellenleiter, die an beiden Seiten der Modulatoren herausragen, beachtet werden. Diese haben einen maximalen Biegeradius von 3 cm. Das schränkt die Positionierung ein.

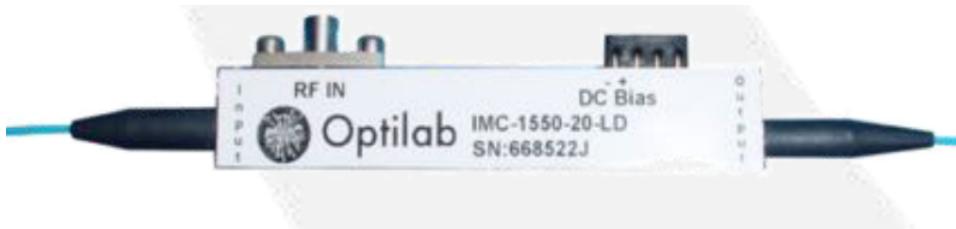


Abbildung 3: Optische Modulator IMC-1550-20 von Optilab

Die folgenden Möglichkeiten stehen zur Verfügung.

- 1) Modulatoren neben Platine platzieren und per Kabel verbinden
- 2) Modulatoren hochkant auf die Platine stecken

Punkt 1: Die einfachste und flexibelste Möglichkeit die Modulatoren mit der Platine zu verbinden ist, die Modulatoren frei im Gehäuse zu platzieren und über Kabel

den Kontakt zur Platine herstellen. Dadurch kann auch das Layout der Treiber-Schaltungen frei auf der Platine platziert werden. Allerdings können durch die Kabel Signalverluste und Reflexionen entstehen.

Punkt 2: Eine zweite Möglichkeit besteht darin, die Modulatoren senkrecht auf die Platine zu stecken. Dabei wird der HF-Eingang des Modulators über einen kurzen Adapter mit einer Buchse auf der Platine verbunden. Die Bias-Anschlüsse werden an eine kleine Adapterplatine gelötet und dann auf ein gewinkelte Stiftleisten geführt. Die Platine ist so designt, das die Stiftleiste in der Mitte des Modulators positioniert sind. Die Stiftleiste wird in eine spezielle, auf der Rückseite der Platine eingelötete Buchse gesteckt. Die Adapterplatine wird für eine optimale Befestigung mit dem Modulator verschraubt.

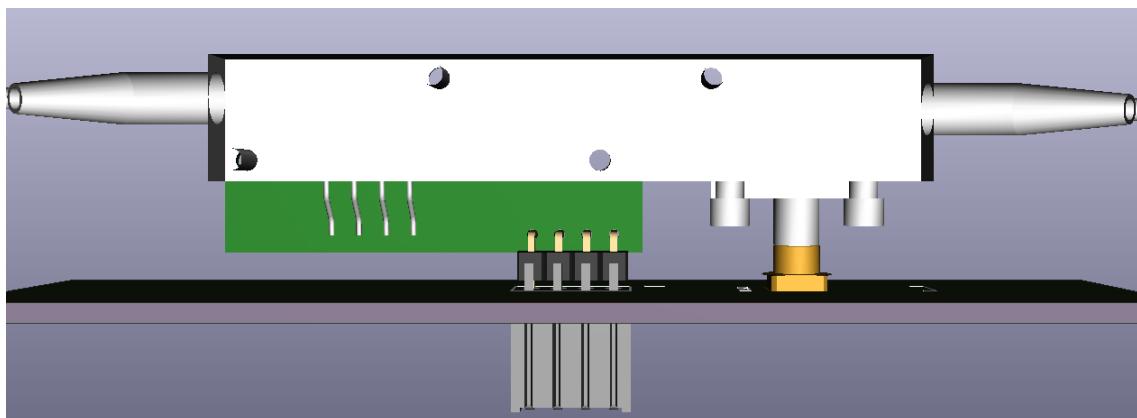


Abbildung 4: 3D-Darstellung der Verbindungsart mit Modulator

Durch die senkrechte Montage benötigen die Modulatoren nur wenig Platz auf der Platine und können sofort entfernt werden. Bei dieser Variante kann der Modulator, wenn es nötig ist, auch über Kabel mit der Platine verbunden werden. Deswegen wird diese Variante favorisiert.

2.4 USB-Hub

Sowohl der MSP430 als auch der FTDI für die Kommunikation mit der RISC-V-MCU werden über USB angesprochen. Damit für die Verbindung mit einem PC nur ein USB-Kabel benötigt wird, werden die beiden Schaltkreise mit einem USB-Hub verbunden. Zusätzlich werden zwei weitere USB-Anschlüsse auf eine doppelte USB-Buchse gelegt. Das ermöglicht noch weitere Geräte, die zum Aufbau gehören mit

dem Host-PC zu verbinden. Neben den standardisierten Buchsen wird jede USB-Leitung auf eine 2mm-Stiftleiste gelegt. Damit können USB-Geräte, die sich im selben Gehäuse befinden, direkt verbunden werden.

2.5 FTDI

Damit der interne RISC-V-Prozessor mit der Außenwelt kommunizieren kann, wird dieser über ein UART-Interface mit einem FT2232H verbunden. Um den RISC-V zu programmieren, stellt der FTDI-Chip auch noch ein JTAG-Interface bereit. Der Chip kann über den USB-Hub mit einem Computer verbunden werden.

2.6 Ethernet-PHY

Damit der FPGA auch über ein Ethernet-Netzwerk kommunizieren kann, wird mit Hilfe eines MII-Interface eine sogenannte Ethernet-PHY angeschlossen. *PHY* ist eine Abkürzung vom *Physical Layer* des OSI-Modells. Das MII-Interface ist dabei eine Brücke zwischen den Layer 2 (Data Link Layer/Sicherungsschicht) und dem Layer 1 (Physical Layer/Bitübertragungsschicht), damit das Übertragungsmedium frei gewählt werden kann. Mit Hilfe des MII-Interface können die Daten so über verschiedene Medien übertragen werden (Twist-Pair-Kabel, LWL, Funk). Für diese Schaltung wird eine herkömmliche kabelgebundene Twisted-Pair Ethernetverbindung verwendet. Als maximale Übertragungsgeschwindigkeit reichen 100 MBit/s, das heißt, dass die verwendete Ethernet-Phy 100Base-T unterstützen muss.

2.7 MSP430

Für das Einstellen des PMICs und der Spannungsüberwachung wird zusätzlich zum FPGA noch ein Mikrocontroller der MSP430-Familie in die Schaltung integriert. Zusätzlich kann der Mikrocontroller auch für die Konfiguration des FPGAs benutzt werden. Der MSP430 kann entweder über die "Spy-By-Wire"-Schnittstelle oder über die USB-Schnittstelle mit Hilfe eines Bootloaders programmiert werden.

2.8 Sonstiges

Zusätzlich zu den bisher vorgestellten Hauptkomponenten ist das Board mit mehreren kleineren Features ausgestattet. Für die Belüftung des Gehäuses stellt das Board einen normalen 4-Pin-PWM-Lüfteranschluss, wie er in handelsüblichen PCs verwendet wird, bereit. Damit können 12 V Lüfter mit einer maximalen Stromaufnahme von 200mA betrieben werden. Die Limitierung kommt durch einen MOSFET in der Spannungsversorgung, der es ermöglicht auch Nicht-PWM-Lüfter über eine PWM mit der Spannungsversorgung zu regulieren.

Damit an das Board noch zusätzliche Peripherie angeschlossen werden kann, besitzt das Board vier PMOD™-Anschlüsse. Damit können verschiedene Sensoren, Aktoren oder auch Displays an das Board angeschlossen werden. Jeder PMOD-Anschluss hat sechs Datenleitungen, die über den FPGA frei konfigurierbar sind. Der Benutzer kann in seinem Programm entscheiden, wie er die einzelnen Pins benutzen möchte. Die Geräte werden über eine 3,3 V-Schiene mit Strom versorgt. Zwei von den PMOD-Anschläßen sollen für ein Userinterface benutzt werden. Für das Userinterface wird auch noch eine 4-Pinleiste bereitgestellt, die I²C-Bus vom MSP430 führt. Zusätzlich verfügt die Pinleiste noch über einen 5 V Anschluss.

3 Schaltung

Nach dem im Kapitel 2 die einzelnen Bestandteile der Schaltung erklärt wurden, werden im folgendem Kapitel die eigentlichen Schaltungsteile vorgestellt. Zusätzlich wird bei einigen Schaltungsteilen rechnerisch und mit Hilfe von Simulationen die Schaltung dimensioniert. Für die Simulation wird das SPICE-Programm *LTspice* (V 17.0.30.0) benutzt. Zur Erstellung des Schaltplans kommt die Open Source Software *KiCAD* (V 5.1.10) zum Einsatz. Der gesamte Schaltplan ist im Anhang B eingefügt.

3.1 Spannungsversorgung

Die 5 V-Schiene wurde für einen maximalen Strom von 6 A ausgelegt, die 12 V-Schiene für 2 A.

Die folgenden Tabelle listetet die maximalen Werte der wichtigsten Stromverbraucher auf. Die Spalte "Spannung" gibt die belastete Schiene an.

Verbraucher	Spannung	Strom	Info
HF-Out	12V	1 A	beide Treiber
PCIE-Slot	12V	1 A	
USB-Buchse	5 V	1,5 A	500 mA pro Buchse (2x A, 1x C)
PMIC	5 V	3,6 A	maximale Belastung aller Ausgänge; $\eta : 80\%$
3,3 V-LDO	5 V	100 mA	max. Strom für MSP430 und USB-Hub

Tabelle 1: Maximale Stromaufnahme der wichtigsten Komponenten

3.1.1 Eingangsfilter

Die Eingangsschaltung für beide Spannungsschienen ist identisch. Beide Schienen werden mit einer PTC-Sicherung abgesichert, der maximale Strom für die 5V-Schiene liegt bei 7A und bei der 12V-Schiene bei 2,5A. Nach der Sicherung wer-

den Gleichtaktstörungen durch eine Gleichtaktdrossel der Firma Würth-Elektronik heraus gefiltert. Danach folgen die beiden LC-Glieder.

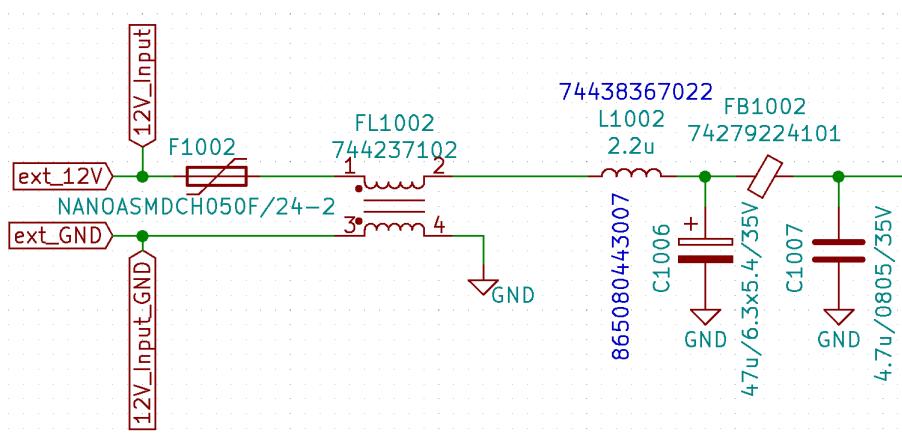


Abbildung 5: EingangsfILTER

Wie im Unterkapitel 5.2 beschrieben hat das Netzteil eine Schaltfrequenz von 400 kHz. Damit die Restwelligkeit ausreichend reduziert wird, sollte die Grenzfrequenz des Filters mindestens eine Dekade unter der Schaltfrequenz liegen. Die Restwelligkeit soll hauptsächlich durch das LC-Glied, bestehend aus $L1002$ und $C1006$, gedämpft werden. Da es sich um einen Filter zweiter Ordnung handelt, beträgt die Dämpfung 40 dB/Dekade. Die Grenzfrequenz eines LC-Gliedes wird mit der Formel 3.1 berechnet.

$$f_g = \frac{1}{2 \cdot \pi \cdot \sqrt{L_f \cdot C_f}} \quad (3.1)$$

Bei der Dimensionierung von Spulen muss darauf geachtet werden, wie sich die Induktivität zusammen mit dem Sättigungsstrom und der Gehäusegröße verhält. Da die Induktivität einer Spule unter anderem von der Windungszahl abhängt, die wiederum die Gehäusegröße bestimmt, muss überlegt werden, wie die gewünschte Grenzfrequenz erreicht wird. Ein guter Kompromiss zwischen Gehäusegröße und Induktivität hat sich bei $2,2 \mu\text{H}$ ergeben. In der Tabelle 2 sind verschiedene Kapazitäten mit den entsprechenden Grenzfrequenzen aufgelistet.

Kapazität	Grenzfrequenz
25 μF	21,46 kHz
33 μF	18,68 kHz
47 μF	15,65 kHz
100 μF	10,73 kHz

Tabelle 2: Grenzfrequenzen bei verschiedenen Kapazitäten

Um die Dämpfung in den höheren Frequenzbereichen zu verbessern, wird hinter dem LC-Glied noch ein Ferrit mit kleinem Kondensator geschaltet. Die Dimensionierung der Ferrit-Schaltung wurde aus Application Note ANP049 der Firma Würth Elektronik übernommen [5]. In der Abbildung 6 ist der simulierte Frequenzgang des Filters dargestellt. Der blaue Graph stellt das alleinstehende LC-Glied da. Der Frequenzgang des gesamten Filters ist der rote Graph.

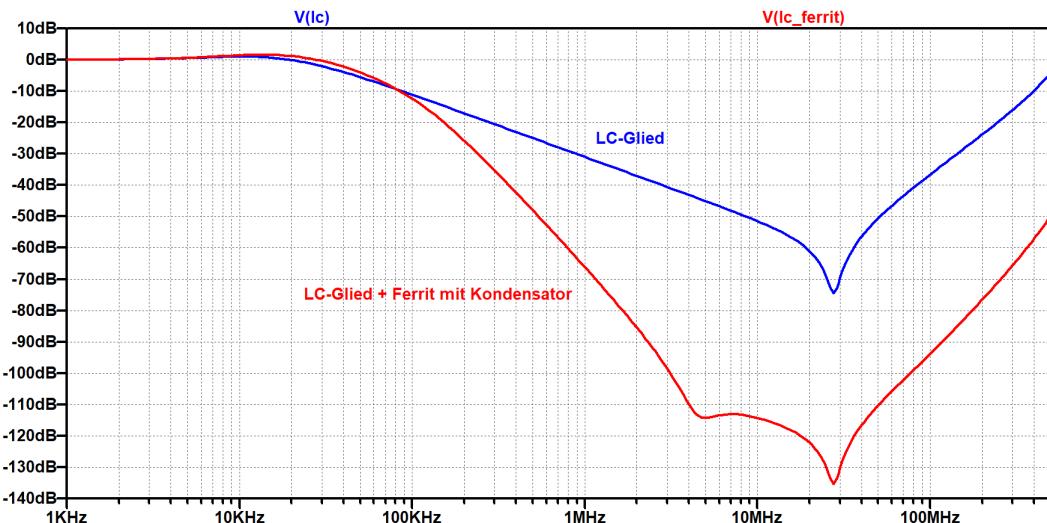


Abbildung 6: Simulation des Eingangsfilters

Die Restwelligkeit des Netzteils sollte nach dem Filter um ca. 40 dB reduziert sein. Dadurch sinkt die Spannung V_{pp} von beispielsweise 500 V auf 5 mV ab. Die theoretische Dämpfung ist perfekt. Ob der Filter in der Praxis genauso gut arbeitet müssen Tests zeigen.

Die Simulation wurde mit den Modellen der auch in der Schaltung eingesetzten Bauteile durchgeführt. Bis auf das Modell des 47 μF -Kondensator sind alle Simula-

tionsmodelle in der Software vorhanden. Das Modell des Kondensators wurde von der Produktseite des Herstellers heruntergeladen [6].

3.1.2 Schutzschaltung

Um das Board vor Verpolungen und Über-/Unterspannungen zu schützen, werden beide Spannungseingänge mit einer identischen Schaltung abgesichert. Im ersten Teil wird der Verpolschutz mit einem P-MOSFET realisiert. Im zweiten Teil wird mithilfe eines TL431 und einen zweiten P-MOSFET der Über-/Unterspannungsschutz realisiert. In beiden Schaltungen werden P-Channel-FETs verwendet, damit die Spannung getrennt wird. P-Channel-FETs haben im Gegensatz zu N-Channel-MOSFETs einen höheren R_{DSon} . Allerdings kann mit einem N-Channel-Mosfet ohne separaten Gate-Treiber nur die Masse getrennt werden und nicht die eigentliche Betriebsspannung.

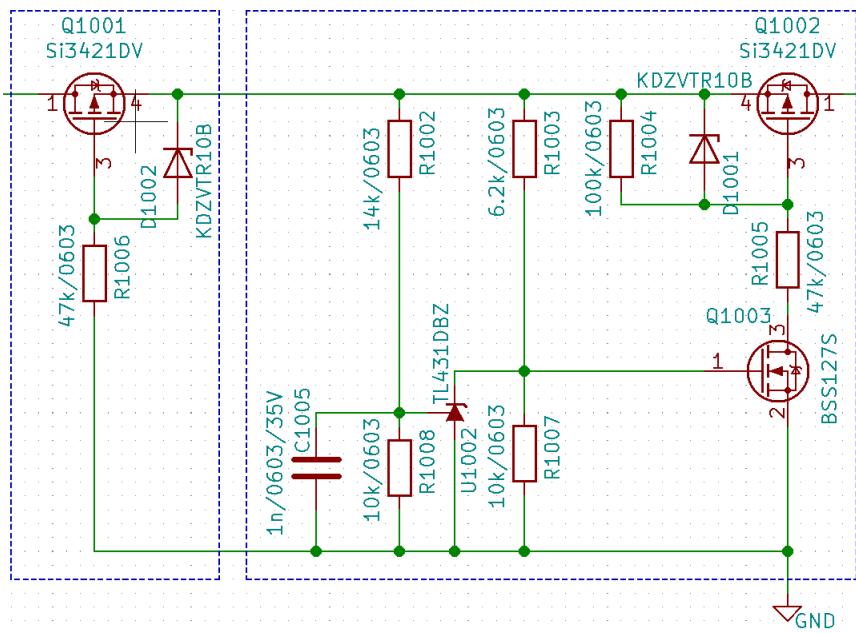


Abbildung 7: Verpolschutz- und Über bzw. Unterspannungsschutzschaltung

Im linken Teil der Abbildung 7 ist der Verpolschutz dargestellt. In dieser Schaltung wird die Bulk-Diode des Transistors benutzt, um den MOSFET bei korrekt angelegter Spannung durchzuschalten. Wenn die Spannung korrekt eingelegt ist, leitet die Bulk-Diode. Dadurch erhöht sich die Source-Spannung. Wenn die Source-Spannung höhere als die Gate-Spannung ist, beginnt der Transistor zu leiten. Als Transistor

wurde der *Si3421DV* der Firma Vishay ausgewählt. Dieser P-Channel-MOSFET hat eine maximale Drain-Source-Spannung von -30 V und eine maximale Gate-Source-Spannung von +- 20 V. Das Modell benötigt eine geringe Gate-Source-Spannung von ca. 4,5 V um durchzuschalten. Dadurch kann er ohne Treiber direkt in der 5V-Schiene eingesetzt werden [7]. Damit der Transistor nicht zerstört wird, wenn beispielsweise 24V statt 12V angelegt werden, wird das Gate durch eine Zener-Diode geschützt. Dadurch wird die maximale Gate-Source-Spannung auf 10V begrenzt.

Der Unter-/Überspannungsschutz wird mit einem TL431 realisiert. Der TL431 ist ein einstellbarer Shunt-Regler der über einen Referenz-Pin gesteuert wird. Mithilfe dieses Bausteins kann eine einfache Spannungsüberwachung erstellt werden. Der Spannungsteiler A bestehend, aus den Widerständen $R1003$ und $R1007$ (siehe Abbildung 7), stellt die untere Spannungsschwelle ein, der Spannungsteiler B bestehend aus $R1002$ und $R1008$ die obere Spannungsschwelle. Der N-Channel-MOSFET $Q1003$ dient als Treiberstufe für den P-MOS $Q1002$. Dieser ist vom selben Typ wie der Transistor der Verpolschutz-Schaltung. Auch schützt eine Diode das Gate vor zu hohen Spannungen.

Die Schwellen werden mit der Formel 3.2 berechnet [8]. Der Widerstand $R1$ ist dabei der obere Widerstand des Spannungsteilers und $R2$ der untere.

$$U_{Limit} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{ref} \quad (3.2)$$

	12 V-Schiene		5 V-Schiene	
Untere Schwelle	10 V	30 kOhm	4 V	6,2 kOhm
Obere Schwelle	14,25 V	47 kOhm	6 V	14 kOhm

Tabelle 3: Grenzfrequenzen bei verschiedenen Kapazitäten

Die Schaltung funktioniert folgendermaßen: Die Spannung des Spannungsteilers A steigt solange an, bis der MOSFET $Q1003$ durchschaltet, wodurch dann der MOSFET $Q1002$ leitend wird. Steigt die Eingangsspannung weiter an, steigt die Spannung am Referenz-Pin des TL431 an. Gleichzeitig erhöht sich der Strom durch den Shunt-Regler. Ab einem gewissen Punkt schaltet der TL431 durch, dadurch sinkt die Gate-Source-Spannung des Transistor $Q1003$ und dieser sperrt wieder. wodurch auch der Transistor $Q1002$ nicht mehr leitet. Der Kondensator $C1005$ schützt die

Schaltung bei kurzen Spannungspeaks bzw. -Einbrüchen vor ungewollten Schaltvorgängen. In der Abbildung 8 wird das Verhalten grafisch dargestellt.

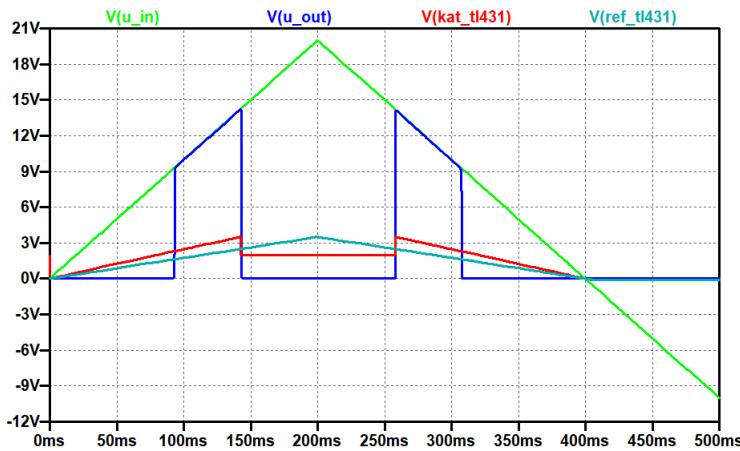


Abbildung 8: Simulation des Verpolschutz- und Über und Unterspannungsschutzschaltung

Falls die Schutzschaltungen nicht benutzt werden sollen, können diese mit einem $0\text{-}\Omega$ Widerstand überbrückt werden.

3.1.3 Power-Managment-IC

Für die Spannungsversorgung des FPGA wird ein Power-Management-IC der Firma *MaxLinear* verwendet. Der *MXL7704-XQB* wird unter anderem beim Einplatinencomputer *Raspberry Pi 4* eingesetzt. Der Chip hat 4 Buck-Ausgänge und einen LDO. Die Ausgangsspannungen können über ein I²C-Interface eingestellt werden. Zudem kann darüber auch die Power-Up bzw. Power-Down-Sequenz angepasst werden. Diese Funktionalität ist sehr wichtig, da die Sequenzen je nach verwendetem Prozessor oder FPGA variieren können. Programmiert wird der *MXL7704* vom MSP430. Leider kann der PMIC seine Daten nicht speichern und muss beim Einschalten immer wieder neu programmiert werden. Durch den MSP430 ist das kein Problem. Von dem Chip gibt es noch eine Version mit der Endung *AQB*. Die beiden Versionen unterscheiden sich in der vor eingestellten Schaltfrequenz und Ausgangsspannungen der Buck-Regler. Die X-version schaltet mit 1,5 MHz, die A-Version mit 1 MHz,

Die vier Buck-Ausgänge unterscheiden sich neben maximalen Strom auch im einstellbaren Spannungsbereich. Die folgende Tabelle gibt Aufschluss über den maximalen Strom, den Spannungsbereich und für welche Spannung der jeweilige Kanal benutzt wird.

Buck-Ausgang	Strom	Spannungsbereich	Ausgangsspannung
1	1,5 A	3,0 V - 3,6 V	3,3 V
2	1,5 A	1,3 V - 1,92 V	1,8 V
3	2,5 A	0,8 V - 1,6 V	1,35 V
4	4,0 A	0,6 V - 1,4 V	1,0 V

Tabelle 4: Technische Daten zu den einzelnen Buck-Kanälen des PMICs [9]

Die Dimensionierung der Spulen und Ausgangskapazitäten erfolgt nach der Empfehlung des Datenblattes. Diese stehen in der Tabelle 8 *MXL7704-XQB Recommended L and COUT* des Datenblattes [9]. Die Spulen wurden Anhand der Induktivität und des Sättigungsstroms ausgewählt. Aufgrund von Lieferschwierigkeiten sind diese von unterschiedlichen Herstellern. Die Tabelle beinhaltet die für die jeweiligen Buck-Regler verwendeten Induktivitäten. Die Sättigungströme der Induktivitäten sind deutlich überdimensioniert, allerdings schadet das der Schaltung nicht. Dadurch haben die Spulen einen kleineren Gleichstromwiderstand.

Buck-Ausgang	Induktivität	Sättigungsstrom	Typ
1	2,2 µH	7,5 A	74438367022
2	2,2 µH	7,5 A	74438367022
3	1,0 µH	9,0 A	XEL4030-102
4	0,47 µH	15.5 A	XEL4030-471

Tabelle 5: Induktivitäten der einzelnen Buck-Kanäle

Um eventuell auftretende Störungen in der 5 V-Schiene, die durch den PMIC verursacht werden zu verhindern, bekommt dieser einen Eingangsfilter. Der Filter besteht aus einem LC-Glied, wie beim Eingangsfilter in Kapitel 3.1.1. Der Filter ist so geschaltet, dass er Störungen die vom PMIC ausgehen, filtert. Die Schaltung ist in der Abbildung 9 dargestellt.

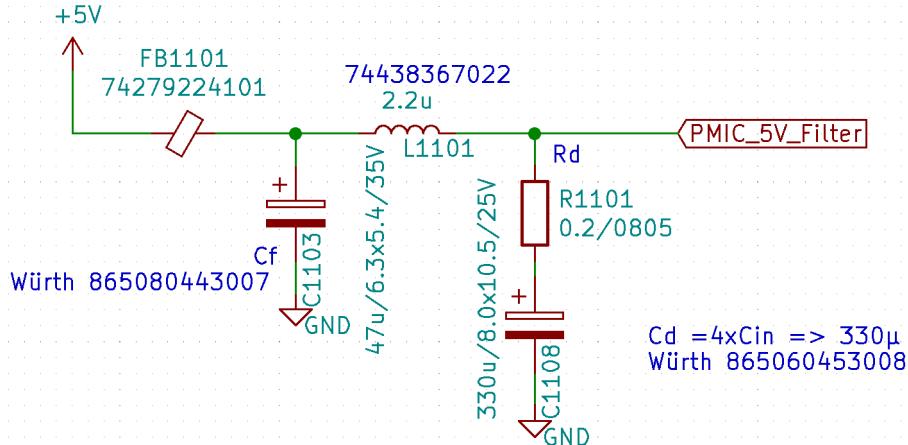


Abbildung 9: Eingangsfilter des Power-Management-IC

Der Kondensator 1108 dämpft das LC-Glied, damit dieses nicht anfängt zu schwingen.

Da der PMIC bei jedem Einschalten neu programmiert werden muss, wird dieser mit Hilfe von Pull-Down-Widerständen an den *SEQ_EN*- und *GLOBAL_EN*-Pins im inaktiven Zustand gehalten. Wenn der Pin *GLOBAL_EN* auf High geschaltet wird, kann der Chip programmiert werden. Nachdem die benötigten Einstellungen geschrieben wurden, wird die Power-Up-Sequenz mit dem *SEQ_EN*-Pin gestartet.

3.1.4 18V-Boost-Konverter

Um die 18 V für Hochfrequenztreiber zu erzeugen, wurde auf ein Boost-Konverter-Modul der Firma ABB zugegriffen. Der *ABX002A3* hat eine maximal Ausgangsleistung von 65 W. Die Leistung des Moduls ist für die Anwendung überdimensioniert, allerdings ist die Auswahl an fertigen Modulen sehr beschränkt. Die Ausgangsspannung des Reglers wird über einen Trim-Widerstand eingestellt. Der Wert des Widerstandes wird vom Datenblatt vorgegeben. Um die Ausgangsspannung zu stabilisieren und die Sprungantwort zu verbessern, ist ein R-C-Netzwerk zwischen der Ausgangsspannung und den Trim-Widerstand eingefügt. Die Dimensionierung hängt von der Ausgangsspannung ab. Leider sind im Datenblatt keine Angabe zur Berechnung des Netzwerkes gegeben. Deswegen wurde die Dimensionierung für eine Ausgangsspannung von 16 V mit einem Strom-Delta von 2 A gewählt. Das PGOOD-Signal des Moduls wird mit den MSP430 verbunden, damit dieser kontrollieren kann, ob die

Ausgangsspannung korrekt vorhanden ist. Der Enable-Pin des Spannungsreglers ist fest mit Masse verbunden, deswegen ist der Regler immer eingeschaltet.

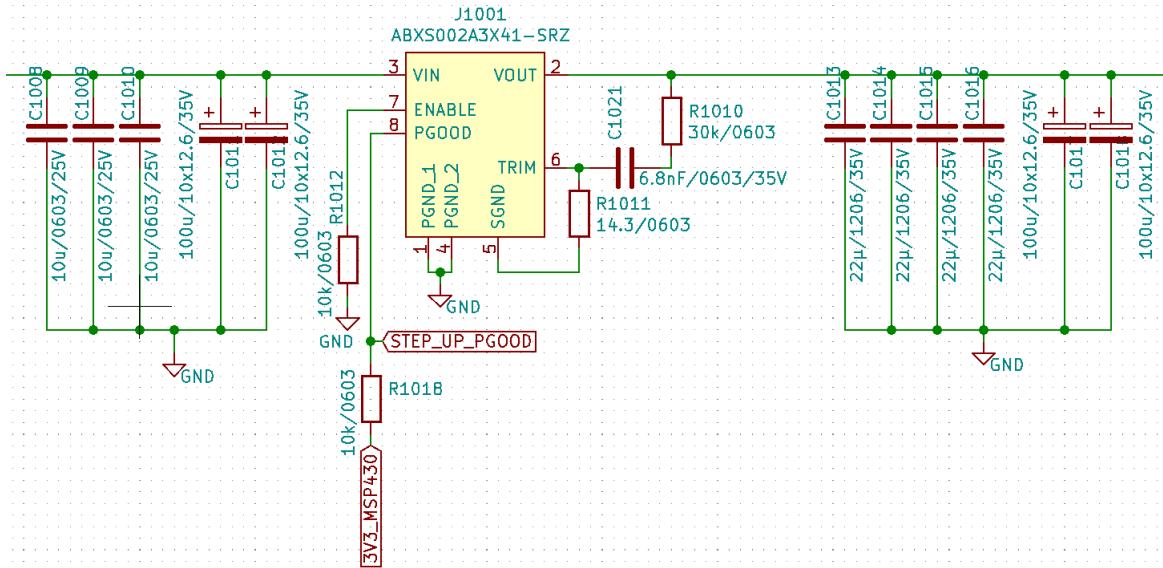


Abbildung 10: Schaltung des Boost-Konverters

In der Abbildung 10 ist die Schaltung des Spannungsreglers dargestellt. Auffällig ist hohe Ein- bzw. Ausgangskapazität. Diese wird benötigt, um die Ripple-Spannung so klein wie möglich zu halten. Um die Ausgangsspannung weiter zu glätten, wird diese nochmals gefiltert. Der Filter ist wie die Eingansfilter im Kaptiel 3.1.1 aufgebaut und dimensioniert. Die Schaltfrequenz des Moduls liegt zwar mit 322 kHz unter den 400 kHz des Netzteils, allerdings ist die erwartetet Restwelligkeit des Moduls nicht so hoch wie die des Netzteils. [10]

3.2 FPGA

Schaltungstechnisch verhält sich der FPGA ähnlich wie einen Mikrocontroller. Ein wichtiger Punkt ist die Spannungsversorgung. Diese ist deutlich komplexer, wie beispielsweise bei einem MSP430F5529. Auch die Schaltung zur Konfiguration ist deutlich komplexer, da der FPGA im Gegensatz zu einem Mikrocontroller mehrere Programmiermöglichkeiten hat.

3.2.1 Spannungsversorgung

Der FPGA benötigt, wie in der Einführung erwähnt, insgesamt fünf verschiedene Spannungen. Als interne Spannung werden 1,0 V benötigt, sowie 1,8 V als Auxiliary-Spannung. Anders wie bei einem Mikrocontroller werden die Ausgangstreiber der IO-Bänke nicht mit einer allgemeinen Versorgungsspannung gespeist. Stattdessen bekommt jede IO-Bank ihre eigene Spannung. Da fast alle externen Bauteile mit 3,3 V-Pegeln arbeiten, werden alle Bänke, bis auf die Bank "16" mit 3,3 V versorgt. Die Bank "16" bekommt nur 1,35 V da, hier der Arbeitsspeicher angeschlossen ist. Dieser arbeitet nur mit 1,35 V. Wie auch bei Mikrocontrollern ist die Anzahl der Abblockkondensatoren wichtig, um eine stabile und spitzenfreie Eingangsspannung zu gewährleisten. Der Hersteller gibt im UG483 die benötigten Kondensatoren an. In der Abbildung 11 gibt der eingerahmte Bereich Aufschluss über die benötigten Kapazitäten. Es wird der XC7A35T im FGG484-Package verwendet.

Package	Device	V _{CCINT}						V _{CCBRAM}						V _{CCHAUX}				V _{CCO} Bank 0	V _{CCO} all other Banks (per Bank)		
		680 μ F	330 μ F	100 μ F	47 μ F	4.7 μ F	0.47 μ F	100 μ F	47 μ F	4.7 μ F	0.47 μ F	47 μ F	4.7 μ F	0.47 μ F	47 μ F	47 μ F or 100 μ F ⁽³⁾	4.7 μ F	0.47 μ F			
FGG484	XC7A15T	0	0	1	0	2	2	0	1	0	1	1	2	5	1	1	2	4			
FGG484	XC7A35T	0	0	1	0	2	3	0	1	0	1	1	2	5	1	1	2	4			
FGG484	XC7A50T XQ7A50T	0	1	0	0	3	5	1	0	0	1	1	2	5	1	1	2	4			
FGG484	XC7A75T XA7A75T	0	1	0	0	4	6	1	0	0	2	1	3	5	1	1	2	4			
FGG484	XC7A100T XA7A100T XQ7A100T	0	1	0	0	6	8	1	0	0	2	1	3	5	1	1	2	4			

Abbildung 11: Auszug aus Table 2-2: Benötigte Kondensatoren je nach Spannungseingang [11]

Für die GTP-Transceiver werden noch 1,2 V benötigt. Da alle Ausgänge des PMICs verwendet werden, muss diese separat erzeugt werden. Um den Schaltungsaufwand möglichst gering zu halten, wird ein LDO der Firma *Texas Instruments* verwendet. Der *TPS47012* erzeugt aus 1,8 V die benötigten 1,2 V. Um den geringen Spannungsunterschied auch bei Belastung beizubehalten wird eine Bias-Spannung von 3,3 V benötigt. Der Spannungsregler wird über den MSP430 eingeschaltet, um eine korrekte Power-Up-Sequenz zu gewährleisten.

3.2.2 Konfiguration

Damit der Konfigurationsmodus des FPGA einfach geändert werden kann, ist an den Konfigurationspins ein 3-Fach DIP-Schalter angeschlossen. Die Schalterstellung kann aus dem User-Guide 470 aus der Tabelle 2-1 entnommen werden. Die Beschaltung für den SSlate-SerialMode wurde vom UG470 übernommen, genauso wie die des Master SPIMode. Die Schaltungen sind in den Abbildungen 12 und 13 abgebildet.

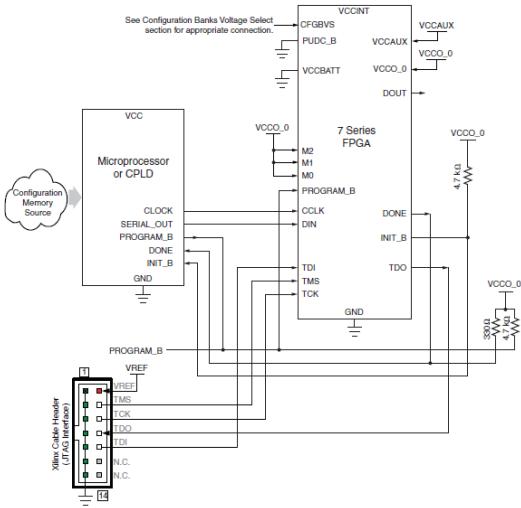


Abbildung 12: Schaltung für den "Slave Serial"-Konfigurationsmodus [12]

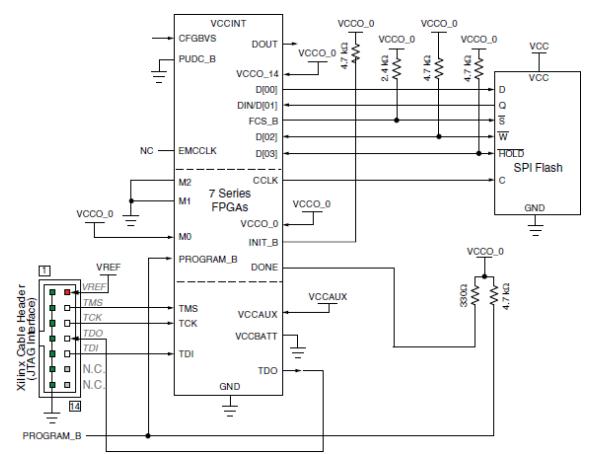


Abbildung 13: Schaltung für den "Master SPI"-Konfigurationsmodus [13]

Für den Slave-Serial-Mode wird der MSP430F5510 verwendet. Die Daten für die Konfiguration können unter anderem auf der Micro-SD-Karte gespeichert werden. Wird der Master-SPI-Mode verwendet, wird der benötigte Bitstream auf einem 16 Megabyte großen SPI-Flash-Speicher vom Typ S25FL128S gespeichert.

3.3 200 MBit/s-Treiber

Im Folgenden werden die einzelnen Schaltungsteile der Hochfrequenztreiber erläutert. In dem System ist die Schaltung zwei mal integriert. Beide Teile sind schaltungstechnisch identisch.

3.3.1 Spannungsversorgung

Als Digital-Analog-Wandler wird ein LTC2627 der Firma *Linear Technologie* benutzt. Der 12-Bit-Wandler mit zwei Ausgängen kommuniziert über ein I²C-Interface mit der Möglichkeit 27 Adressen einzustellen. Die 12-Bit Auflösung reicht für die vorgegeben 100mV-Schritte problemlos aus. Der LTC2627 wurde hauptsächlich wegen der vorhanden Lagermenge bei mouser.com ausgewählt, um sicher zugehen, dass er bei der Bauteilbestellung noch lieferbar ist. Es kann zum Beispiel auch der *AD5339* der Firma *Analog Devices* verwendet werden. Dieser unterscheidet sich nur geringfügig im Preis und hat weniger mögliche I2C-Adressen. Die Referenzspannung muss extern erzeugt werden und wird von einer REF3120 Referenzspannungsquelle gespeist. Diese gibt eine Spannung von 2,048V aus.

Da die Ausgangsspannung des DACs zu niedrig für den Bias-Eingang des Modulator bzw. für die Einstellung des Festspannungsregler ist, wird diese durch einen *OPA2991* der Firma *Texas Instruments* verstärkt. Dazu wird der Operationsverstärker als nicht invertierender Verstärker betrieben. Die Bias-Spannung wird mit dem Faktor 2,45 auf bis zu 5V und die Steuerspannung des Festspannungsregler um den Faktor 3,9 auf bis zu 8V verstärkt. Durch Anpassen des Verstärkungsfaktors kann die Bias-Spannung auf 8V angehoben werden. Damit weniger Platz auf der Platine verwendet wird, sind die beiden Operationsverstärker in einem Gehäuse eingebaut. Zudem ist der OPV Rail-to-Rail fähig. Damit der Operationsverstärker das Massenpotenzial vom Festspannungsregler anheben kann, muss dieser negative Ströme aufnehmen können. Der Ausgang der Bias-Spannung geht direkt zur Buchse des Modulators. Die Buchse kommt vom Hersteller *Samtec* und wird unter der Platine verlötet. Der Typ heißt *BSW-104*. Die Steuerspannung wird geht zum Festspannungsregler.

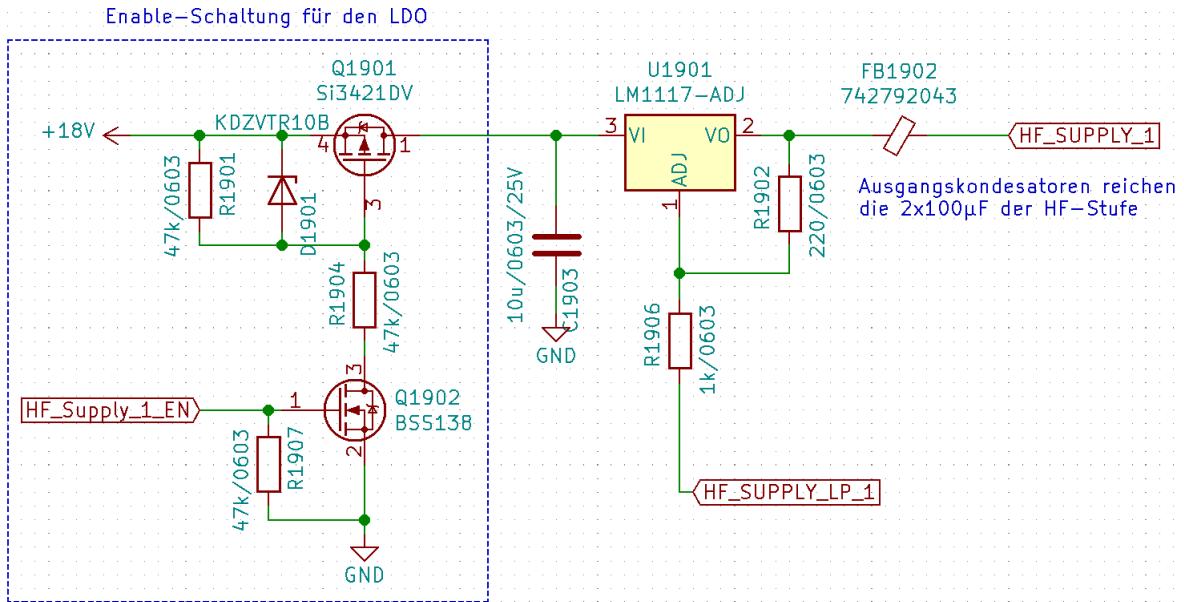


Abbildung 14: Schaltung zur Versorgung der Hochfrequenzstufen

In der Abbildung 14 ist die Schaltung des Festspannungsregler dargestellt. Da die Versorgungsspannung zwischen 7V und 15V einstellbar sein soll, wird die Ausgangsspannung des *LM1117* auf 7V gestellt. Dadurch gibt die Schaltung bei einem DAC-Wert von 0 eine Spannung von 7V aus. Mit einem maximalen DAC-Wert von 4096 liegt die Ausgangsspannung bei 15V.

$$U_{OUT} = \left(\frac{V_{REF}}{2^{12}} \cdot DACWert \cdot 3,9 \right) + U_{min} \quad (3.3)$$

U_{MIN} Minimale Ausgangsspannung des Festspannungsreglers (7V)

Mit der Formel 3.3 kann die Ausgangsspannung des *LM1117* berechnet werden. Wenn der Wert des DACs schrittweise erhöht wird, verändert sich die Ausgangsspannung pro Schritt um 1,95 mV. Mit diesem Ergebnis sind die geforderten 100mV-Schritte bei weitem erfüllt. Beim maximalen Wert von 4095 ergibt das eine maximale Ausgangsspannung von 14,987 V.

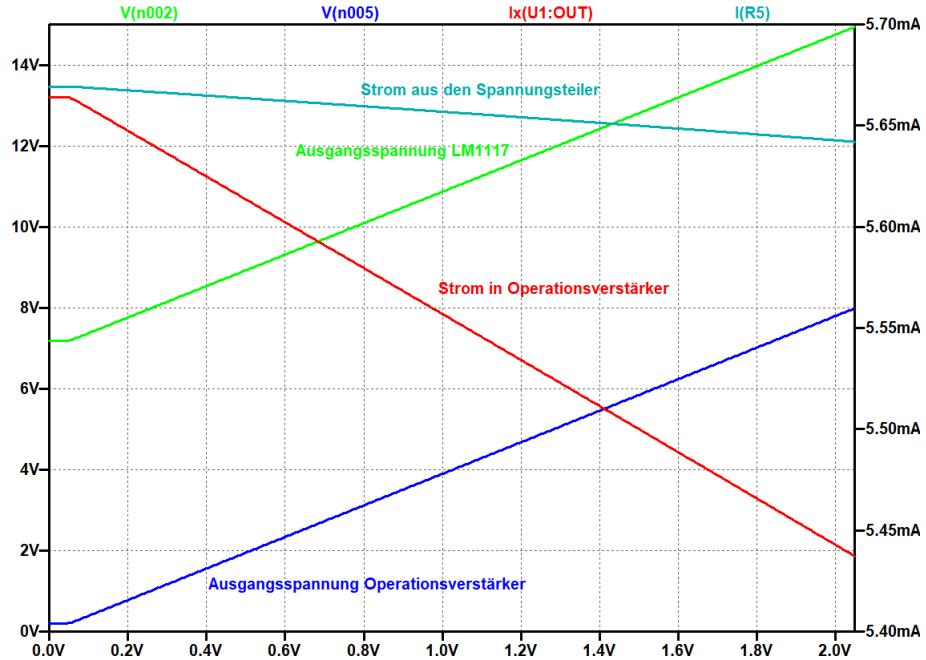


Abbildung 15: Simulation der Spannungsversorgung der Hochfrequenztreiberstufe

In der Abbildung 15 wird das Verhalten der Ströme und Spannungen verdeutlicht. Die Y-Achse stellt die Ausgangsspannung des DACs da. Der Spannungsregler in der Simulation wird mit 50Ω belastet. Mit steigender Spannung am DAC steigt die Spannung am OPV um den Faktor 3,9 und die Spannung am Ausgang um den selben Faktor mit einem Offset von 7 V. Interessant zu beobachten ist der Stromverlauf des Operationsverstärkers. Dieser nimmt wie erwartet den Strom vom LDO auf, allerdings sinkt dieser mit steigender Ausgangsspannung. Der Grund dafür liegt in den Widerständen des Nicht-Invertierenden-Verstärkers. Durch die steigende Spannung erhöht sich der Strom durch diese Widerstände, wodurch der Strom des Operationsverstärker abnimmt.

Der sich einstellende Strom wird hauptsächlich durch den Widerstand $R1902$ bestimmt. Damit der Regler korrekt arbeitet, muss zwischen den Pin VO und ADJ eine Spannung von 1,25V anliegen. Daraus ergibt sich nach dem Ohm'schen Gesetz ein Strom von 5,68 mA. Dieses Ergebnis korrespondiert mit der Simulation (Turkieser Verlauf). Die leichten Differenzen können mit dem steigendem Laststrom beim Erhöhen der Ausgangsspannung erklärt werden.

In der Simulation wurden nicht die Bauteile aus der geplanten Schaltung verwendet, da es sich hierbei nur um Proof-Of-Konzept handelt. Das genaue Verhalten kann geringfügig abweichen.

Leider kann der Spannungsregler nicht durch einen Enable-Pin ein bzw. ausgeschaltet werden, was zur Folge hat, dass immer eine Spannung am Eingang der Treiberschaltung liegt, wenn die Platine mit 12 V versorgt wird. Damit die Spannungsregler der Hochfrequenzstufen abgeschaltet werden können, wird die Versorgungsspannung mit einem *Si3421DV* unterbrochen. Da es sich um einen P-Channel-MOSFET handelt, wird eine Treiberstufe benötigt. Diese besteht aus einem N-Channel-MOSFET vom Typ *BSS138*. Der Widerstand $R1901$ wird benötigt, um das Gate des *Si3421DV* im ausgeschalteten Zustand des *BSS138* zu entladen. Die Zenerdiode reduziert die Gate-Spannung auf 10 V. Die Eingangskapazität der *LM1117* wurde durch eigene Erfahrungswerte auf 10 μF gewählt. Eine dedizierte Ausgangskapazität benötigt der Spannungsregler nicht, da die Eingangskapazität des Hochfrequenztreibers diese ersetzt.

Ein Problem von Festspannungsreglern ist der schlechte Wirkungsrad. Da der *LM1117* die überschüssige Spannung in Wärme umsetzt, muss dieser mit einem Kühlkörper ausgestattet werden. Die Abbildung 16 stellt das Verhalten der Ein- und Ausgangsleistung sowie die Verlustleistung und den Wirkungsgrad dar. Mit der vorhanden Verlustleistung kann der Kühlkörper dimensioniert werden. Das Maximum liegt bei ca. 1,7 W.

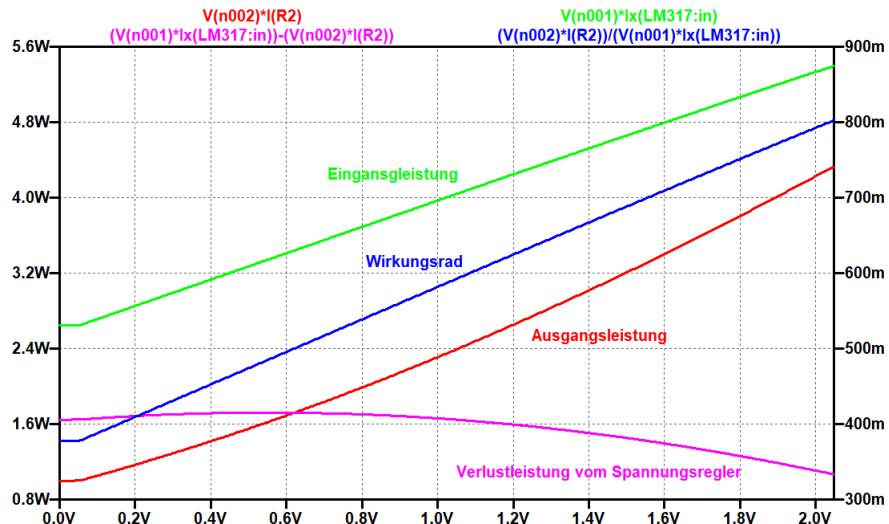


Abbildung 16: Verhalten der Ein- bzw. Ausgangsleistung bei steigender DAC-Spannung

Diese Verlustleistung muss der Kühlkörper mindestens abführen können. Da das verwendete Gehäuse sehr flach ist, kann es sein, dass die Kühlwirkung durch eine eingeschränkte natürliche Konvektion stark eingeschränkt wird. Deswegen wird

die angenommene Verlustleistung verdoppelt. Die maximale Sperrsichttemperatur des *LM1117* wird mit 125°C angegeben. Die Umgebungstemperatur wird mit 40°C angenommen, allerdings kann diese momentan nur schwer eingeschätzt werden. Aus diesen Werten kann mit Hilfe der Formel 3.4 der minimal benötigte thermische Widerstand berechnet werden.

$$R_{\theta JA} = \frac{T_{Jmax} - T_A}{P_D} \quad (3.4)$$

Wenn die entsprechenden Werte eingesetzt werden, ergibt das einen Widerstand von ca. $25 \frac{K}{W}$. Dieser Wert stellt den maximalen thermischen Widerstand dar, den das Kühlssystem haben darf. Wird er überschritten, wird der Spannungsregler zu heiß und kann kaputt gehen. Bei der Auswahl des Kühlkörpers muss noch der thermische Widerstand zwischen der DIE des Reglers und dem Gehäuse beachtet werden. Beim *LM1117* im *TO-220*-Gehäuse beträgt dieser $1,5 \frac{K}{W}$ [14]. Daraus ergibt sich der maximale thermische Widerstand des Kühlkörpers mit $23,5 \frac{K}{W}$. Um genug Oberfläche und thermische Kapazität zu haben, wird ein Aluminiumprofil-Kühlkörper vom Typ *PR19/20/SE* mit einem thermischen Widerstand von $13,5 \frac{K}{W}$ verwendet [15]. Der Kühlkörper wird direkt mit dem Gehäuse des *LM1117* verschraubt und hat keinen Kontakt zur Platine. Dadurch muss dieser nicht elektrisch isoliert werden.

Um die Bias-Spannung und HF-Versorgungsspannung zu überprüfen, wird diese mit einem Analog-Digital-Wandler digitalisiert. Dadurch besteht die Möglichkeit, kleine Abweichungen in den Ausgangsspannungen anzupassen. Für genaue Messungen sollte die Auflösung des ADC höher als die des DACs sein. Deswegen wird der *ADS1115* der Firma Analog Devices verwendet. Der 16-Bit Analog-Digital-Wandler wird auch über ein I2C-Interface angesprochen. Der Schaltkreis kann entweder bis zu vier Single-Ended-Kanäle auslesen oder zwei differentielle Kanäle. Die Kanäle "0" und "1" werden für die Messung der Bias- und HF-Versorgungsspannung verwendet. Da beide Spannungen über dem zulässigen Eingangsbereich liegen, werden diese mit einem Spannungsteiler herunter geteilt und mit einfachen Tiefpassfilter geglättet.

$$f_g = \frac{1}{2 \cdot \pi \cdot R \cdot C} \quad (3.5)$$

Bei einem Widerstand von $1k\Omega$ und einer Kapazität von 100nF ergibt sich eine Grenzfrequenz von $1,59\text{kHz}$. Der Filter soll die Spannung nicht zu 100 % glätten, sondern hauptsächlich kurze Unregelmäßigkeiten herausfiltern.

Die Kanäle "2" und "3" sind für differentielle Messungen mit einer 4-Pin Stifteleiste verbunden und können beispielsweise für einen Temperatursensor verwendet werden. Die Filterung für den differentiellen Eingang ist etwas aufwändiger. Die beiden Leitungen werden erst einmal mit herkömmlichen Tiefpassfiltern gefiltert. Der Widerstand hat jeweils $470\ \Omega$ und der Kondensator 47 nF , das ergibt eine Grenzfrequenz von $7,2\text{ kHz}$. Ein weiterer Kondensator wird zwischen den beiden Kanälen geschaltet, dieser verbessert die Filterwirkung. Die differenzielle Kapazität sollte 10 mal größer als die Gleichtaktkapazität gewählt werden. Das ergibt 470 nF . Mit der Formel 3.6 [16] ergibt sich eine Grenzfrequenz von 360 kHz .

$$f_g = \frac{1}{2 \cdot \pi \cdot (R_{TP1} + R_{TP2}) \cdot C_{DIFF}} \quad (3.6)$$

3.3.2 Treiber-Stufe

Die Treiberstufe wurde aus der Masterarbeit von Martin Greber übernommen und mit den Erkenntnissen aus der Arbeit verbessert [4]. Als Verstärker wird immer noch der Hochfrequenz-MOSFET vom Typ AFT05MS003N verwendet.

Die Arbeitspunkteinstellung wurde leicht modifiziert. Die Zener-Diode mit Vorwiderstand ist durch ein Potentiometer ersetzt worden, welches an 5 V angeschlossen ist. Parallel zum Potentiometer besteht die Möglichkeit, einen festen Spannungsteiler einzufügen. Neben der bisherigen Arbeitspunkteinstellung kann das Gate mit $50\ \Omega$ wechselstromseitig terminiert werden. Dazu müssen die Widerstände $R12001$ und $R1213$ mit $100\ \Omega$ -Widerständen bestückt werden. Durch die Splitterminierung wird die Signalleitung im Ruhezustand auf $V_{CC}/2$ gehalten. Mit dieser Technik kann der FPGA sowohl den High, als auch die LOW-Pegel gleich schnell schalten. Das verstärkte Signal wird auf einen SMP-Anschluss geführt.

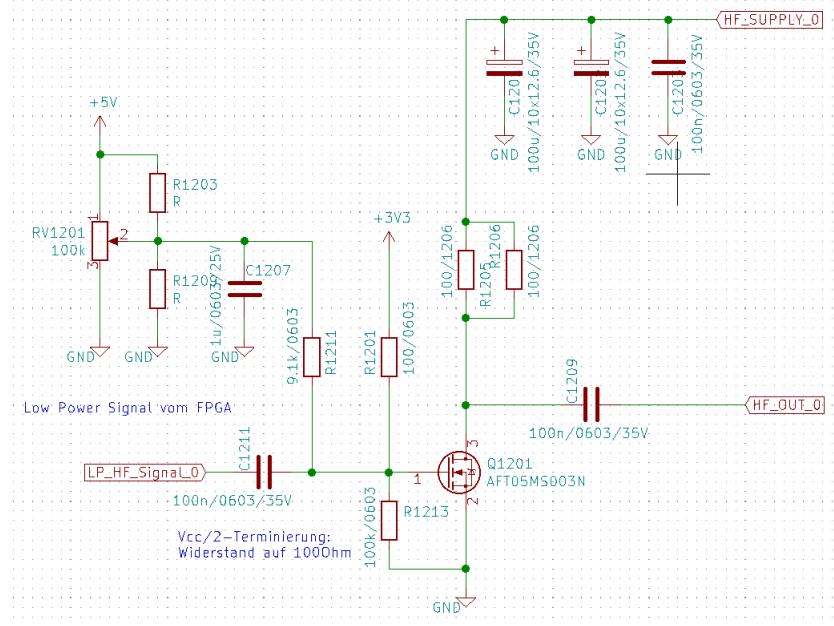


Abbildung 17: Schaltung der Hochfrequenztreiberstufe

In der Abbildung 17 ist die Schaltung abgebildet. Ausgangsseitig wird das Signal auch mit 50Ω terminiert. Da die Treiberstufe mit maximal 15 V betrieben werden kann, fließen durch die Widerstände 300 mA. Um die Verlustleistung aufzuteilen, werden dafür zwei 100Ω Widerstände im 1206-Package verwendet. Um zu verhindern, dass die Versorgungsspannung beim Senden einbricht, wird diese eingangsseitig mit zwei $100\mu F$ Kondensatoren gepuffert.

3.4 Speicher des Boards

Im folgendem Kapitel werden die Schaltungen des Arbeitsspeichers und der Mikro-SD-Karte vorgestellt.

3.4.1 DDR3-RAM

Als Arbeitsspeicher wird das Modul *MT41K128M16JT* der Firma *Micron* verwendet. Dieses 256 Megabyte große Modul hat eine Wortbreite von 16 Bit. Versorgt wird der Chip mit 1,35 V. Das Modul und die Schaltung wurden aus der Schaltung des Arty-Board der Firma Digilent übernommen [17]. Die Adress- und Steuerleitungen des Arbeitsspeichers werden mit einem $40,2\Omega$ -Widerstand auf die halbe

Versorgungsspannung terminiert. Die Terminierungsspannung wird mit einem LDO der Firma *DIODES Inc.* erzeugt. Der *AP2303* wurde extra für die Terminierung von RAM-Modulen entwickelt. Der LDO wird von der 1,35 V-Schiene des PMICs versorgt.

3.4.2 Micro-SD-Karte

Die Micro-SD-Karte wird mit einem 4-Bit breiten SD-Interface an den FPGA angeschlossen. Zudem ist die SD-Karte mit einem normalen SPI-Interface mit dem MSP430 verbunden. Damit die Karte im laufenden Betrieb neu initialisiert werden kann, ist es möglich die Versorgungsspannung über einen MOSFET auszuschalten. Damit überprüft werden kann, ob eine Karte eingesteckt wurde, besitzt der verwendetet Halter einen Card-Detect-Pin.

3.5 USB-Hub

Als USB-Hub wird der *TUSB2046* der Firma *Texas Instruments* verwendet. Dieser IC stellt die vier benötigten Downstreamports zur Verfügung. Die Schaltung wurde mit kleinen Anpassungen aus dem Datenblatt übernommen [18]. Da die USB-Leitung zum MSP430 und zum FT2232H die Platine nicht verlassen, wurde hier auf die ESD-Dioden verzichtet. Zudem wird die Steuerung der 5 V-Leitung für die beiden Ports nicht verwendet, da beide Chips direkt mit den vorhandenen 5 V versorgt werden. Bei den externen Ports wird die Busspannung über einen *TPS2042D* gesteuert. Dieser Schaltkreis überwacht den Stromfluss aus den Ausgangspins der Ports und begrenzt den Strom auf ca. 900 mA.

Jeder USB-Port wird auf eine 2 mm-Stifteleiste gelegt. Damit können die Ports auch intern im Gehäuse verwendet werden, ohne das Kabel von den Buchsen zurück ins Gehäuse geführt werden müssen. Gleichzeitig dienen die Ports als Testpunkte, um das Bussystem zu kontrollieren. Um Platz auf der Platine zu sparen, sind die beiden externen USB-Ports in einer Doppelbuchse zusammengefasst. Der USB-Hub ist Plug-in-Play und benötigt keine weitere Konfiguration durch einen Mikrocontroller.

3.6 MSP430

Der Mikrocontroller überwacht die Spannungen des PMIC und die 12V-Schiene über den internen ADC. Als interne Referenz sind 2 V vorgesehen. Damit die 12 V und die beiden 3,3 V Spannungen vom PMIC (Buck1 und LDO) gemessen werden können, werden diese mit einem Spannungsteiler reduziert. Die 12 V-Schiene wird um den Faktor 6,2 auf 1,93 V geteilt. Die beiden 3,3 V-Schienen werden halbiert. Um die Spannungen zu glätten, ist vor jeden ADC-Eingang ein Tiefpassfilter erster Ordnung implementiert. Die Tiefpässe haben alle eine Grenzfrequenz von 1,59 kHz. Diese wird mit einem $1\text{ k}\Omega$ -Widerstand und einem 100 nF Kondensator realisiert.

Da die meisten Bauteile die 3,3 V benötigen vom PMIC versorgt werden und der Mikrocontroller über einen eigenen Spannungsregler versorgt wird, sind die I/O-Pins des MSP430 mit 22Ω -Widerständen gesichert, um kleine Spannungsdifferenzen auszugleichen. Das "Spy-by-Wire"-Interface wird mit der Versorgungsspannung und einem Massepin auf einen 4-Pin-Stecker gelegt. Darüber kann der Mikrocontroller programmiert und debuggt werden.

3.7 Ethernt-PHY

Die Auswahl einer geeigneten Ethernt-Phy ist aktuell gar nicht so einfach. Es gibt viele Hersteller von Ethernet-Phys, allerdings sind die meisten Modelle wegen der andauernden Chip-Krise/Halbleitermangel sehr schwer oder gar nicht zu bekommen. Der verwendete IC wurde nach der Verfügbarkeit ausgewählt. Es handelt sich um den KSZ8041MLL der Firma Microship. Der Chip unterstützt das geforderte MII-Interface und benötigt als Versorgungsspannung nur 3,3 V. Die Kernspannung von 1,8 V erzeugt der Schaltkreis mit einem internen Spannungsregler. Die externe Beschaltung wurde vom Evalierungs-Board übernommen und an einigen Stellen angepasst [19]. In der Schaltung wird ein separater "Übertrager"(engl. magnetics) und eine einfache RJ45-Buchse verwendet. Um die Schaltung zu vereinfachen und Platz auf der Platinen zu sparen, wurde die Buchse 7499011002 von Würth Elektronik verwendet. Diese hat den Übertrager bereits integriert.

4 Layout

Für die Erstellung des Layouts wird wieder das Programm KiCAD verwendet.

Der Layouteditor von KiCAD kann in der aktuellen Version keine runden Leiterbahnen erstellen, zudem ist die Auswahl zur Erstellung von Hochfrequenz-Leiterbahnen begrenzt. Deswegen wurde das CAD durch das Tool *RF-Tools for KiCAD*[20] erweitert. Mit diesem Tool können runde Leiterbahnen erstellt und gleichmäßig verteilte Vias platziert werden. Die sechs Kupferlagen des Layouts sind im Anhang C eingefügt.

4.1 Grundlegende Informationen zur Platine

Eine der ersten Fragen, die bei der Layouterstellung einer Platine gestellt werden muss, ist neben den Design-Rules die Anzahl der Lagen. Die Schaltung besteht aus vielen, einfach zu routenden Komponenten, wie zum Beispiel dem Mikrocontroller oder dem FTDI-Chip. Für die meisten Bereiche werden maximal vier Lagen benötigt. Dabei werden die beiden äußeren Lagen als Signallagen und die Innenlagen zur Spannungsversorgung verwendet. Mit vier Lagen ist es nicht möglich, alle IO-Pins und die Spannungsversorgung des FPGA zu verbinden. Dasselbe gilt auch für den Arbeitsspeicher. Deswegen muss eine sechs lagiges Layout entwickelt werden.

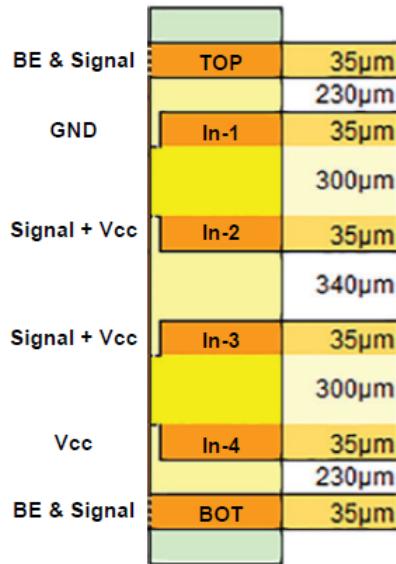


Abbildung 18: Lagenaufbau des FPGA-Board

In Abbildung 18 ist der Lagenaufbau mit Kupferdicke, Abstand zwischen den Lagen und Verwendungszweck dargestellt. Die Top-Lage dient hauptsächlich der Bestückung der Komponenten. Auf der Lage werden alle Bauteile, bis auf Widerstände und Kondensatoren platziert. Da die Platine später im Reflow-Verfahren verlötet wird, dürfen keine größeren Bauteile auf der Rückseite platziert werden, weil diese beim Lötprozess abfallen können. Widerstände und Kondensatoren sind in der Regel so klein, dass diese durch das Lötzinn gehalten werden können. Die erste Innenlage wird als durchgehende Massefläche verwendet. Die Innenlagen zwei und drei werden hauptsächlich für das Routen von Signalleitungen verwendet. Im Bereich des FPGAs werden sie auch für die Spannungsversorgung verwendet. Die vierte Innenlage wird für die Spannungsversorgung genutzt. Sie verteilt die 3,3 V-Schiene des PMICs über die gesamte Platine. Die Rückseite der Platine wird neben der Platzierung von passiven Komponenten auch als Signallage genutzt.

Die Platine hat die Maße 17cm X 12cm. Mit diesen Maßen ist der vorgesehene Platz im Gehäuse maximal ausgenutzt. Die Befestigungslöcher der Platine sind an das Gehäuse angepasst, da dieses entsprechende Gewindegelenke bereitstellt. Die Position der Löcher ist nicht ideal, diese haben im Entwicklungsprozess des Layouts extrem gestört.

Die Platine wird bei der Firma *Multi Circuits Boards Ltd.* (*Multi-CB*) gefertigt werden.

Der Platinenhersteller hat im Vergleich zu anderen Herstellern den günstigsten Preis und gleichzeitig die kleinsten Designregeln. Zudem hat der Autor persönlich gute Erfahrung mit *Multi-CB* gemacht.

4.1.1 Positionierung der Baugruppen

Bevor das eigentliche genaue Platzieren der Bauteile beginnt, muss festgelegt werden, wo welche Baugruppe auf der Platine sinnvoll platziert werden kann. Diese Platine hat im Groben vier verschiedene Gruppen mit teilweise mehreren Komponenten. Jede Gruppe hat ihre eigenen Eigenschaften und Besonderheiten, die bei der Platzierung eine Rolle spielen.

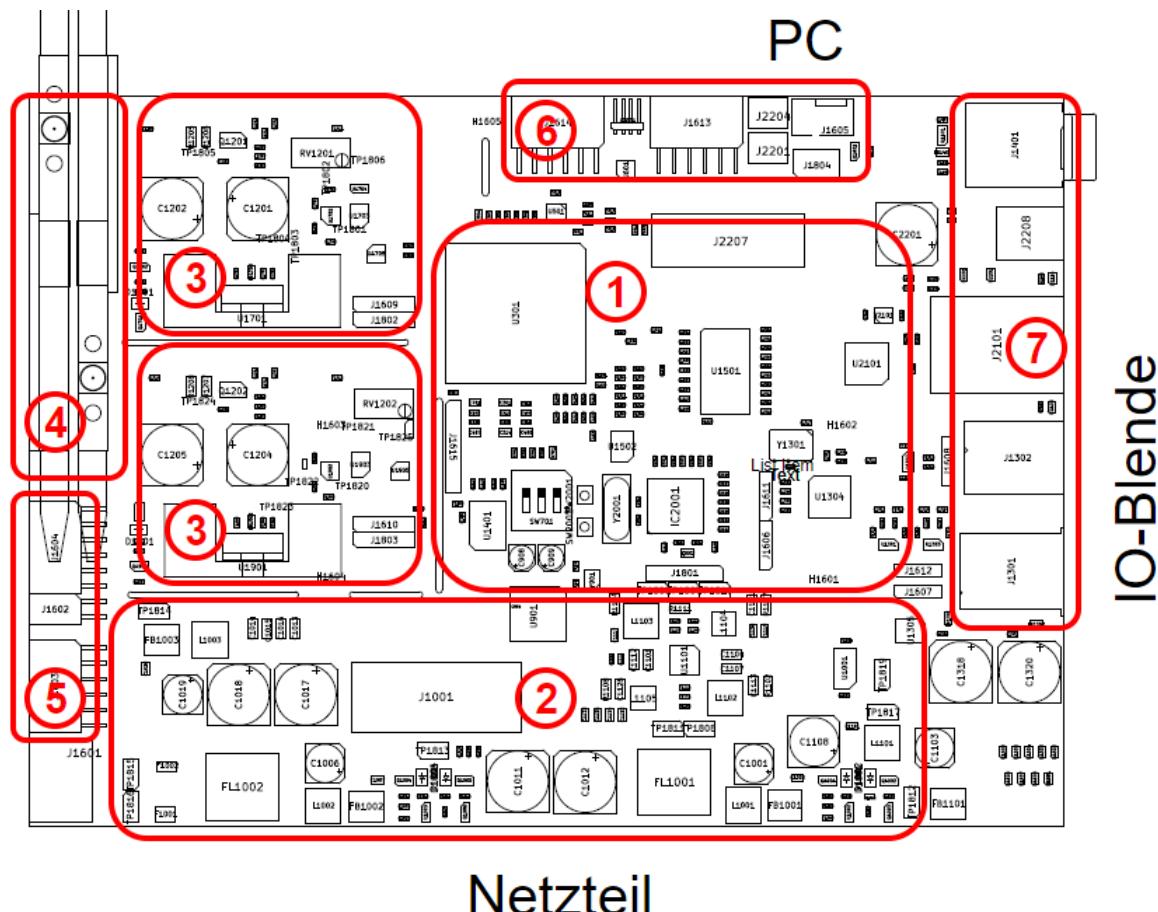


Abbildung 19: Positionierung der einzelnen Baugruppen

Die Abbildung 19 zeigt die vier Arten und die jeweilige Positionierung der Komponenten. Die äußeren Beschriftungen geben grob die Position der anderen Komponenten im Gehäuse an. Die folgende geometrische Beschreibung der einzelnen Gruppen bezieht sich auf die Abbildung 19.

1. FPGA und Peripherie
2. Spannungsversorgung
3. Hochfrequenztreiber
4. Optische Modulatoren
5. Anschlüsse für ein Userinterface
6. Schnittstelle zur Kommunikation im Gehäuse
7. Schnittstellen zur Kommunikation mit anderen Geräten

Die erste Baugruppe besteht aus dem FPGA und diversen peripheren Bauteilen. Dazu zählen die ICs der Ethernet-Phy, des USB-Hubs, der MSP430 und der Arbeitsspeicher. Diese Komponenten benötigen sowohl eine Verbindung untereinander, als auch eine Verbindung zu einer Buchse, um mit externen Geräten zu kommunizieren. Deswegen sind diese in der Mitte der Platine angeordnet. Die zweite Gruppe beinhaltet die Spannungsversorgung. Bis auf zwei LDOs sind alle Komponenten im unteren Platinenbereich platziert. Dadurch werden die anderen Komponenten bzw. Signalleitungen möglichst wenig gestört.

Die Platzierung der Hochfrequenztreiber (3) ist von den Modulatoren (4) abhängig. Damit die Signalwege möglichst kurz gehalten werden, sind diese direkt neben den Modulatoren platziert. Zudem haben die Treiberstufen einen möglichst großen Abstand zur Peripherie des FPGAs. Durch die Lichtwellenleiter ist die freie Platzierung der Modulatoren stark eingeschränkt, da der Biegeradius der LWL nicht weniger als 3 cm sein sollte. Durch die Position am linken Platinenrand können die LWL direkt zu den optischen Komponenten im Gehäuse geführt werden.

Die fünfte Gruppe beinhaltet zwei PMOD-Anschlüsse und eine I²C-Interface vom MSP430. Die Anschlüsse sollen für ein User-Interface benutzt werden, um damit das FPGA-Board zu steuern.

Die Gruppe sechs beinhaltet alle Schnittstellen, damit das FPGA-Board mit anderen Geräten kommunizieren kann. Dazu gehören die USB-Ports (1x Upstream, 2x Downstream), die Ethernet-Schnittstelle, der Halter für die Micro-SD-Karte, sowie

die USB-C-Buchse mit den Leitungen des GTP-Transceivers. Die Buchse wurde auf der rechten Seite platziert, da diese direkt an der Gehäusewand liegt. Mit einer IO-Blende können die Anschlüsse nach draußen geführt werden. In der siebten Gruppe sind Schnittstellen für die interne Kommunikation oder für Testzwecke bereitgestellt. Um beliebige Sensoren oder Aktoren anzusteuern, wurden zwei PMOD-Anschlüsse angeordnet. Dazu kommt die Buchse für das SSpy-By-WireInterface des MSP430. Zudem sind die beiden Trigger-Eingänge des Spektrometers des Messaufbaus hier platziert.

4.2 Spannungsversorgung

Beim Routing von Versorgungsleitungen gibt es nicht viel zu beachten. Wichtig ist, dass die Leiterbahnbreite an den zu erwartenden Strom angepasst wird, damit sich diese nicht zu stark erwärmt und die Verluste möglichst klein gehalten werden. Beim Lagenwechsel sollte nicht an der Anzahl der Vias gespart werden, um den Widerstand so gering wie möglich zu halten.

Damit die P-MOSFETs der Schutzschaltungen nicht zu heiß werden, sind die strom-führenden Pins mit großen Kupferflächen verbunden, um die Wärme abführen zu können. Dasselbe gilt auch für den 3,3 V-Regler für die Spannungsversorgung des MSP430.

Beim Power-Managment-IC muss mehr auf das korrekte Layout geachtet werden, da es sich um einen Schaltregler handelt. Bei Schaltreglern ist es sehr wichtig, dass große Kupferflächen benutzt werden, damit der Regler korrekt funktioniert. Wenn die Hauptkomponenten eines Schaltreglers, die Spule, die Freilaufdiode, der Schalter und der Ausgangskondensator nur mit einfachen Leiterbahnen verbunden werden, kann es passieren, dass der Spannungsregler nicht korrekt funktioniert. Zudem muss beim PMIC darauf geachtet werden, dass die Verlustleistung des Schaltkreises abgeführt wird. Der Chip hat ein großes Pad auf der Rückseite des Gehäuses, welches mit der Platine verlötet wird. Darüber wird die meiste Wärme an die Platine weiter gegeben. Über Vias wird die Wärme dann auf die Massefläche auf der zweiten Lage und einer separaten Lage auf der Platinenrückseite geführt.

4.3 200 MBit/s-Ausgangsstufe

Bei den beiden Hochfrequenztreiberstufen gibt es beim Layout einige Dinge, die beachtet werden müssen, damit das Signal nicht an Qualität verliert. Dabei spielt die Widerstandsanpassung eine große Rolle und einen durchgehender Signalpfad ohne Abzweigungen oder eckige Verlaufsänderungen. Bei der Spannungsgenerierung gibt es keine weiteren Besonderheiten, die für das Layout relevant sind. Nur das der I²C-Bus nicht direkt an oder unter den HF-Signalpfaden verlegt werden darf, damit der Bus die Hochfrequenzsignale nicht stört.

Im Bereich der beiden Treiber ist die gesamte Top-Lage mit einer Massefläche versehen. Um kleinste Potenzialdifferenzen zwischen den Massenflächen auf der TOP- und der zweiten Lage zu verhindern, wurden großzügig Vias über die gesamte Fläche verteilt.

4.3.1 Spannungsversorgung

4.3.2 Routing des Hochfrequenz-Signalpfades

Da beide Teile eine Leitungsimpedanz von 50Ω benötigen, verhalten sie sich beim Routing gleich. Die Berechnungen zur Impedanzanpassung werden mit dem Transmission-Line-Rechner von *KiCAD* durchgeführt. Bei der Leitungsimpedanz spielen vier Parameter eine wichtige Rolle.

1. Art der Übertragungsleitung
2. Breite und Dicke der Leiterbahn
3. Abstand zwischen Leitungen und Massefläche
4. Dielektrizitätskonstante des Leiterplattenmaterials

Die Art der Übertragungsleitung beschreibt, wie der Übertragungsweg aufgebaut ist. Für die Hochfrequenztreiberstufen sind zwei Arten interessant. Das ist einmal der *Microstrip*-Leiter oder der koplanare Wellenleiter mit Massefläche.

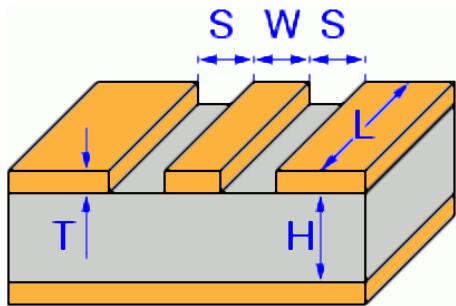


Abbildung 20: Kopplanarer Wellenleiter mit Massefläche [21]

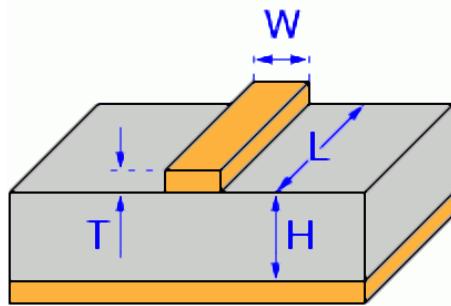


Abbildung 21: Microstrip Leiter [21]

Die Impedanz zwischen den beiden Arten ist bei gleichen Parametern "W", "T", "H" und " ϵ_r " nur geringfügig verschieden. Leider ist es mit dem Parameter nicht immer möglich die gewünschte Impedanz einzustellen. Die Gründe dafür sind verschieden. Zum einen ist der Abstand "H" durch die Leiterplatte vorgegeben, zum anderen kann auch die Breite der Leiterbahn nicht immer frei gewählt werden. Da die Impedanz bei den koplanaren Wellenleiter noch über den Parameter "S" angepasst werden kann, wird dieser Übertragungstyp verwendet.

Einstellen der Impedanz: Der Parameter "T", die Dicke des Kupfers, wird durch den Platinenhersteller bestimmt und beträgt 35 µm. Die Breite der Leiterbahn wird so gewählt, dass beim Übergang zwischen Leitung und Pad eines 0603-Bauteils keine Änderungen in der Breite entstehen. Daraus ergibt sich der Wert für den Parameter "W" zu 0,95 mm. Als nächstes wird der Abstand "H" zwischen Leiterbahn und Massefläche gewählt. Dieser Parameter ist, wie auch die Kupferdicke, vom Platinenhersteller abhängig. Der Hersteller **Multi-CB** gibt als Materialdicke 230 µm zwischen Lage 1 und Lage 2 an und 300 µm zwischen Lage 2 und Lage 3 [22]. Die Dielektrizitätskonstante gibt der Hersteller mit 4,4 an. Der Wert bezieht sich nur auf das Platinenmaterial. Der Lötstopplack verändert diesen Wert.

Wenn die Massefläche für den Übertrager auf der zweiten Lage liegt, hat die Leitung mit den oben aufgezählten Werten eine Impedanz von 29,8 Ω. Wenn die Massefläche auf der zweiten Lage ausgespart wird und stattdessen auf die dritte Lage gelegt wird, erhöht sich der Abstand "H" von 230 µm auf 530 µm. Damit steigt die Impedanz auf 51,8 Ω. Bei beiden Berechnungen wurde der Parameter "S" auf 1 mm gesetzt. Wird dieser auf 0,65 mm verringert, reduziert sich auch die Leitungsimpedanz auf 50,1 Ω.

Mit diesen Werten sind die beiden Signalleitungen geroutet worden. Beim Positionieren der Bauteile ist sehr darauf geachtet worden, dass die Signalleitung nicht unterbrochen wird, um Impedanzänderungen in der Leitung zu verhindern.

Um das Signal zusätzlich zu schützen, wurde mit einem Abstand von 0,8 mm ein "Zaun" aus Vias um die Leiterbahnen gelegt. Dadurch sollen externe Einflüsse reduziert werden.

4.3.3 Anschluss der optischen Modulatoren

4.4 FPGA

Beim Routing des FPGAs muss einiges beachtet werden, da der benutzte Chip in einem FGG484-Package verbaut ist. Das Gehäuse ist 23x23 mm groß und hat 484 Pins. Diese Pins sind in einem Quadrat aus 22x22 Pins mit einem Abstand von 1 mm angeordnet. Die ersten zwei Reihen können problemlos von außen erreicht werden, die inneren Pin-Reihen müssen dann über die Innenlage und einen Via verbunden werden. Bei den Vias ist es sehr wichtig, dass diese alle in einer Reihe platziert werden. Besonders wichtig ist dies, wenn für die äußeren Pins direkt ein Lagenwechsel benötigt wird. Sind die Vias nicht in einer Reihe, bildet sich eine Wand, wodurch alle Lagen in eine Richtung blockiert werden. Diese Blockaden sind beim Verlegen von Versorgungsflächen besonders störend. Bei den meisten Pins wurde die Top-Lage für die Verbindung der ersten und zweiten Pin-Reihe und die dritte Lage für die dritte Reihe verwendet. Die vierte Lage und die Bottom-Lage wurden nicht für bestimmte Reihen verwendet.

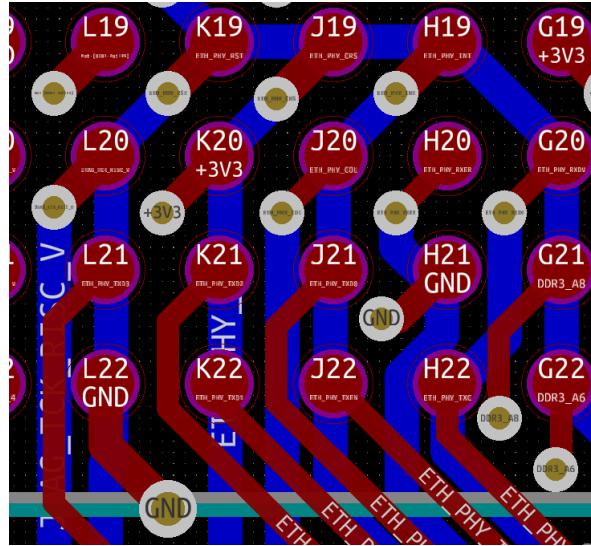


Abbildung 22: Ausschnitt des FPGA-Layouts

Die Abbildung 22 zeigt einen Ausschnitt des FPGAs. Hier ist zusehen wie die Top-Lage und die dritte Innenlage an den Chip angeschlossen sind. Die graue Linie im unteren Bildabschnitt ist die Unterkante des FPGAs. Wenn die Vias wie in der Abbildung 22 angeordnet sind, können die inneren Pins des FPGA sehr gut von den Innenlagen erreicht werden.

4.4.1 GTP-Leitungen

Da es sich bei den GTP-Leitungen um digitale Hochgeschwindigkeitsleitungen handelt, müssen wie bei den Signalleitungen in Kapitel 4.3.2 die Leitungen angepasst werden. Da es sich um differentielle Signale handelt, müssen beide Leitungen eines Signalpaars die gleiche Länge haben, ansonsten kann es zu Fehlern in der Übertragung kommen. Wie auch bei den Signalleitungen der Modulatoren müssen auch die Signalleitungen der GTP-Transceiver mit $50\ \Omega$ angepasst werden. Für die GTP-Leitungen wird als Übertragungstyp ein gekoppelter Microstrip-Leiter gewählt. Die Leitungen werden auf sowohl auf der Top-, als auch der Rückseite der Platine verlegt. Deswegen wird in dem Bereich GTP-Leitungen noch eine zusätzliche Massefläche auf der vierten Innenlage eingefügt. Die geometrischen Parameter werden in der Abbildung 23 gezeigt.

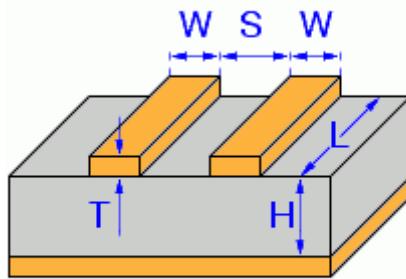


Abbildung 23: Darstellung eines gekoppelten Microstrip-Leiters [21]

Mit einer Kupferdicke von $35\text{ }\mu\text{m}$, einer Leiterbahnbreite von $0,3\text{ mm}$, einem Abstand zwischen den Leitungen von $0,2\text{ mm}$ ergibt sich eine Impedanz von $50,9\text{ }\Omega$ pro Leitung. Die Dielektrizitätskonstante wurde auf $4,4$ gesetzt und der Abstand zwischen den Leitern und der Massefläche beträgt $230\text{ }\mu\text{m}$.

4.4.2 Arbeitsspeicher

Das Routing des Arbeitsspeichers ist sehr aufwändig. Der verwendetet Chip hat ein BGA-96 Package. Die Pins sind bei diesem Gehäuse in zwei mal drei Spalten mit jeweils 16 Reihen aufgeteilt. Wie beim FGG484-Package muss auch hier genau darauf geachtet werden, dass die Leitungswege nicht durch Vias versperrt werden. Sowohl die Daten-, als auch die Adressleitungen sind über ein Parallel-Interface mit dem FPGA verbunden. Da der Arbeitsspeicher mit Taktraten im unteren Gigahertzbereich arbeitet, muss beim Routing dieser Signalleitungen sehr darauf geachtet werden, dass alle Daten- bzw. Adressleitungen dieselbe Länge aufweisen. Allerdings ist nicht nur die Länge entscheidend, sondern auch die Anzahl der Vias und auch die Länge wohin die Vias die jeweilige Leitung führen. Deswegen wurden alle Leitungen von einem Typ auf einer Lage geroutet. Der Längenausgleich wird mit sogenannten Mäanderstrukturen bewerkstelligt. Dabei wird eine ursprünglich gerade Leitung durch Wellenstrukturen ersetzt, wodurch die physikalische Länge erhöht wird. Die Form der Mäanderstrukturen kann je nach Anforderungen und vorhandenen Platz variieren. In der folgenden Abbildung werden die Adress- und Datenleitungen des FPGA-Boards dargestellt.

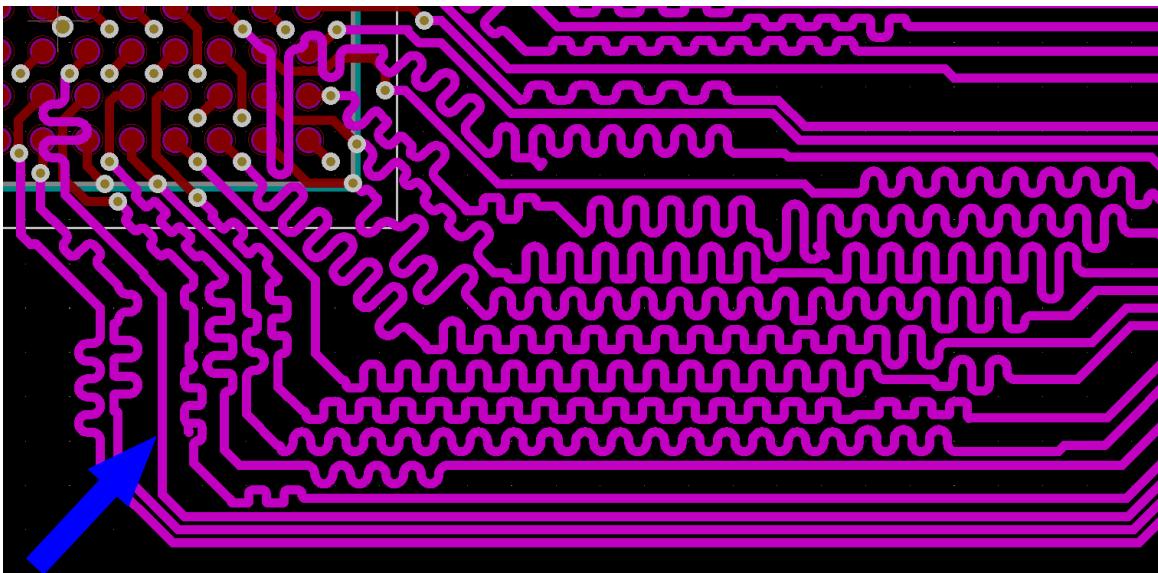


Abbildung 24: Mäanderstrukturen des Arbeitsspeichers

An der Anzahl der Wellen ist eindeutig zu erkennen, wie die Längenanpassung funktioniert. Die markierte Leitung im unteren Bildabschnitt ist die längste Leiterbahn der Adressleitungen. Da die Leitung eine krumme Länge hat, wurde diese auf 45 mm Länge erweitert. Die anderen Adressleitungen sind auf 45mm angepasst worden. Das ist gut daran zu erkennen, dass die Länge beziehungsweise die Höhe der Strukturen zunimmt. Im oberen Bereich des Bildes, nimmt die Anzahl der Strukturen wieder ab, da beginnen die Datenleitungen. Diese sind auf 29 mm Länge angepasst.

4.4.3 Sonstiges

Da zum aktuellen Zeitpunkt noch nicht gesagt werden kann, ob der FPGA einen Kühlkörper benötigt, wurde eine Befestigungsbohrung vorgesehen. Diese sitzt rechts neben dem Hochfrequenztreiber "0". Mithilfe dieser Bohrung und den Befestigungsbohrungen der Platine kann mit einem Adapter ein Kühlkörper auf dem FPGA befestigt werden. Die genauen Maße der Bohrungen sind im Anhang D zu finden.

4.5 Ethernet-Phy und USB-Hub

Die Übertragungsfrequenzen der USB-Leitungen sind mit maximal 12,5 MHz eher niederfrequent und damit beim Routing unkritisch. Da es sich um eine differenzielle Übertragung handelt, ist die Länge beider Leitungen abgestimmt worden.

Die Datenleitungen des MII-Interface haben eine maximale Taktfrequenz von 25 MHz und sind damit ebenso unkritisch.

4.6 Sonstiges

Das Positionieren der Bauteilreferenzen nimmt beim Entwicklungsprozess viel Zeit in Anspruch, gerade dann wenn viele Kondensatoren und Widerstände verbaut sind. Da diese Platine nur in Einzelstücken gefertigt wird, wurden die Referenzen der Widerstände und Kondensatoren ausgeblendet und befinden nicht auf dem Bestückungsdruck. Der Grund für das Ausblenden liegt in der Tatsache, dass an einigen Stellen nicht genügend Platz für die Beschriftung ist. Zudem ist der Zeitaufwand, den Bestückungsdruck für alle Bauteile korrekt zu positionieren extrem hoch. Beim Bestücken würden die Referenzen helfen, rechtfertigen die damit verbundene Arbeit aber in keinster Weise. Leider wird für jedes Bauteil standardmäßig die Bauteilreferenz angezeigt. Da die meisten nicht benötigt werden, ist ein kleines Python-Skript entwickelt worden, welches die Referenzen von allen Widerständen und Kondensatoren ausblendet. Diese Skript liest alle Bauteile der Platinen ein, fragt ab, ob es sich um einen Widerstand oder Kondensator handelt und setzt dann die Sichtbarkeit der Referenz auf "False". Im letzten Schritt lädt das Skript den Editor neu, damit die Änderungen übernommen werden. Das Skript muss in der Python-Konsole von *KiCAD* ausgeführt werden.

5 Tests

In diesem Kapitel werden die Tests des Power-Management-IC, des PC-Netzteils und zum einstellbaren Festspannungsregler vorgestellt.

5.1 PMIC - Evaluationsboard

Um sicherzustellen, dass das Power Management IC den Anforderungen entspricht und keine zu große Restwelligkeit hat, wurde der Schaltkreis vermessen. Dazu wurde das offizielle Evaluierungsboard der Firma MaxLinear des MXL7704 verwendet.

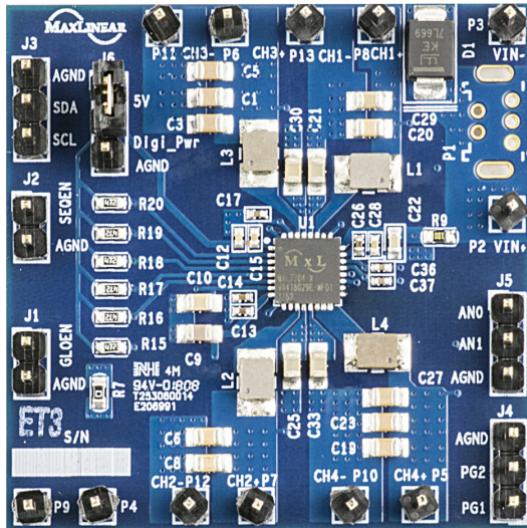


Abbildung 25: Vorderseite des Evaluierungsboards [23]

In der Abbildung 25 ist die Vorderseite des Evaluierungsboards zu sehen. Damit alle Funktionen getestet werden können, wurden alle analogen und digitalen Pins über Stiftleisten zugänglich gemacht. Die durchgeführten Tests dienen der Messung der Restwelligkeit und ob für einzelne Ausgänge noch zusätzliche Filter vorgesehen werden müssen. Jeder Ausgang wurde separat getestet. Damit die Ausgänge

unterschiedlich belastet werden können, wurden diese an eine elektronische Last angeschlossen.



Abbildung 26: 3,3 V-Schiene bei 1 A Ausgangsstrom

In der Abbildung ist der Spannungsverlauf der 3,3 V-Schiene des PMICs mit einem Ausgangsstrom von 1A. Die Cursor "1" und "2" messen die Schaltfrequenz von 1,5 MHz. Jeder der drei Peaks, wird von je einem Ausgang verursacht. Das Bild sieht für jeden Kanal sehr ähnlich aus. Leider ist nicht klar, warum die einzelnen Kanäle so ein Übersprechen auf die andern Ausgänge haben. Das Übersprechen wird entweder im Chip erzeugt oder durch das Layout verursacht. Das Verhalten ist nicht schön, stellt aber in der Anwendung kein Problem da, weil der PMIC nur zu Spannungsversorgung von digitalen Bauteilen verwendet wird.

5.2 Netzteil

Damit die Eingangsfilter für die 12 V und 5 V-Schiene korrekt dimensioniert werden können, musste das vorhanden PC-Netzteil unter Last vermessen werden. Für die Filterdimensionierung sind zwei Punkte besonders wichtig, zum einen die Schaltfrequenz und zum anderen die Restwelligkeit.

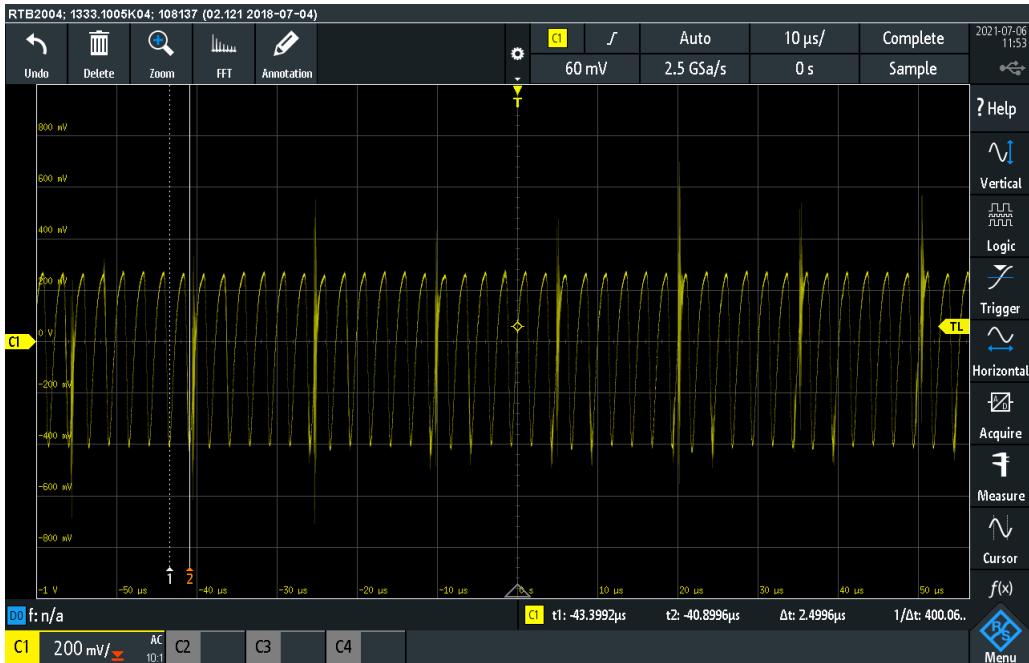


Abbildung 27: Ausgangsspannung der 12 V-Schiene bei 2 A Ausgangsstrom

In der Abbildung 27 ist die Ausgangsspannung der 12V-Schiene mit einer Belastung von 2A abgebildet. Die Schaltfrequenz beträgt 400 kHz. Da der Gleichanteil in dieser Messung nicht benötigt wurde, ist der Messeingang in den AC-Mode gesetzt worden. Die Restwelligkeit beträgt ca. 600mV V_{pp} . Es ist nicht bekannt, warum die Restwelligkeit so hoch ist. Die Restwelligkeit steigt mit Belastung deutlich an. Wenn das Netzteil nur mit 500 mA belastet wird, beträgt die Restwelligkeit nur noch 150mV V_{pp} . Bei der 5 V-Schiene erhöht sich die Restwelligkeit auf fast 800mV V_{pp} mit einem Laststrom von 4 A (siehe Abbildung 28). Warum die Ausgangsspannung so unsauber ist, kann zum aktuellen Zeitpunkt nicht gesagt werden. Natürlich kann ein Fehler im Messaufbau dazu führen, dies ist aber sehr unwahrscheinlich. Durch die sehr unsaubere Spannung muss bei der Filter-Entwicklung die Grenzfrequenz niedrig angesetzt werden, damit die Dämpfung möglichst hoch ist.

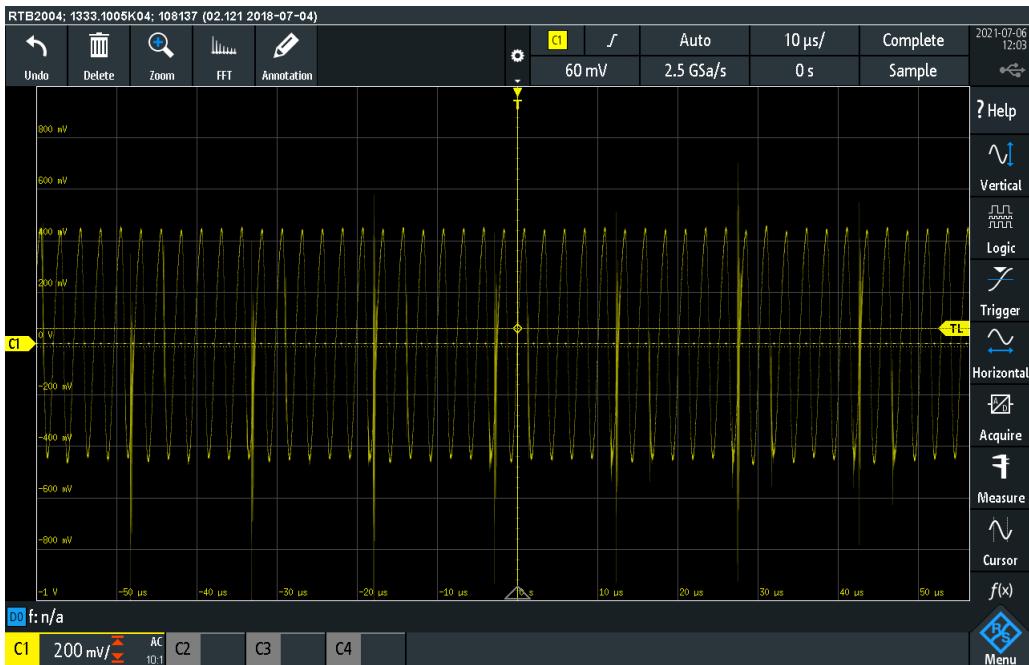


Abbildung 28: Ausgangsspannung der 5 V-Schiene bei 4 A Ausgangsstrom

5.3 LDO für 200 MBit/s-Ausgangsstufe

Um sicherzustellen, dass der LDO mit einem angehobenen Massepotenzial korrekt funktioniert, wurde dieses mit zwei Netzteilen getestet. Als Testobjekt diente ein Festspannungsregler der 78xx-Reihe. In der Anwendung wird ein LM1117 verwendet, allerdings ist die Funktionsweise beider Spannungsregler sehr ähnlich. Im Versuchsaufbau wurde ein Modell gewählt, welches eine feste Spannung ausgibt, damit der Versuchsaufbau möglichst einfach ist. Auf dem FPGA-Board wird ein variabel einstellbarer Regler benutzt. Die beiden Modelle sind nahezu identisch aufgebaut. Einziger Unterschied ist, dass beim voreingestellten Regler der Spannungsteiler im Gehäuse integriert ist.

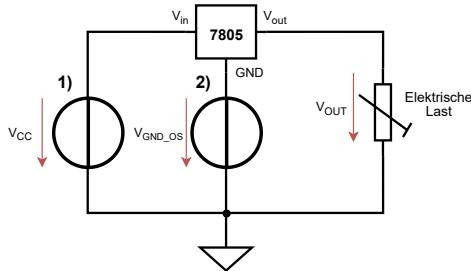


Abbildung 29: Aufbau der Testschaltung

Netzteil 1) wird an den Pin V_{in} geschlossen, das Netzteil 2) an den GND-Pin. Die Massen der Netzteile werden verbunden. Damit der Regler unter Last getestet wird, wurde an den Pin V_{OUT} eine elektronische Last angeschlossen. Wenn jetzt die Spannung an Netzteil 2) erhöht wird, sollte sich die Ausgangsspannung um denselben Wert erhöhen.

Bei den ersten Versuchen wurden die in den Labortischen der Hochschule eingebauten Netzteile verwendet. Mit diesen Geräten ist der Test fehlgeschlagen, da sich das Netzteil 2) ausgeschaltet hat. Der Grund dafür war erst unklar. Allerdings wurde der Fehler schnell gefunden. Für die Versorgungs- und Referenzspannungen im Spannungsregler, sowie für die Spannungsteiler zur Einstellung der Ausgangsspannung, wird ein Strom benötigt der aus dem GND-Pin fließt. Dieser Strom fließt dann ins Netzteil rein. Die Netzteile in den Labortischen schalten sich aber ab, wenn diese einen negativen Strom erkennen. Im nächsten Versuch wurde das Netzteil 2) durch ein digitales Tischnetzteil ersetzt. Dieses kann auch den Strom vom Regler aufnehmen. Mit dem Tausch des Netzteils funktionierte der Versuch wie erwartet. Die Ausgangsspannung konnte mit Erhöhung des Massepotenzials gesteuert werden.

6 Zusammenfassung und Ausblick

Die Entwicklung des FPGA-Boards ist erfolgreich abgeschlossen. Das Platinenlayout ist fertiggestellt und ist bei *Multi-CB* bestellt. Aus Zeitgründen konnte das FPGA-Board im Rahmen dieser Abschlussarbeit nicht mehr in Betrieb genommen werden.

Bei der ersten Bestückung sollte das FPGA-Board nicht voll bestückt werden, damit zum Beispiel durch einen Fehler in der Spannungsversorgung der FPGA nicht zerstört wird. Auf der ersten Testplatine sollte die allgemeine Spannungsversorgung, die Spannungsversorgung der Hochfrequenztreiber, der USB-Hub und der MSP430 bestückt werden. Die Spannungsversorgungen müssen auf korrekte Spannung und Restwelligkeit geprüft werden. Zum Testen des USB-Hubs reicht es, den Up-Stream-Port mit einem PC und die Down-Stream-Ports mit beispielsweise einen USB-Stick zu verbinden. Wenn die Geräte erkannt werden, funktioniert der USB-Hub. Wenn die Spannungsversorgung zuverlässig funktioniert, kann die zweite Platine komplett bestückt werden. Mit der kompletten Bestückung können dann die restliche Baugruppen ausführlich getestet werden.

Wenn eine zweite Version des FPGA-Boards entwickelt wird, sollte betrachtet werden, Blind-Vias zu verwenden. Dadurch kann das Routing im Bereich des FPGAs und des RAM-Chips vereinfacht werden, da ein Via nicht alle Lagen blockiert. Alternativ kann auch die Lagenzahl von sechs auf acht erhöht werden. Normale Vias blockieren dann immer noch alle Lagen, allerdings wird das durch den zugewonnenen Platz kompensiert. Damit kann das Routing im Bereich des Arbeitsspeicher verbessert und die Spannungsversorgung auf zwei extra dafür vorgesehenen Lagen erweitert werden.

Literatur

- [1] Martin Greber. "Board-Development of a Hybrid CDM/WDM Sensor Network Interrogator. Bild des CDM/WDM-Systems". Masterarbeit. Hochschule Wismar, 4. Aug. 2021.
- [2] *UG475 - 7 Series FPGAs Packaging and Pinout*. 1.19. Xilinx. Apr. 2021, 19, Table 1–3.
- [3] Xilinx. *Produktseite: Artix-7-Series*. 31. Aug. 2021. URL: <https://www.xilinx.com/products/silicon-devices/fpga/artix-7.html#productTable>.
- [4] Martin Greber. "Board-Development of a Hybrid CDM/WDM Sensor Network Interrogator". Masterarbeit. Hochschule Wismar, 4. Aug. 2021.
- [5] Andreas Nadler. *Application Note 049 - EMV & Effizienz Optimierung von High Power DC/DC Konvertern*. Techn. Ber. Würth Elektronik eiSos GmbH & Co. KG, 13. Dez. 2018.
- [6] Würth Elektronik eiSos GmbH & Co. KG. *Würth Elektronik - Produktseite: WCAP-ASLI. Aluminum Electrolytic Capacitor*. 3. Sep. 2021. URL: <https://www.we-online.com/catalog/en/WCAP-ASLI>.
- [7] *Datenblatt - Si3421DV*. Version S13-2289-Rev. A. Vishay. 4. Nov. 2013, S. 1.
- [8] *Datenblatt - TL431*. Version Rev. P. Texas Instruments. 1. Jan. 2015, 29, Figure 36.
- [9] MaxLinear Inc. *Datenblatt - MXL7704*. Version REV 1B. 3. Juli 2018, S. 1.
- [10] *Datenblatt - ABXS002A3-Boostkonverter*. Version 1.5. ABB Asea Brown Bo- veri. 9. März 2021.
- [11] *UG483 - 7 Series PCB Design Guide. Required PCB Capacitor Quantities per Device: Artix-7 Devices*. Version 1.14. Xilinx. 21. Mai 2019, 16, Table 2–2.
- [12] Xilinx. *UG470 - 7 Series FPGAs Configuration. Slave Serial Konfiguration*. Version 1.13.1. 20. Aug. 2018, 38, Figure 2–2.

- [13] Xilinx. *UG470 - 7 Series FPGAs Configuration. Master SPI Konfiguration.* Version 1.13.1. 20. Aug. 2018, 55, Figure 2–14.
- [14] *Datenblatt - LM1117. Thermal Information.* Version Rev. O. Texas Instruments. 1. Jan. 2016, S. 5.
- [15] ALUTRONIC. *Datenblatt - PR19/20/SE.* Version V 1.0. 17. Sep. 2021, S. 1.
- [16] *Datenblatt - ADS1115. Formel: Grenzfrequenz eines differenziellen Tiefpasses.* Version Rev. D. Texas Instruments. 1. Dez. 2016.
- [17] Digilent. *Schaltplan - Arty A7-Board.* Version Rev. E.0. Sheet 9. 1. Sep. 2018. URL: https://digilent.com/reference/_media/reference/programmable-logic/arty-a7/arty_a7_sch.pdf.
- [18] *Datenblatt - TUSB2046.* Version Rev. L. Texas Instruments. 1. Jan. 2016, 16, Figure 11.
- [19] *Schaltplan - KSZ8041-Evaluierungsboard.* Version 2.0. ABB Asea Brown Bo- veri. 9. Aug. 2007.
- [20] easyw. *RF-Tools for KiCAD.* 1. Sep. 2021. URL: <https://github.com/easyw/RF-tools-KiCAD>.
- [21] KiCAD Developers Team. *Darstellung von (gekoppelter) Microstrip-Leitung und koplanaren Welleiter.* Bild aus dem PCB-Kalkulator, 16. Sep. 2021.
- [22] Multi Circuits Boards. *Basic Design Rules.* Version 2.4. 15. Sep. 2021, 4, 6 Lagen: 6L–01.
- [23] *MxL7704EVB - User Manual.* 019UMR00. MaxLinear. Nov. 2019, 2, Table 2.2.

Bildverzeichnis

1	Kompakte Darstellung des CDM/WDM-Sensornetzwerkes[1]	7
2	Kompaktes Blockschaltbild der Schaltung	9
3	Optische Modulator IMC-1550-20 von Optilab	18
4	3D-Darstellung der Verbindungsart mit Modulator	19
5	Eingangsfilter	23
6	Simulation des Eingangsfilters	24
7	Verpolschutz- und Über bzw. Unterspannungsschutzschaltung	25
8	Simulation des Verpolschutz- und Über und Unterspannungsschutzschaltung	27
9	Eingangsfilter des Power-Management-IC	29
10	Schaltung des Boost-Konverters	30
11	Auszug aus Table 2-2: Benötigte Kondensatoren je nach Spannungseingang [11]	31
12	Schaltung für den "Slave Serial"-Konfigurationsmodus [12]	32
13	Schaltung für den "Master-SPI"-Konfigurationsmodus [13]	32
14	Schaltung zur Versorgung der Hochfrequenzstufen	34
15	Simulation der Spannungsversorgung der Hochfrequenztreiberstufe . .	35
16	Verhalten der Ein- bzw. Ausgangsleistung bei steigender DAC-Spannung	36
17	Schaltung der Hochfrequenztreiberstufe	39
18	Lagenaufbau des FPGA-Board	43
19	Positionierung der einzelnen Baugruppen	44
20	Koplanarer Wellenleiter mit Massefläche [21]	48
21	Microstrip Leiter [21]	48
22	Ausschnitt des FPGA-Layouts	50
23	Darstellung eines gekoppelten Microstrip-Leiters [21]	51
24	Mäanderstrukturen des Arbeitsspeichers	52
25	Vorderseite des Evaluierungsboards [23]	54
26	3,3 V-Schiene bei 1 A Ausgangsstrom	55
27	Ausgangsspannung der 12 V-Schiene bei 2 A Ausgangsstrom	56
28	Ausgangsspannung der 5 V-Schiene bei 4 A Ausgangsstrom	57
29	Aufbau der Testschaltung	58

Tabellenverzeichnis

1	Maximale Stromaufnahme der wichtigsten Komponenten	22
2	Grenzfrequenzen bei verschiedenen Kapazitäten	24
3	Grenzfrequenzen bei verschiedenen Kapazitäten	26
4	Technische Daten zu den einzelnen Buck-Kanälen des PMICs [9]	28
5	Induktivitäten der einzelnen Buck-Kanäle	28

Abkürzungsverzeichnis

DAC Digital Analog Converter.

FPGA Field Programmable Gate Array.

HF High Frequency.

I²C Inter-Integrated Circuit.

JTAG Joint Test Action Group.

LDO Low-Dropout Regulator.

LWL Lichtwellenleiter.

MII Media Independet Interface.

OPV Operationsverstärker.

PCIE Peripheral Component Interconnect Express.

PMIC Power Management Integrated Circuit.

PTC Positiv Temperature Coefficient.

PWM Pulsweitenmodulation.

SPI Serial Peripheral Interface.

SPICE Simulation Program with Integrated Circuit Emphasis.

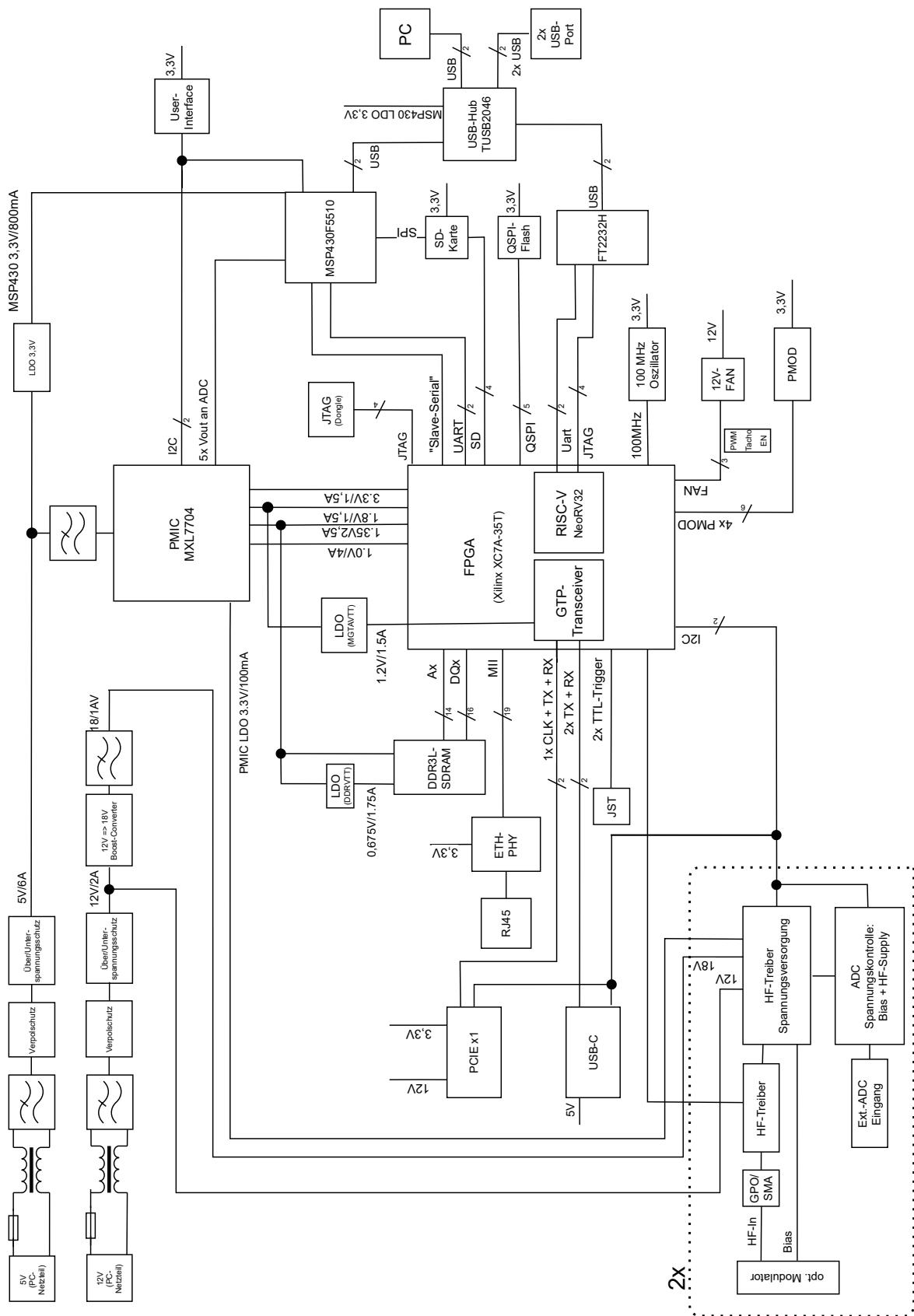
UART Universal Asynchronous Receiver Transmitter.

Symbolverzeichnis

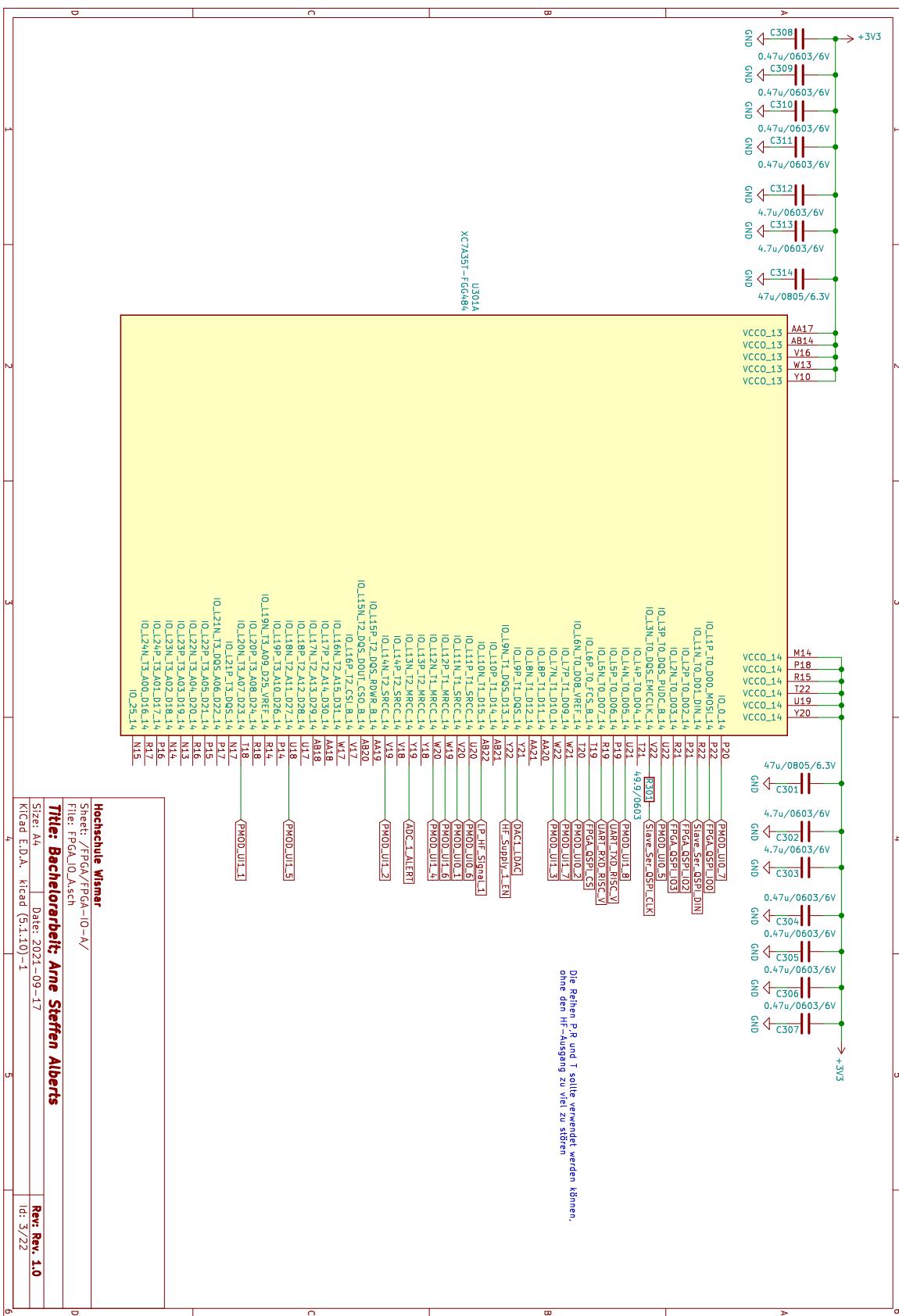
Symbol	Beschreibung	Einheit
P_D	Verlustleistung	W
R_{DSon}	Drain-Source-Widerstand	Ω
$R_{\theta JA}$	Thermischer Widerstand zwischen Sperrsicht und Umgebungsluft	$\frac{K}{W}$
T_A	Umgebungstemperatur	$^{\circ}\text{C}$
V_{ADC}	Eingangsspannungs eines Analog-Digital-Konverters	V
V_{DAC}	Ausgangsspannungs eines Digital-Analog-Konverters	V
V_{REF}	Refrenzspannung	V
V_{pp}	Spitze-Spitze-Spannung	V
f_g	Grenzfrequenz	Hz

Anlage A. Detailliertes Blockschaltbild

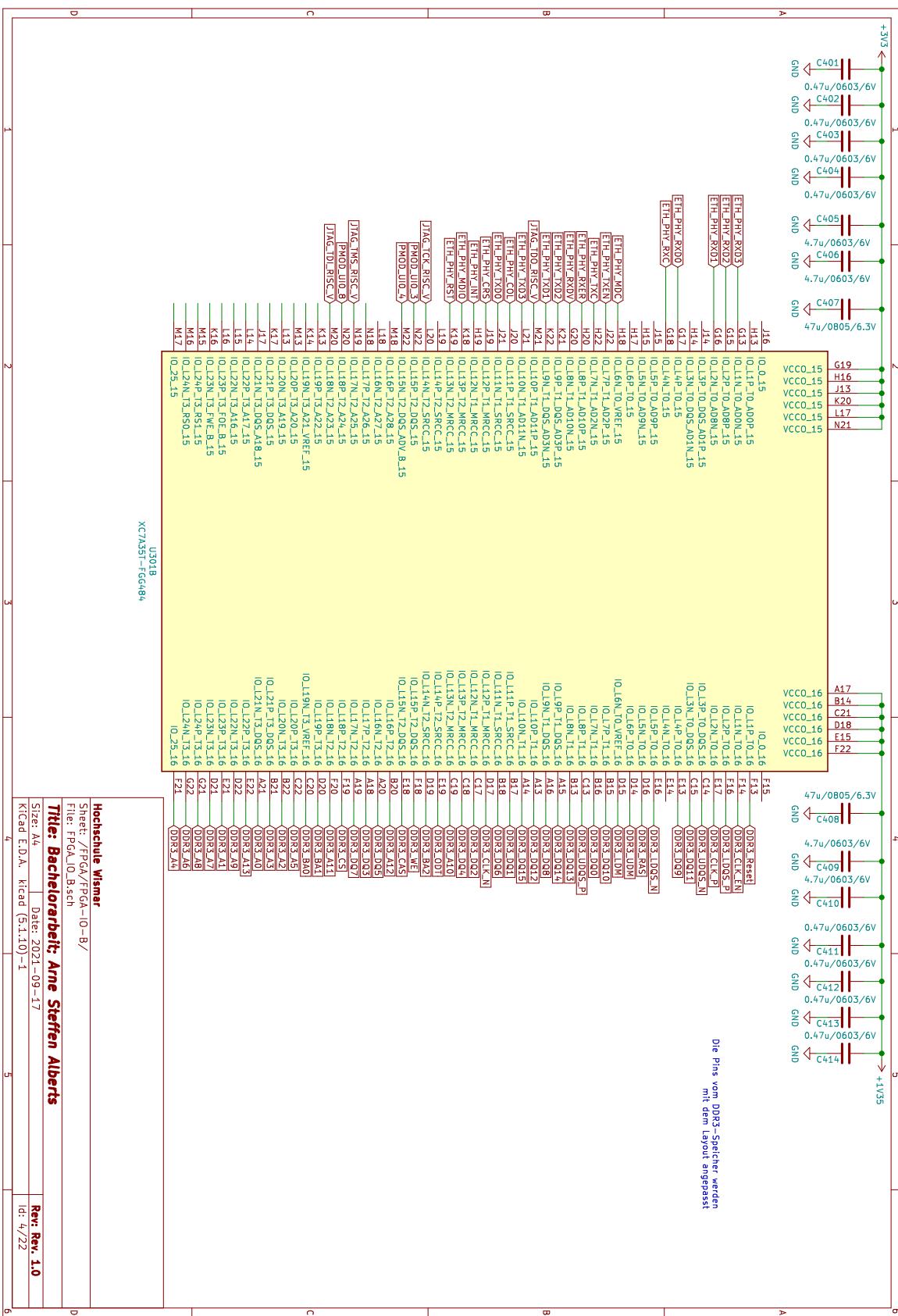
A Detailliertes Blockschaltbild

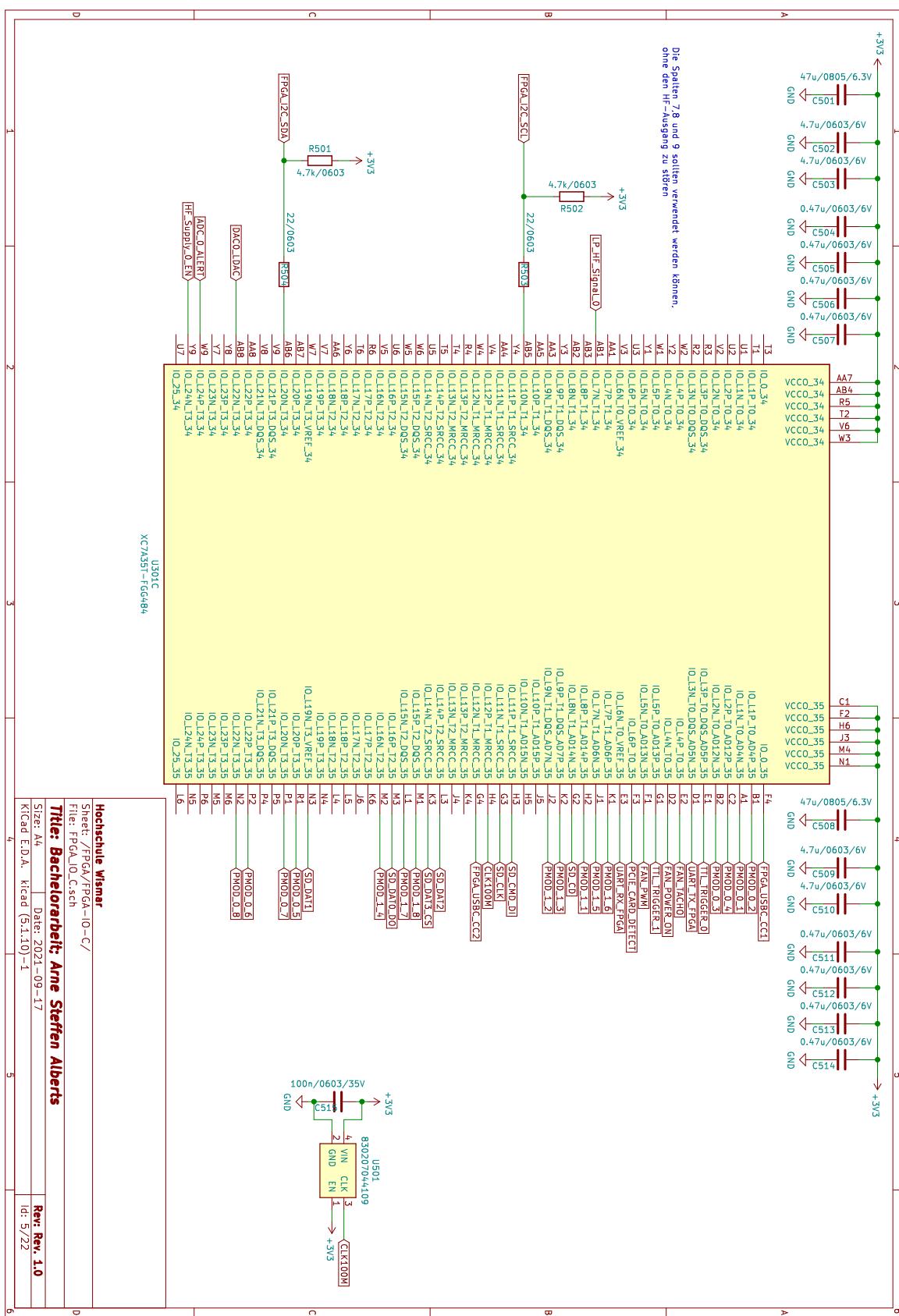


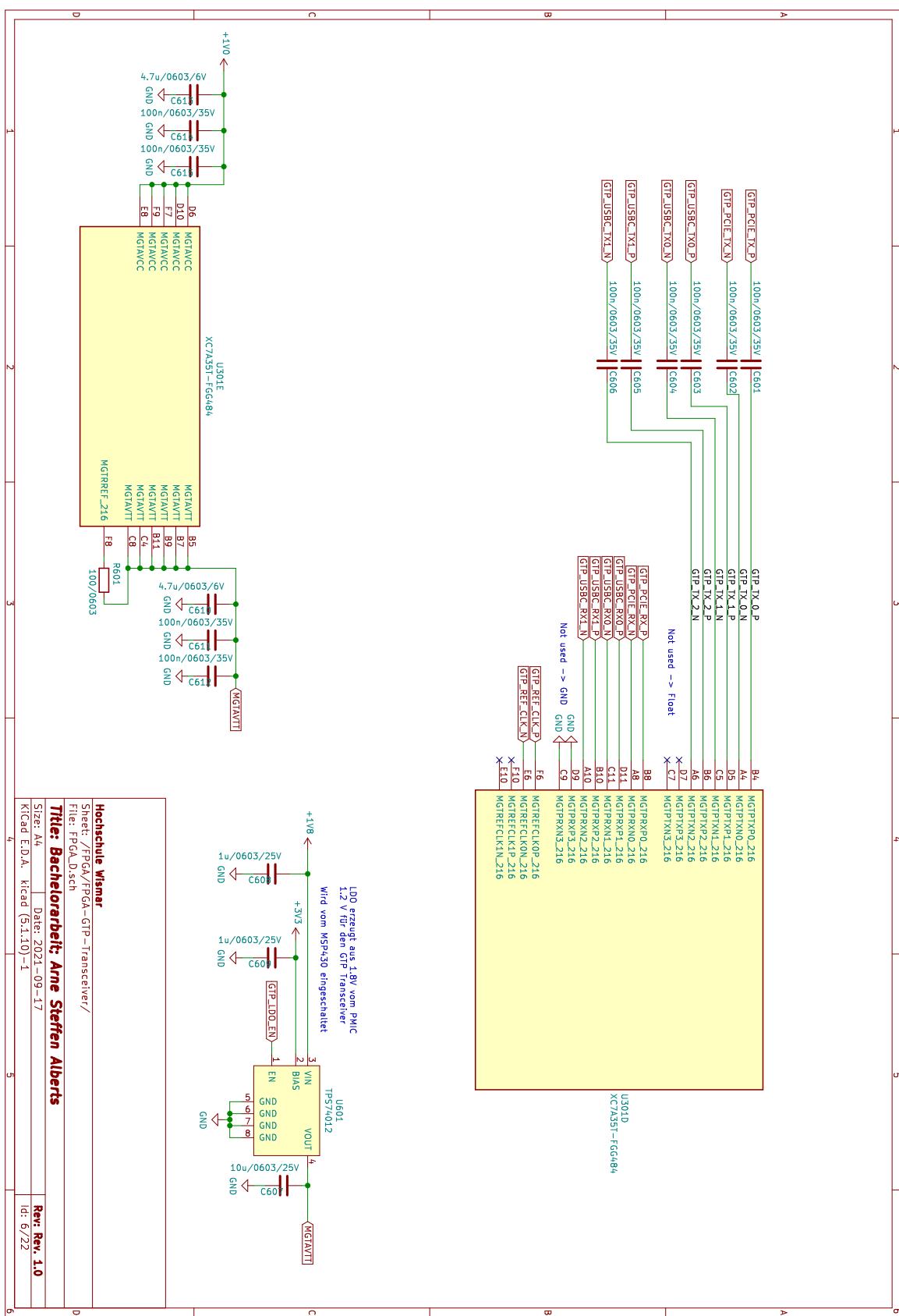
B Kompletter Schaltplan

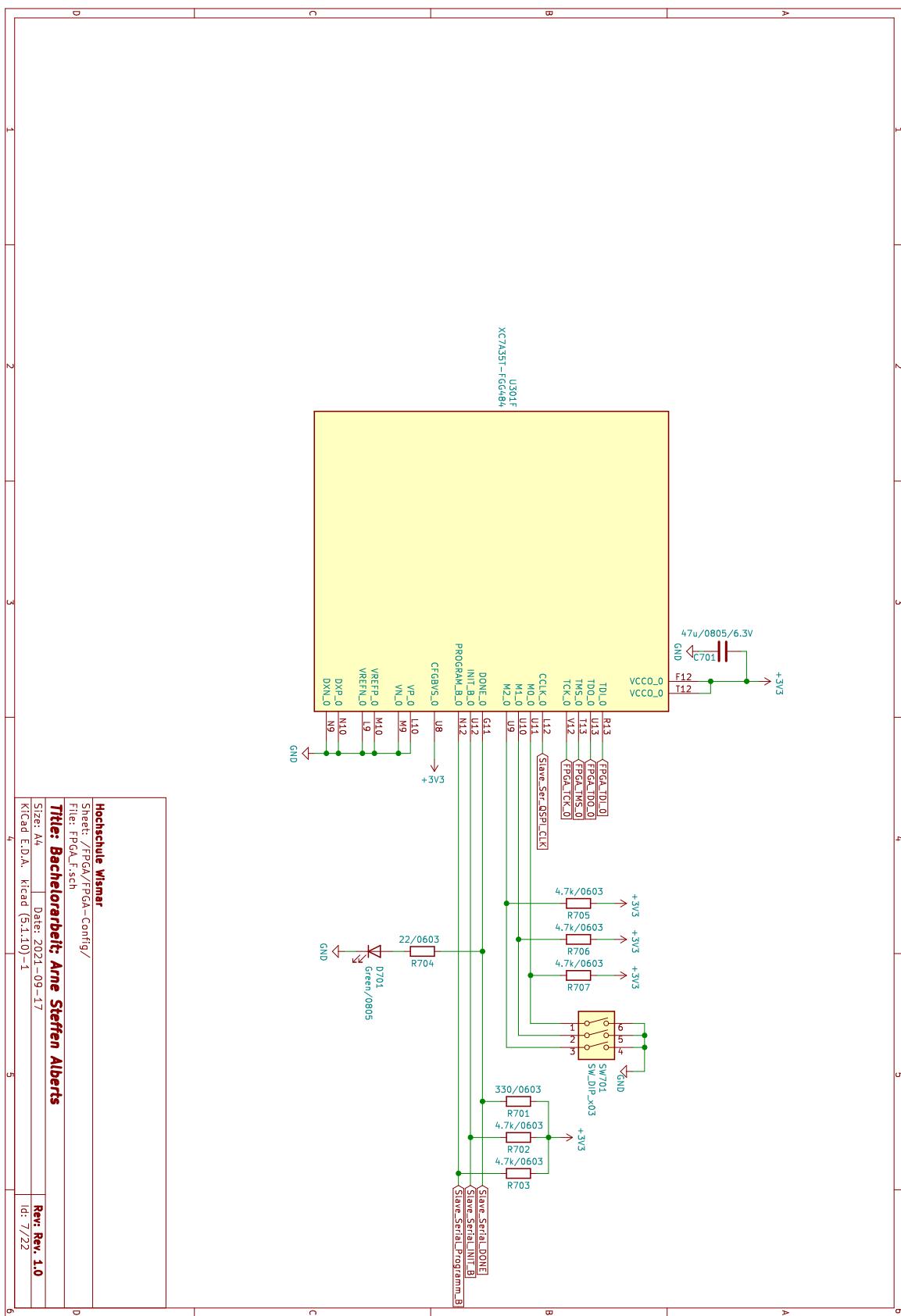


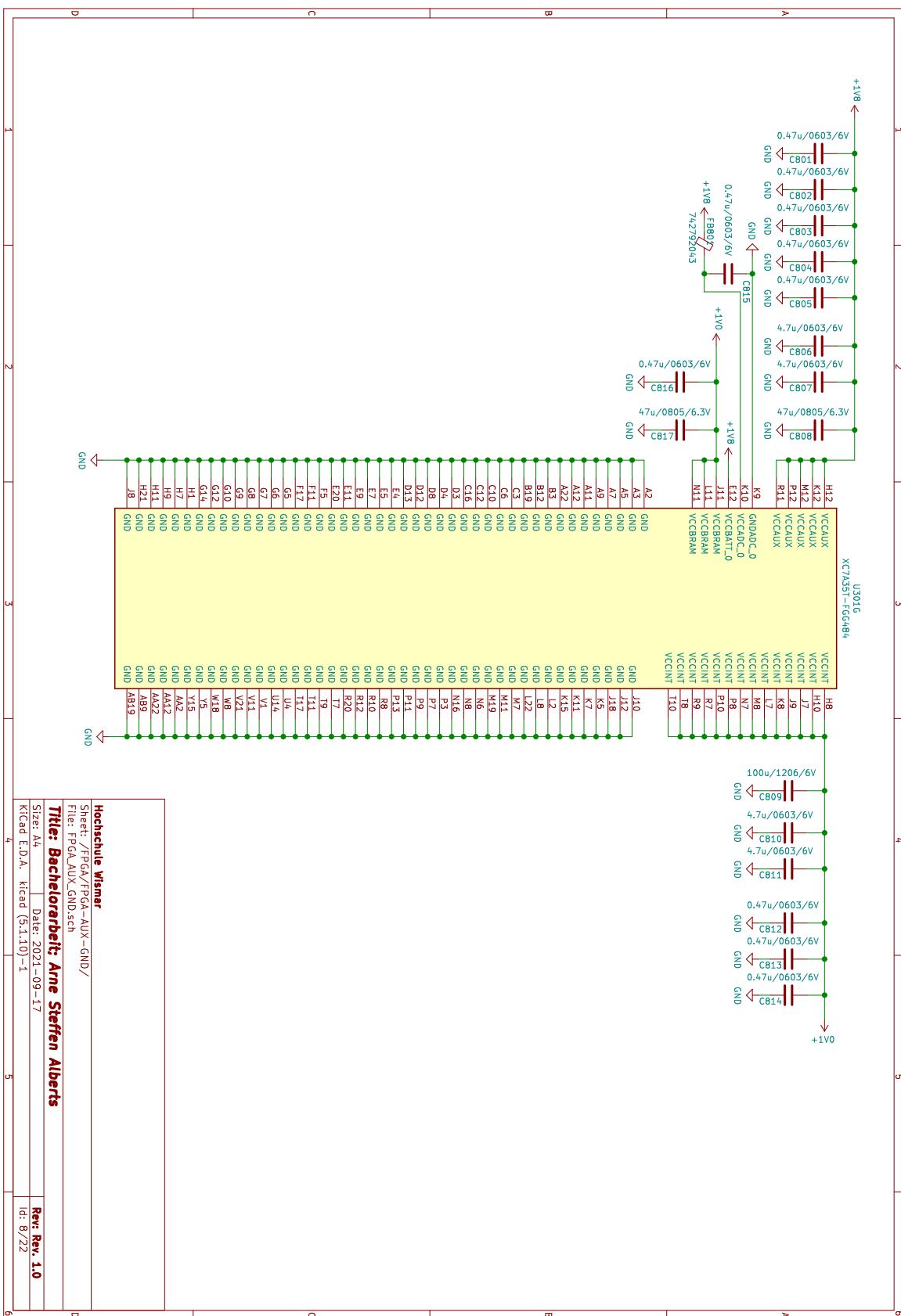
Anlage B. Kompletter Schaltplan

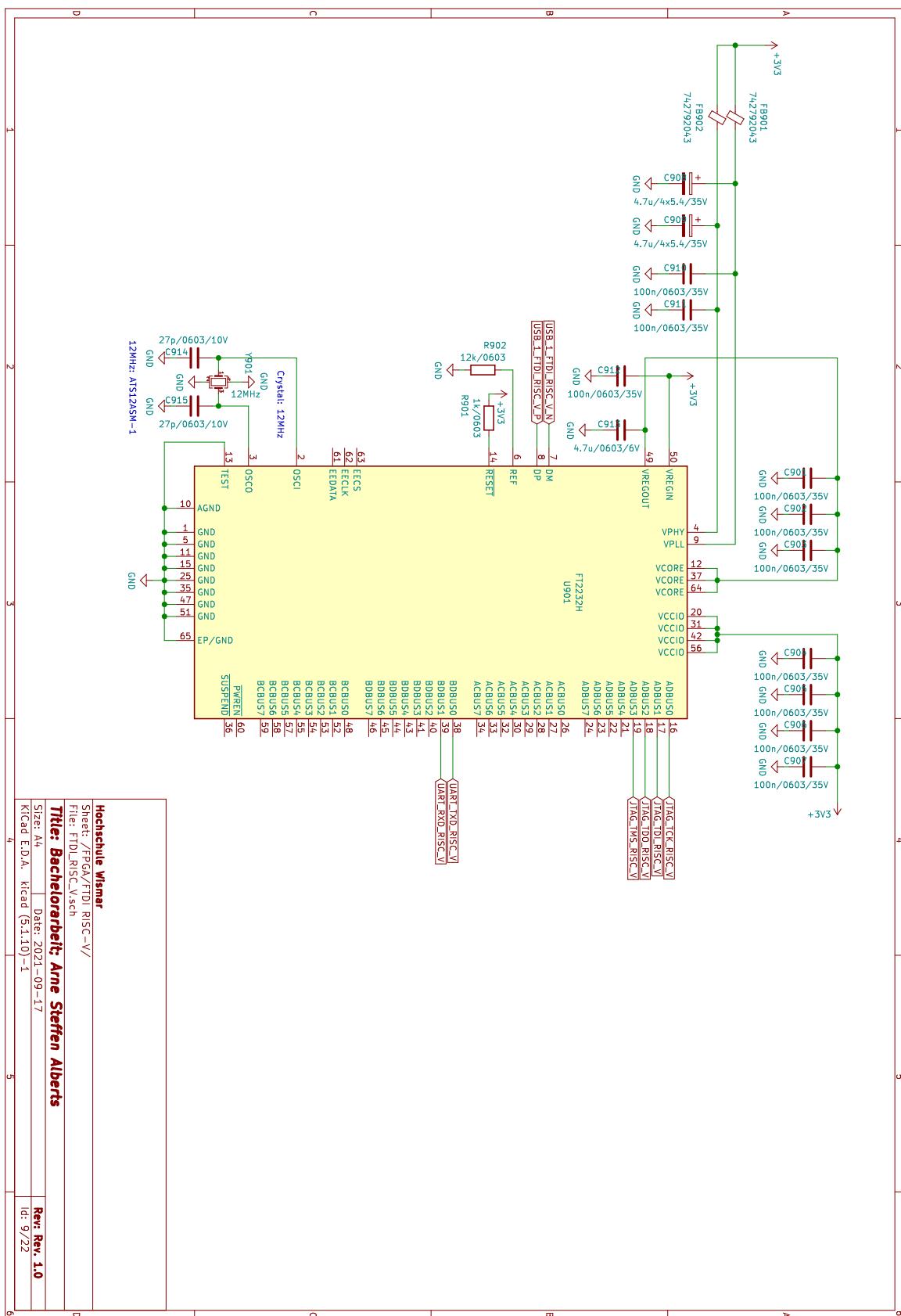


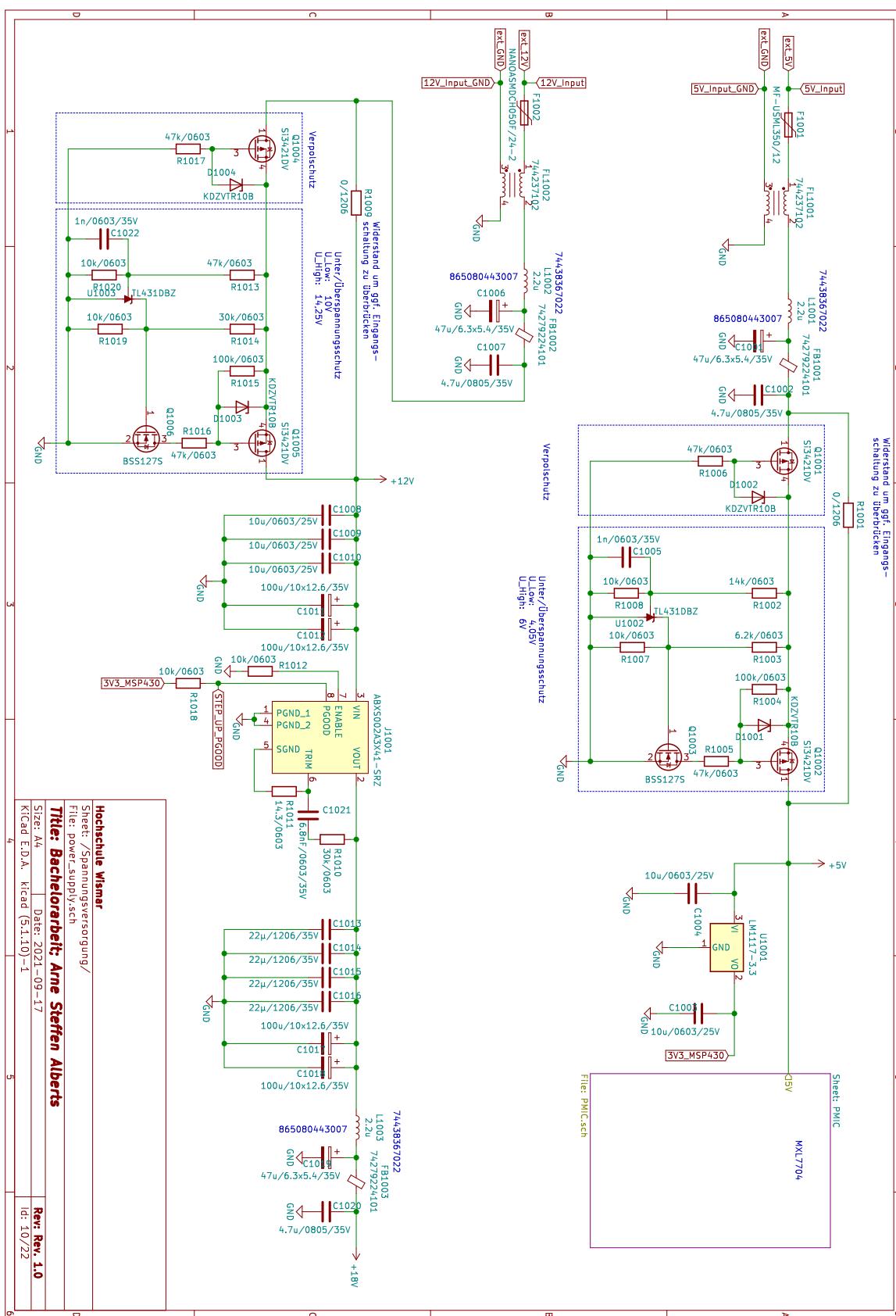


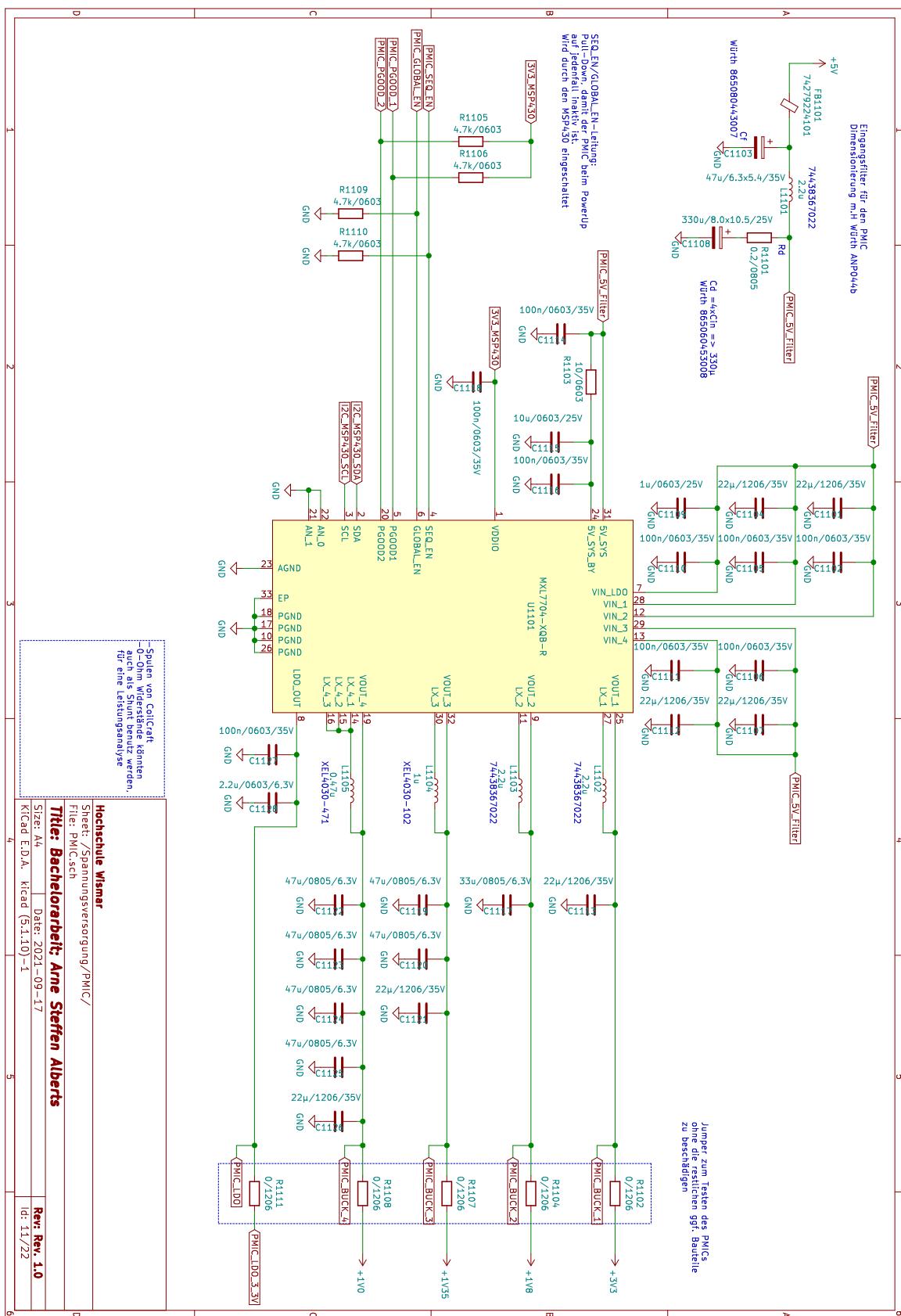


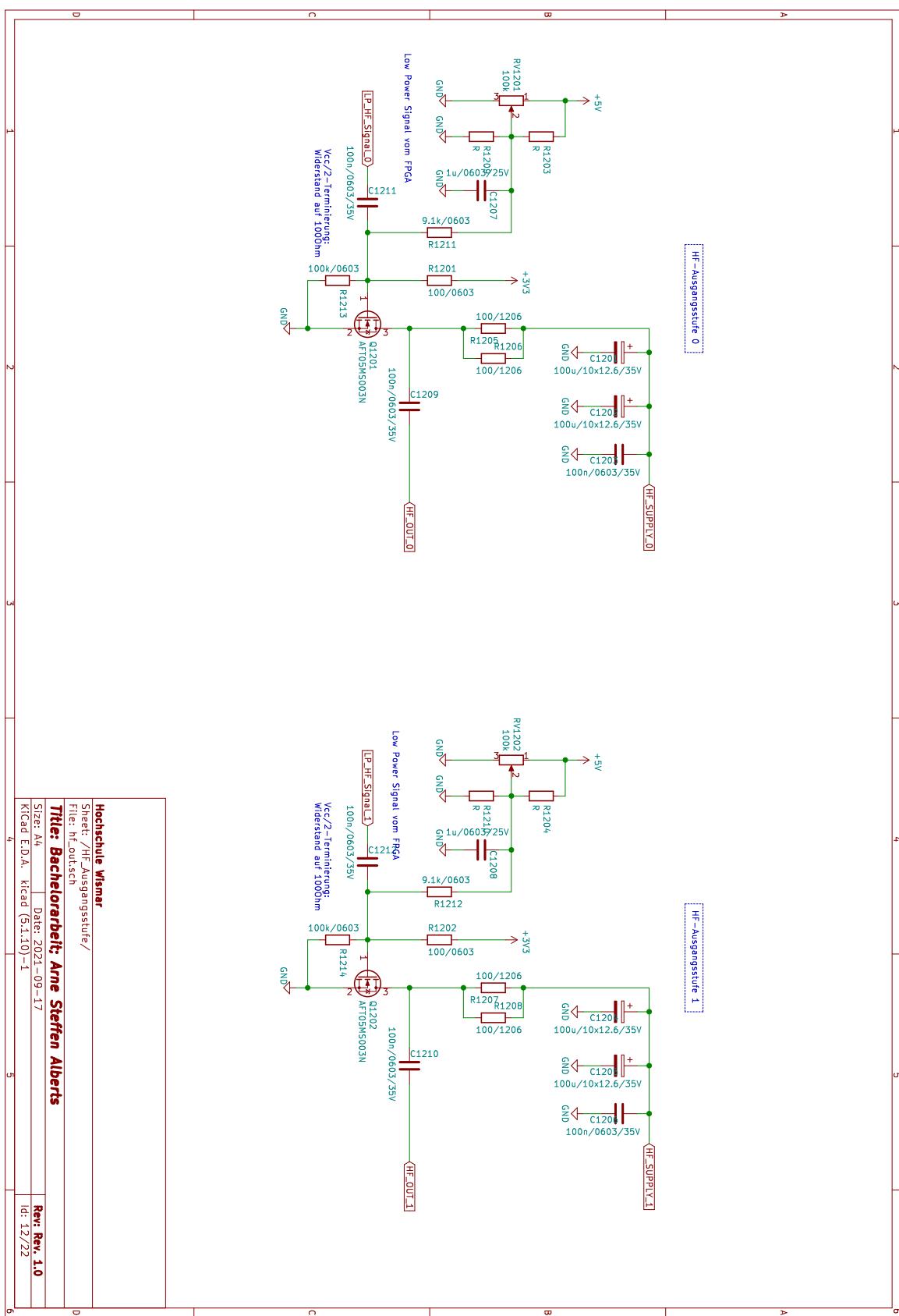


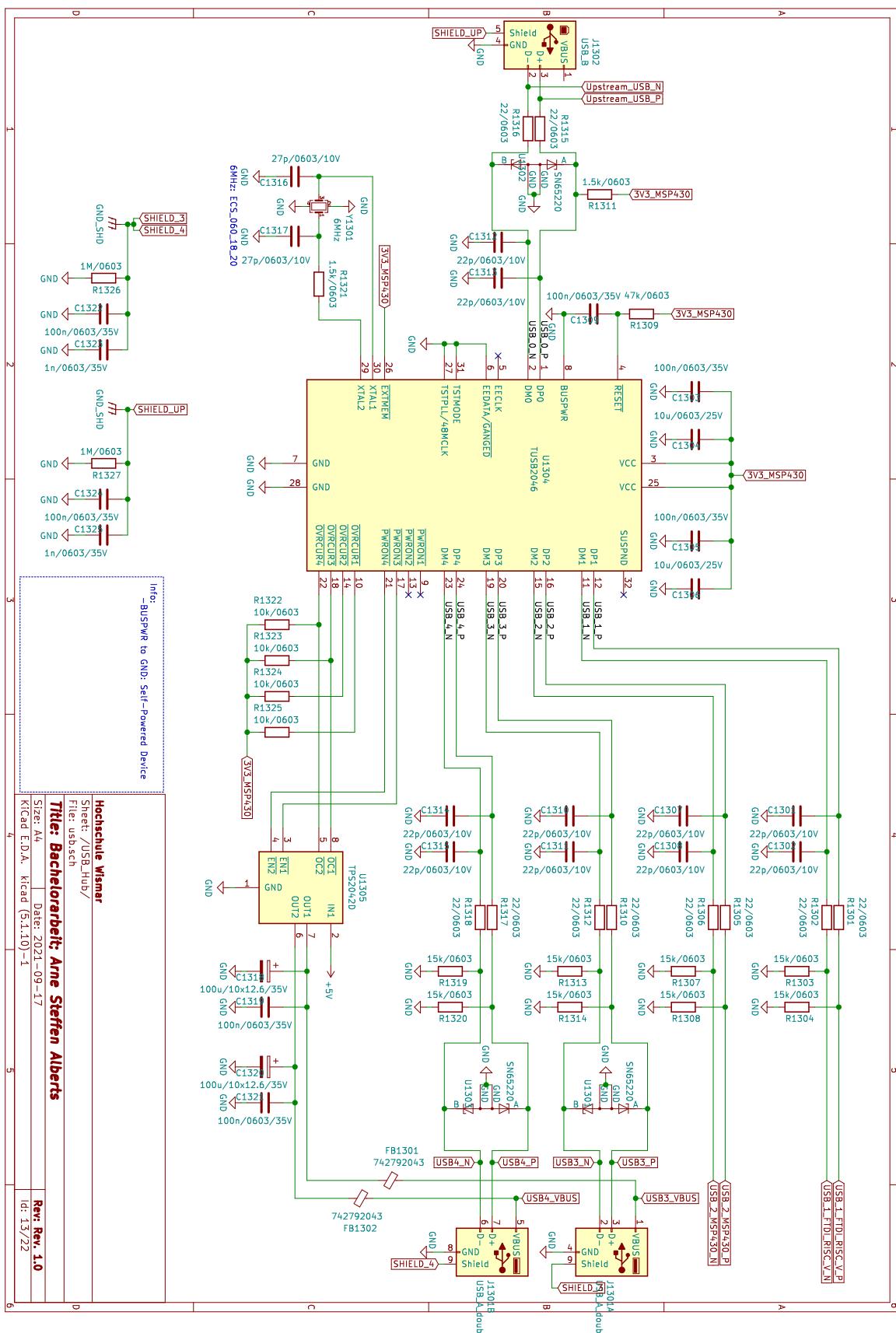


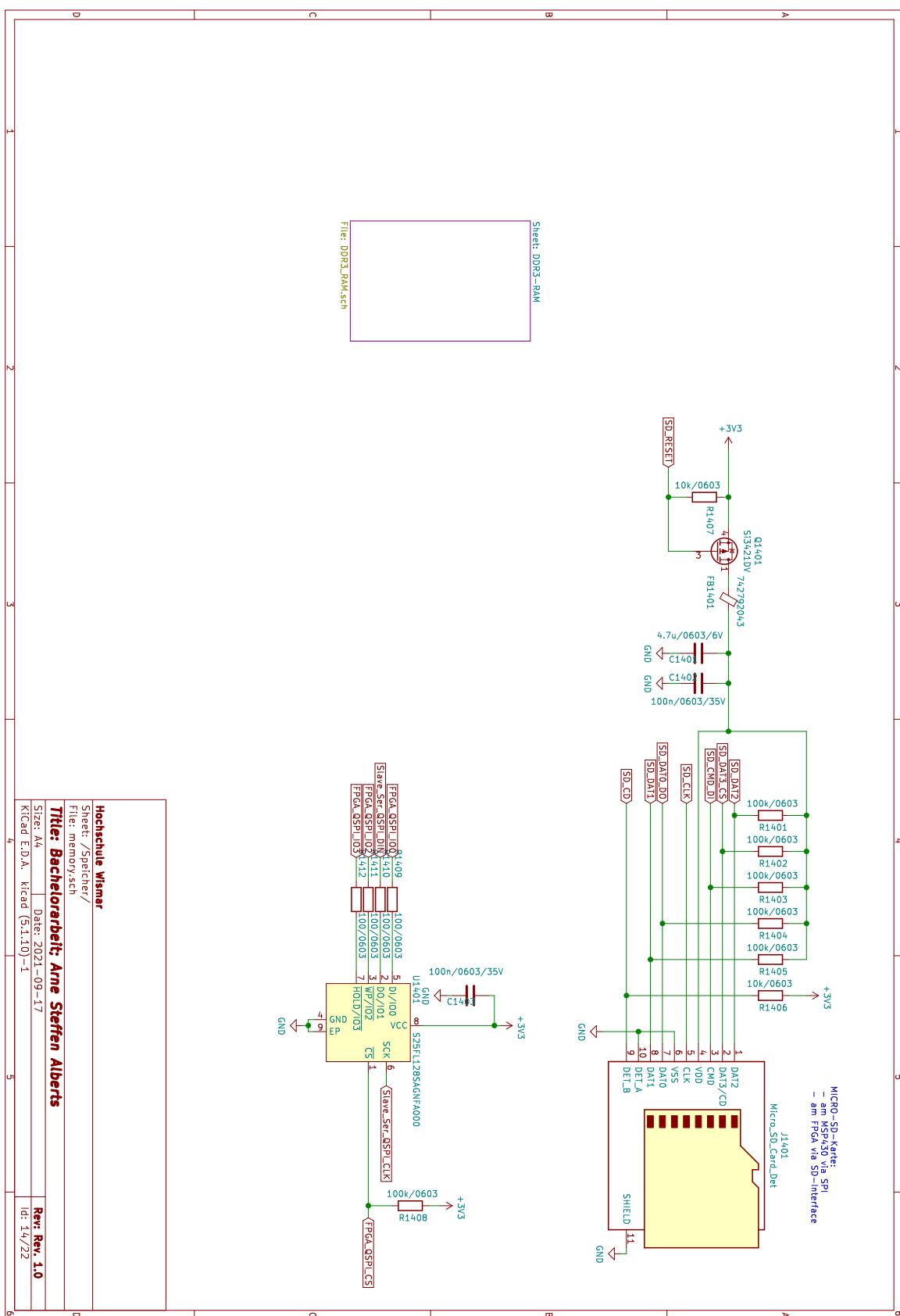


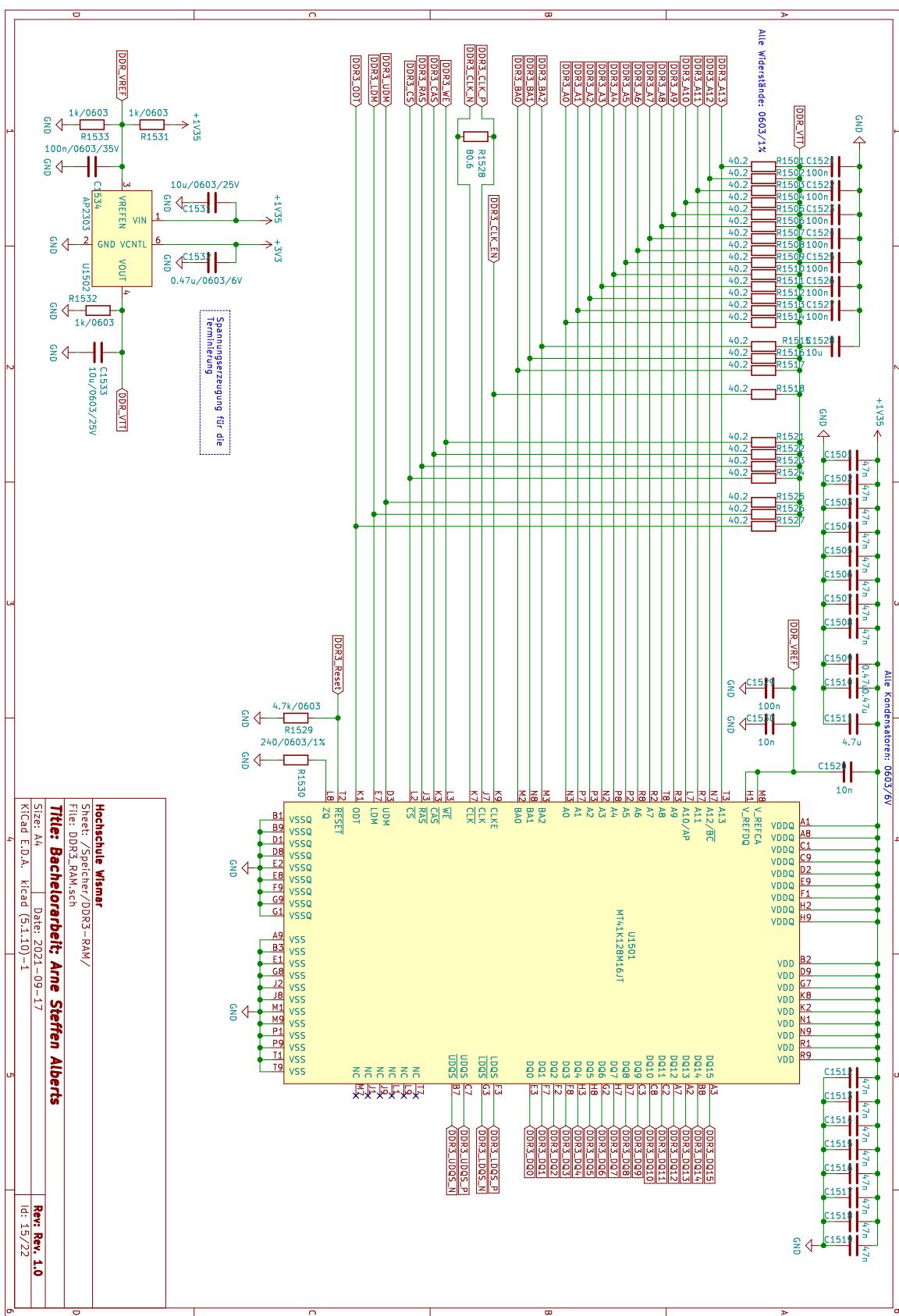


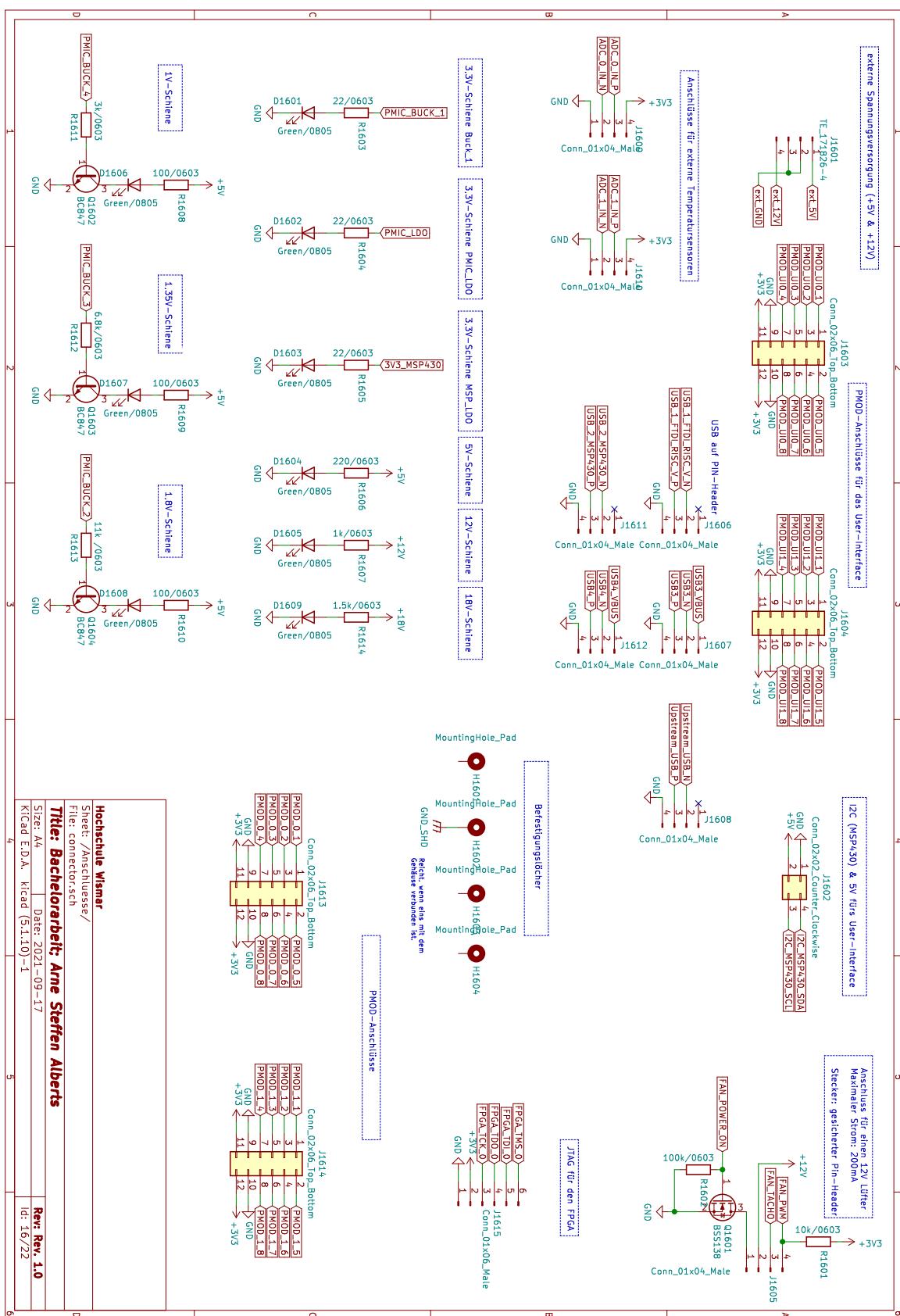


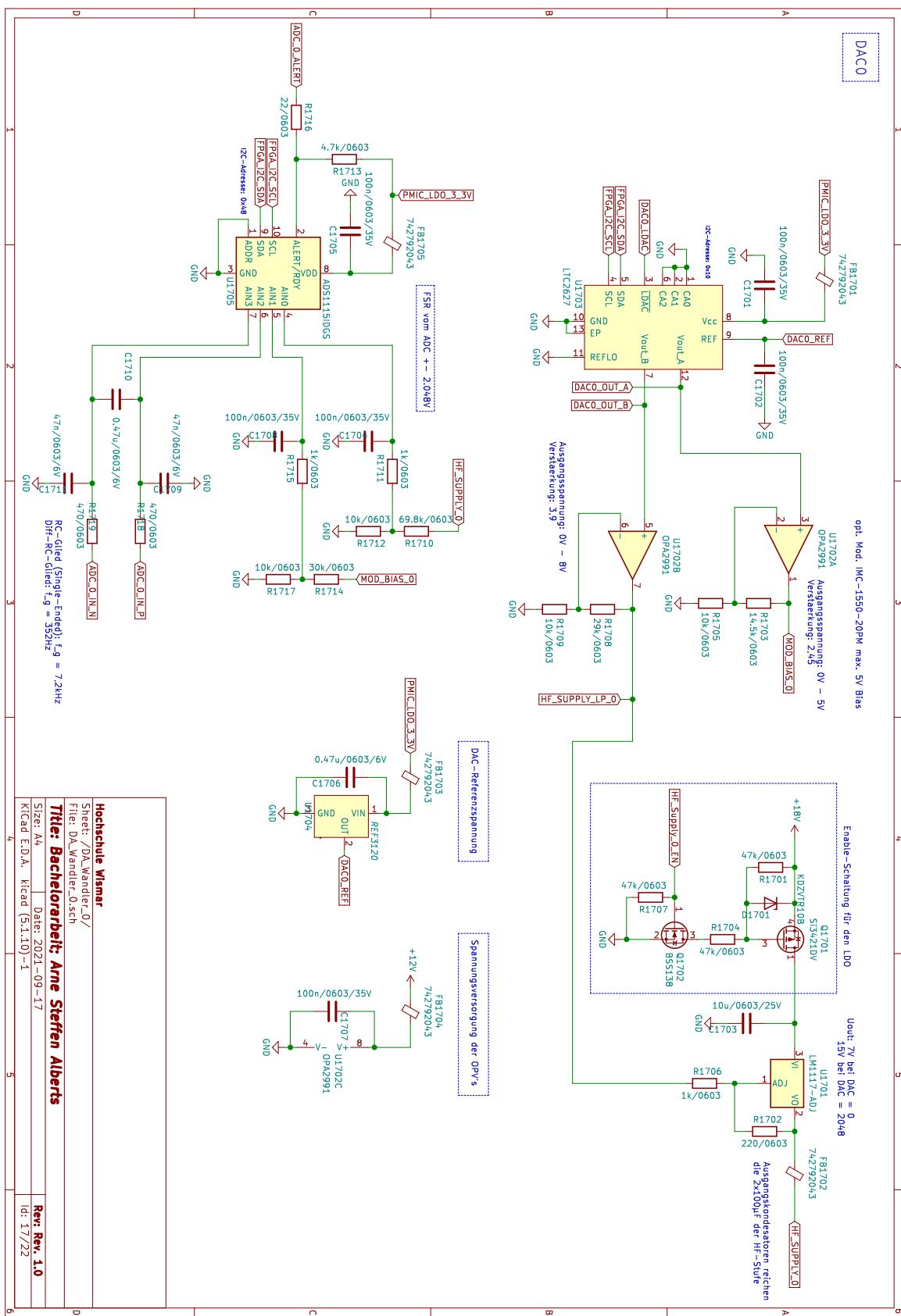


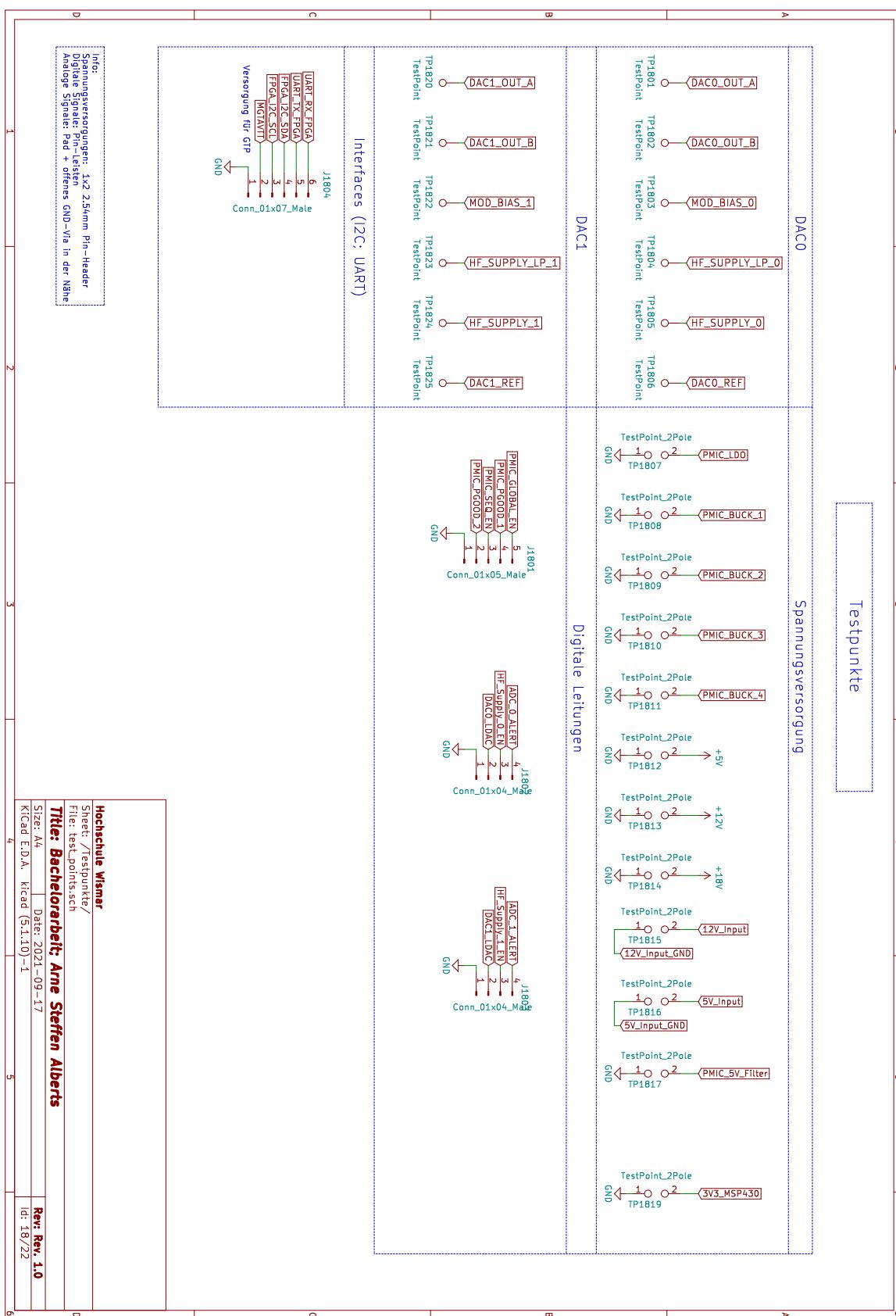


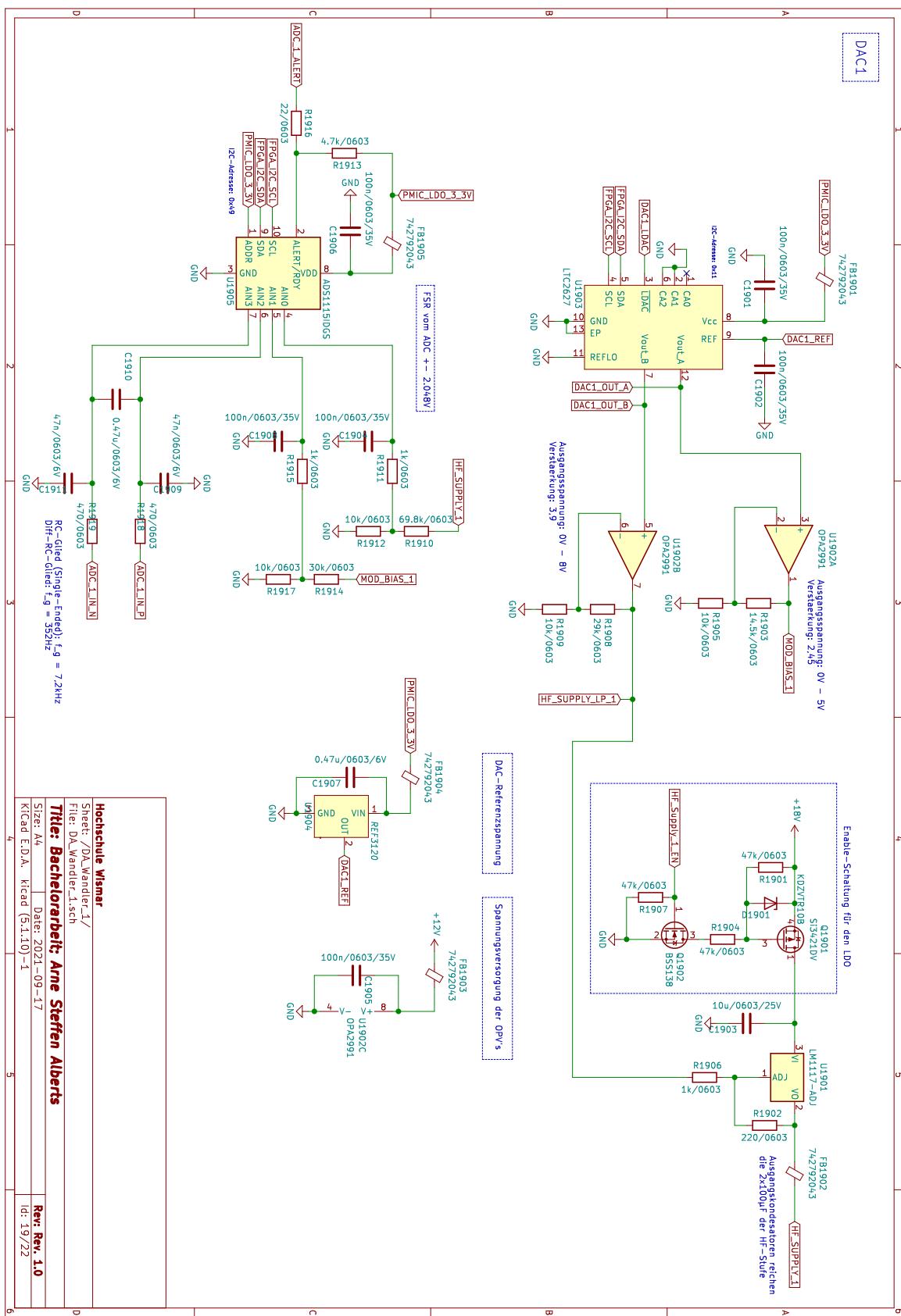


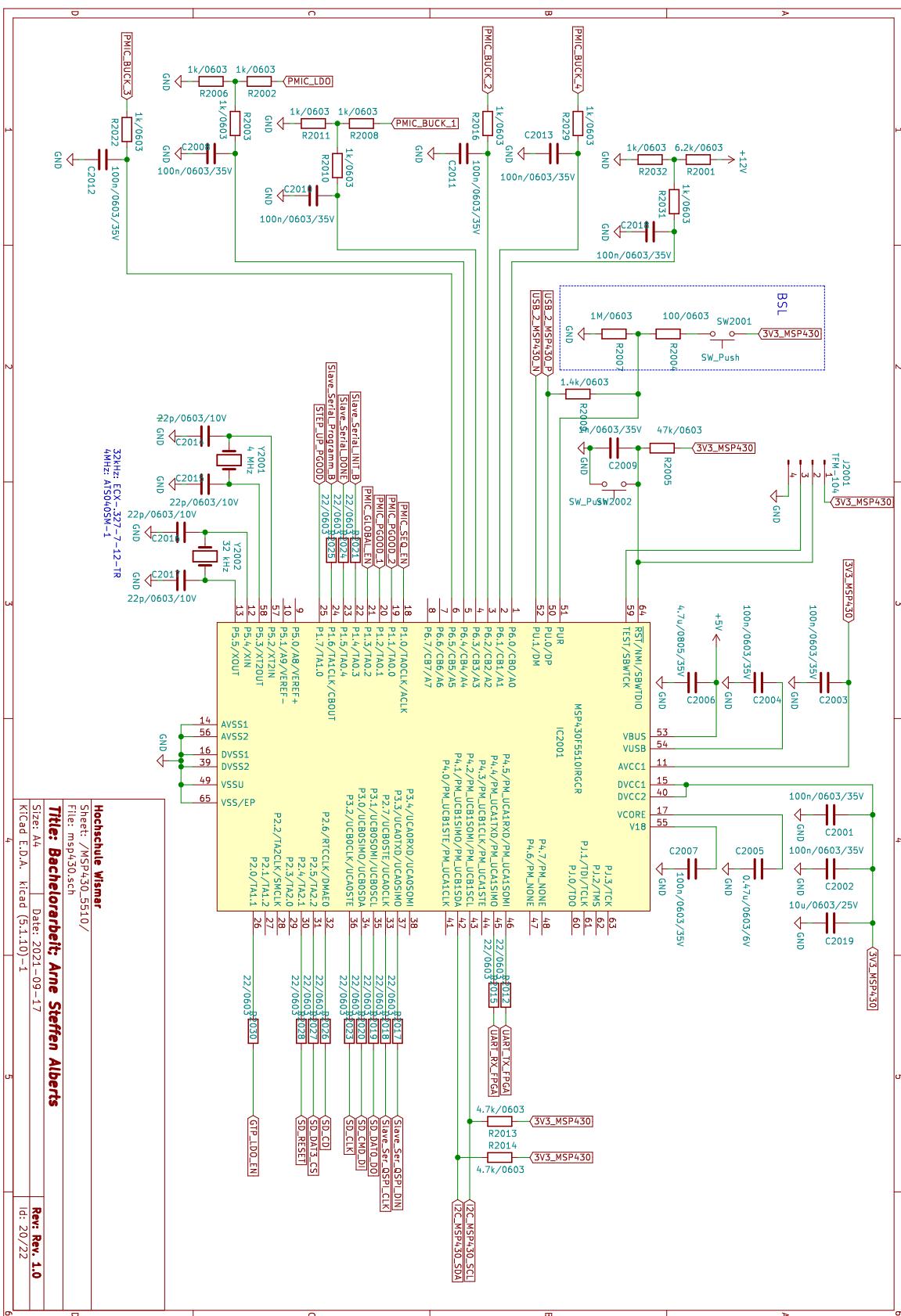


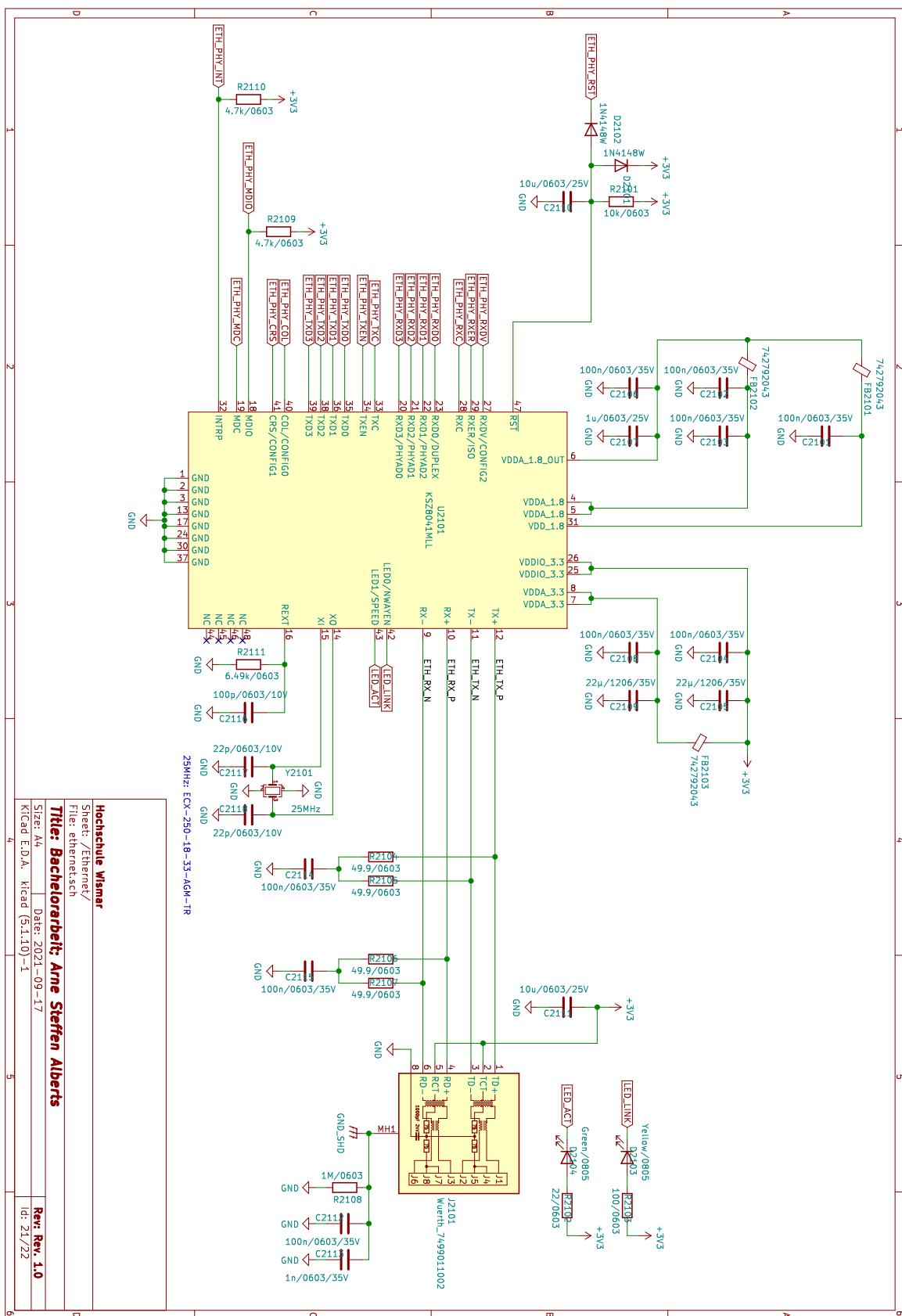




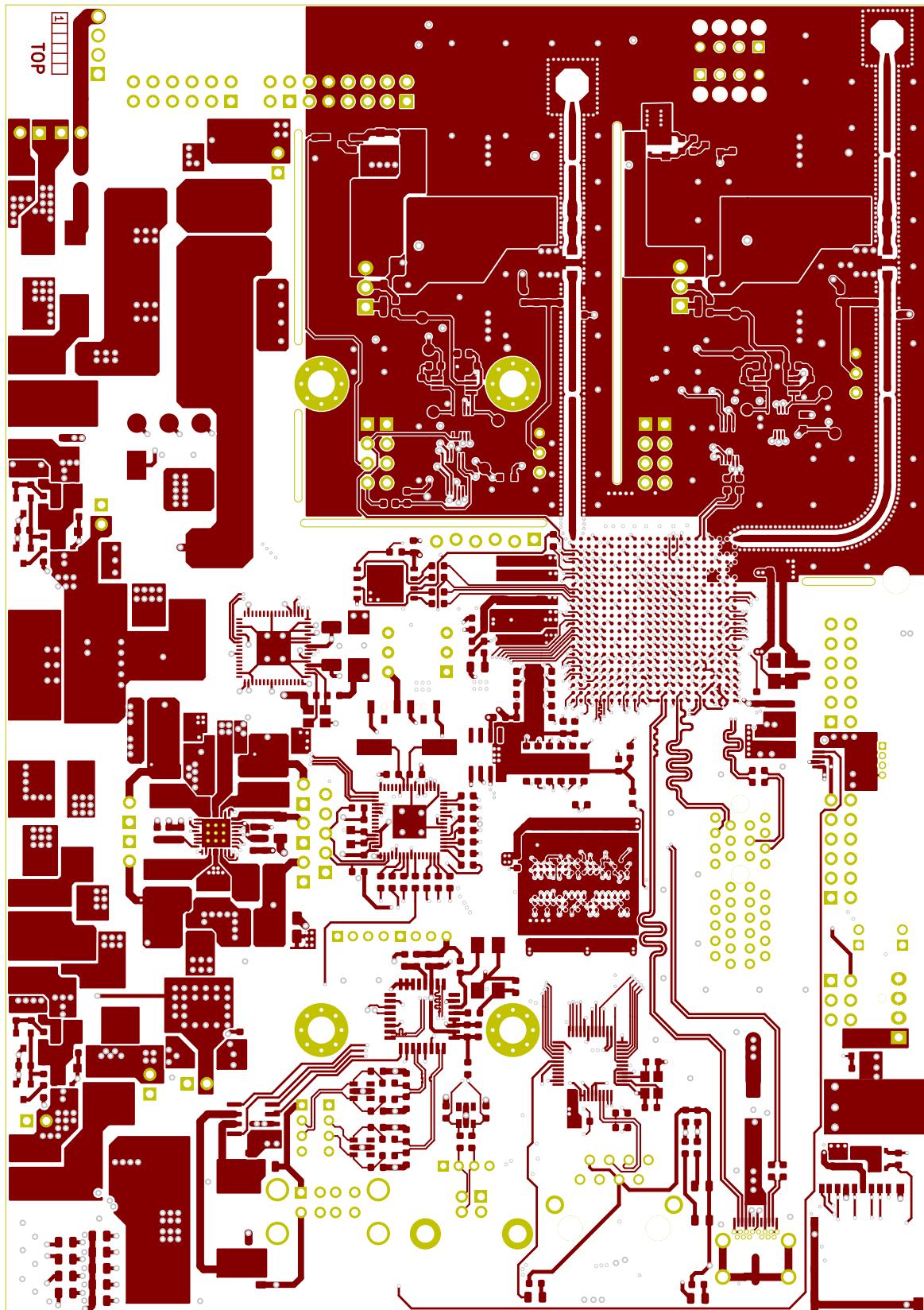


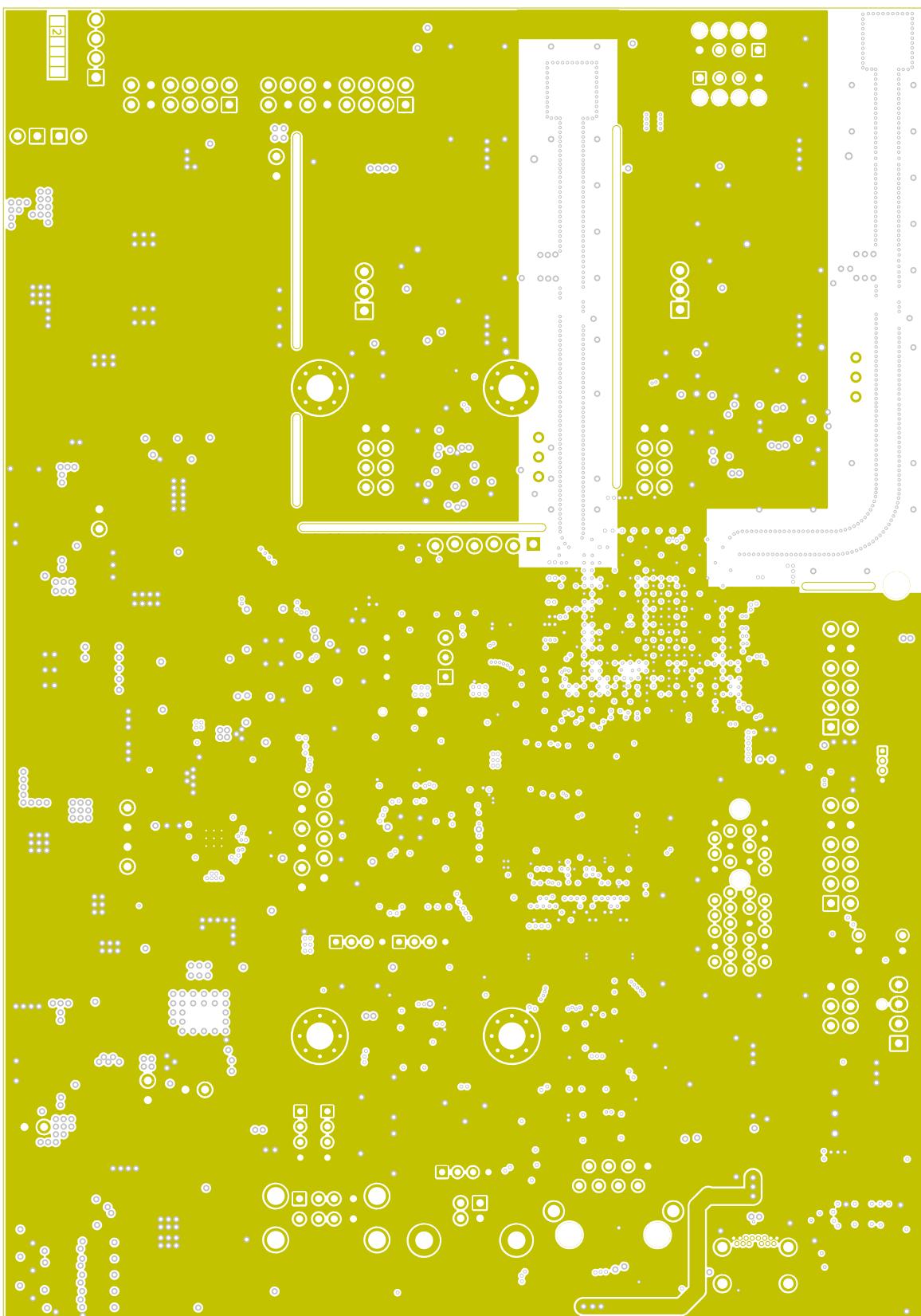


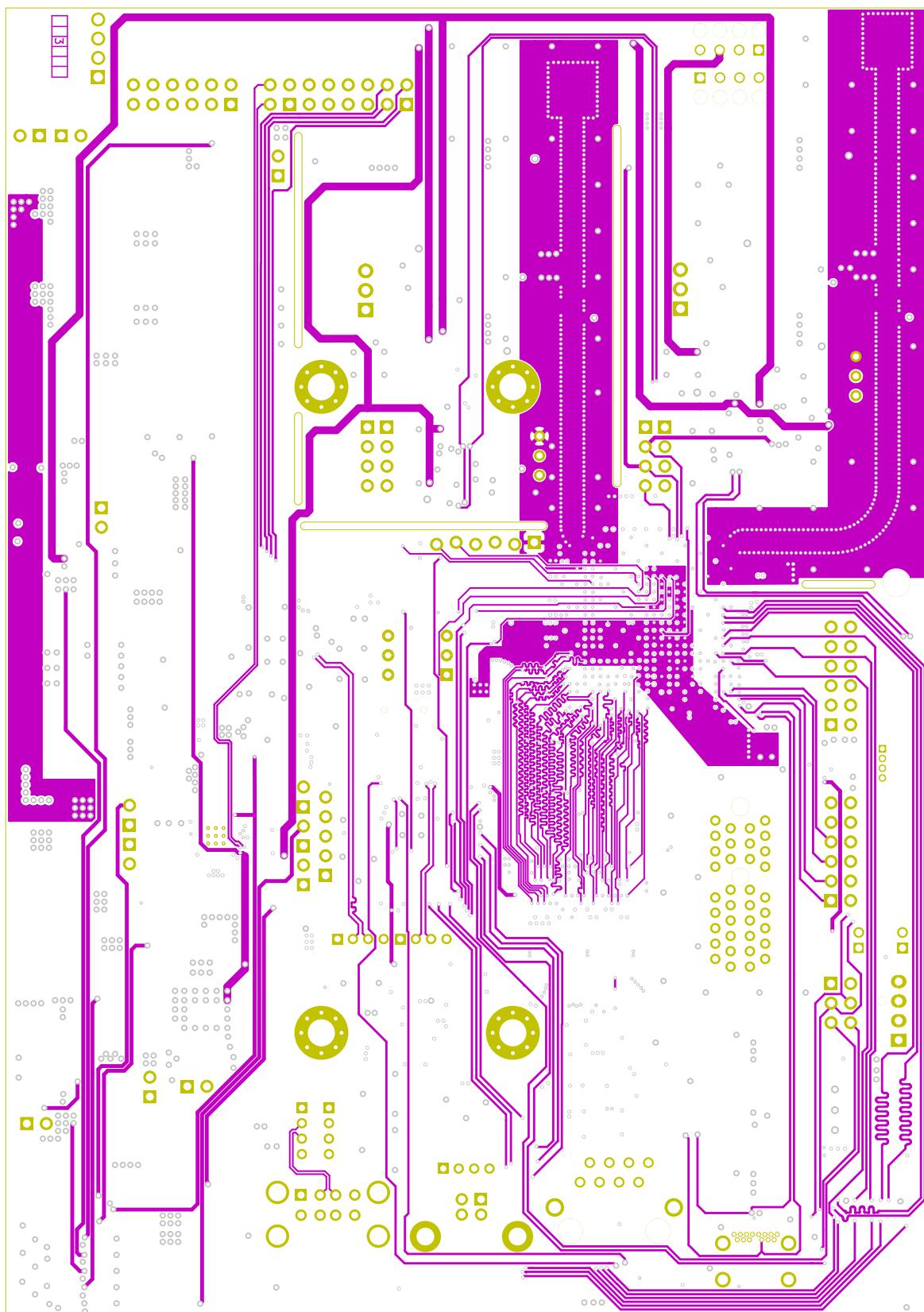


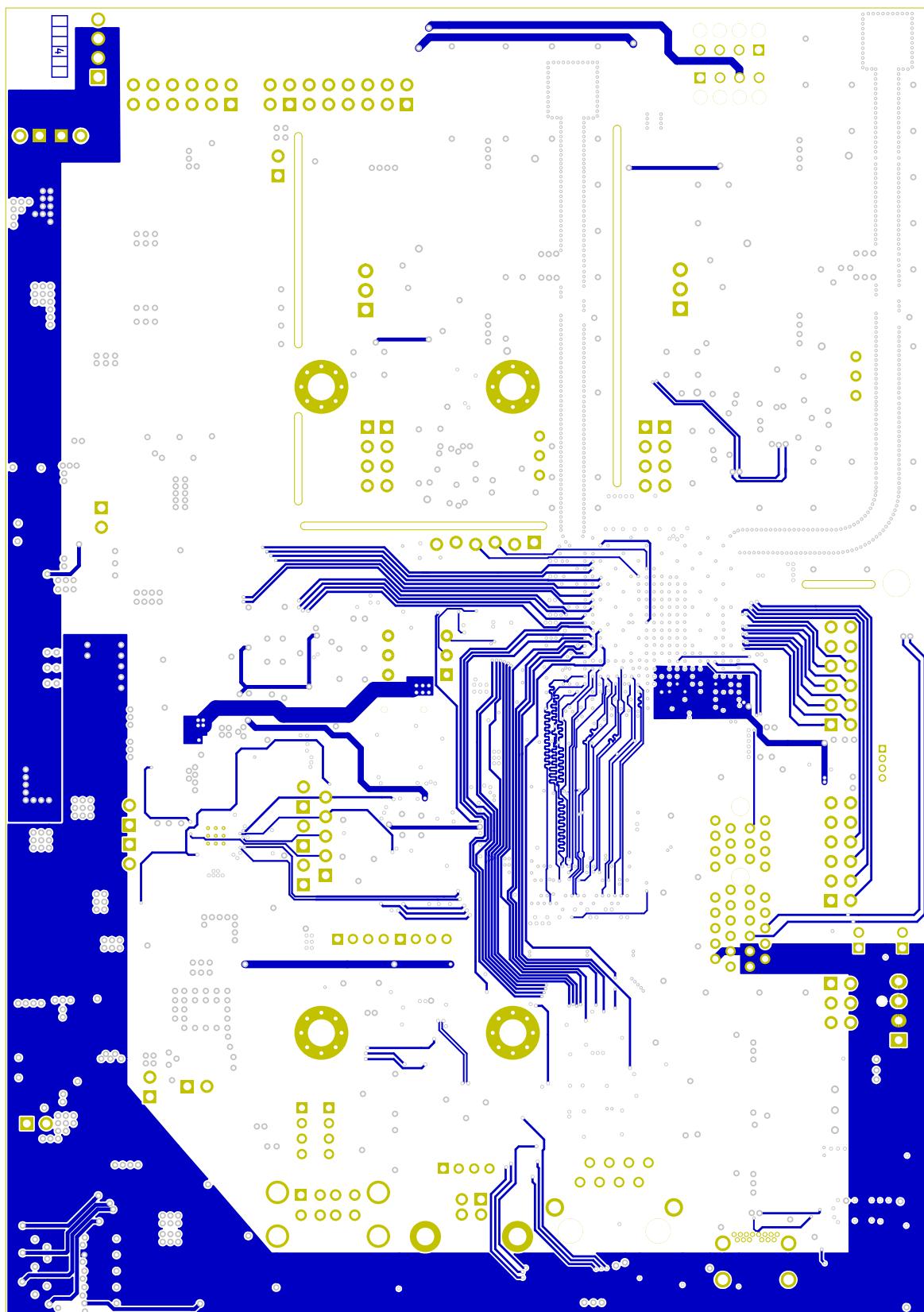


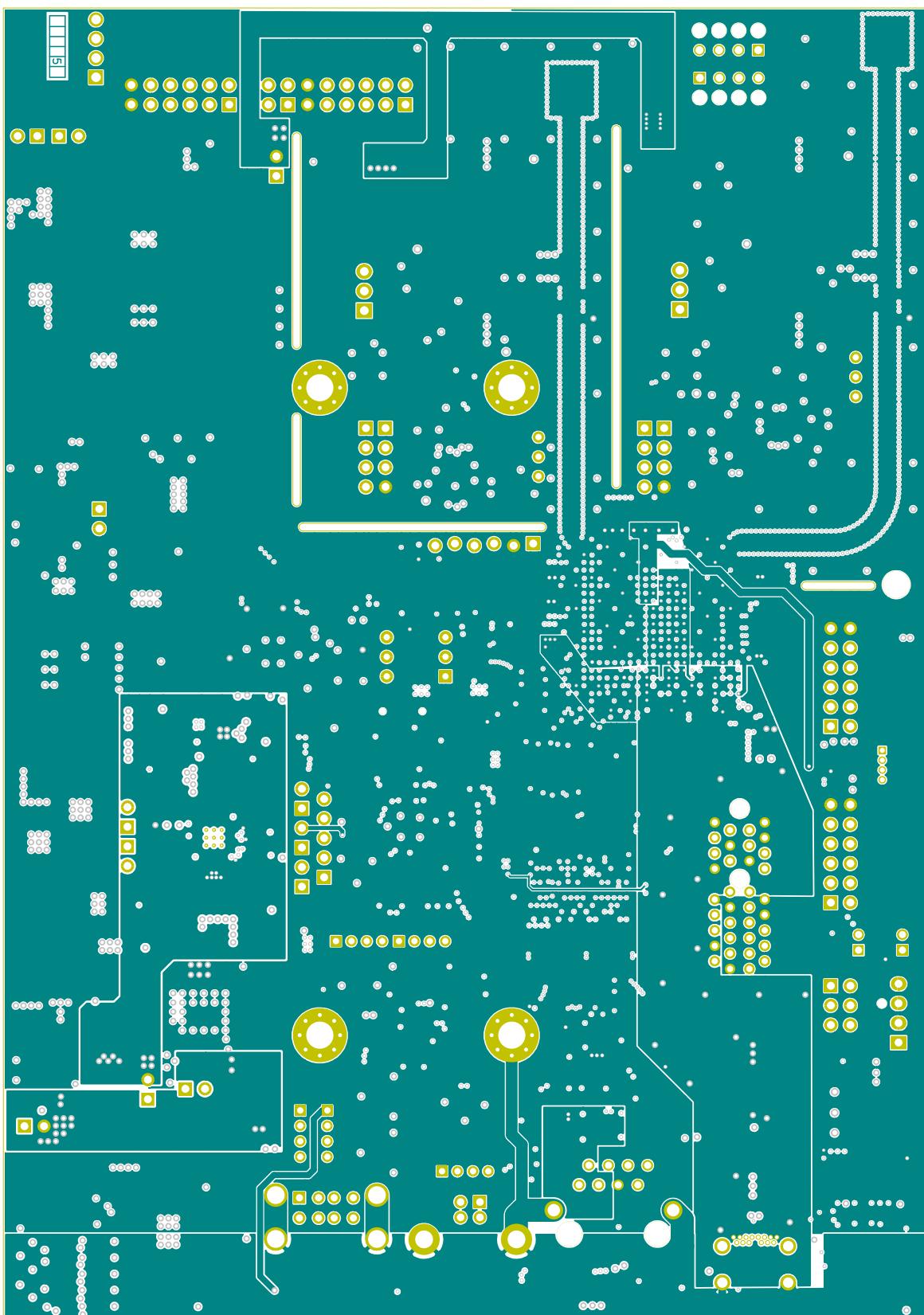
C Layout

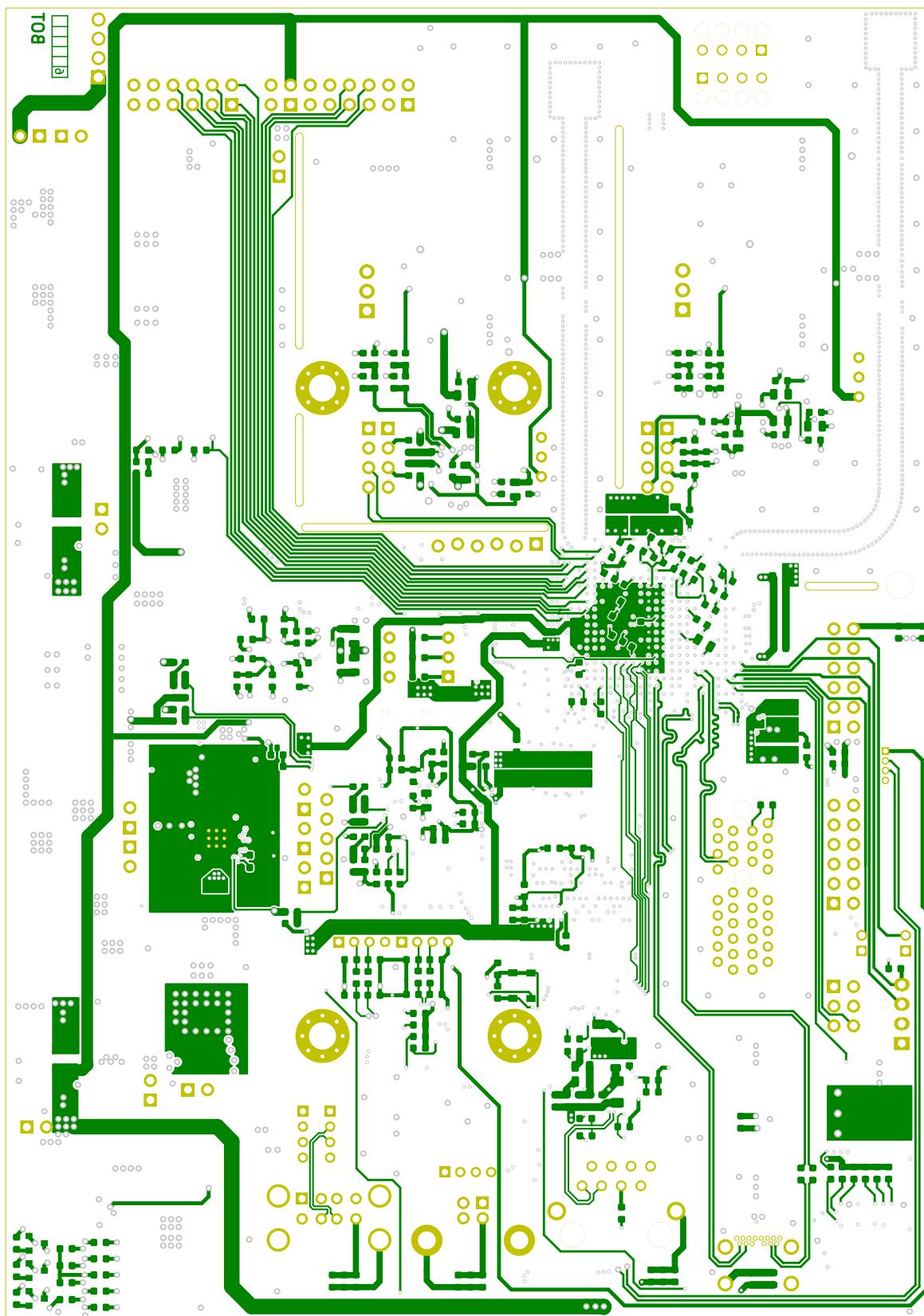




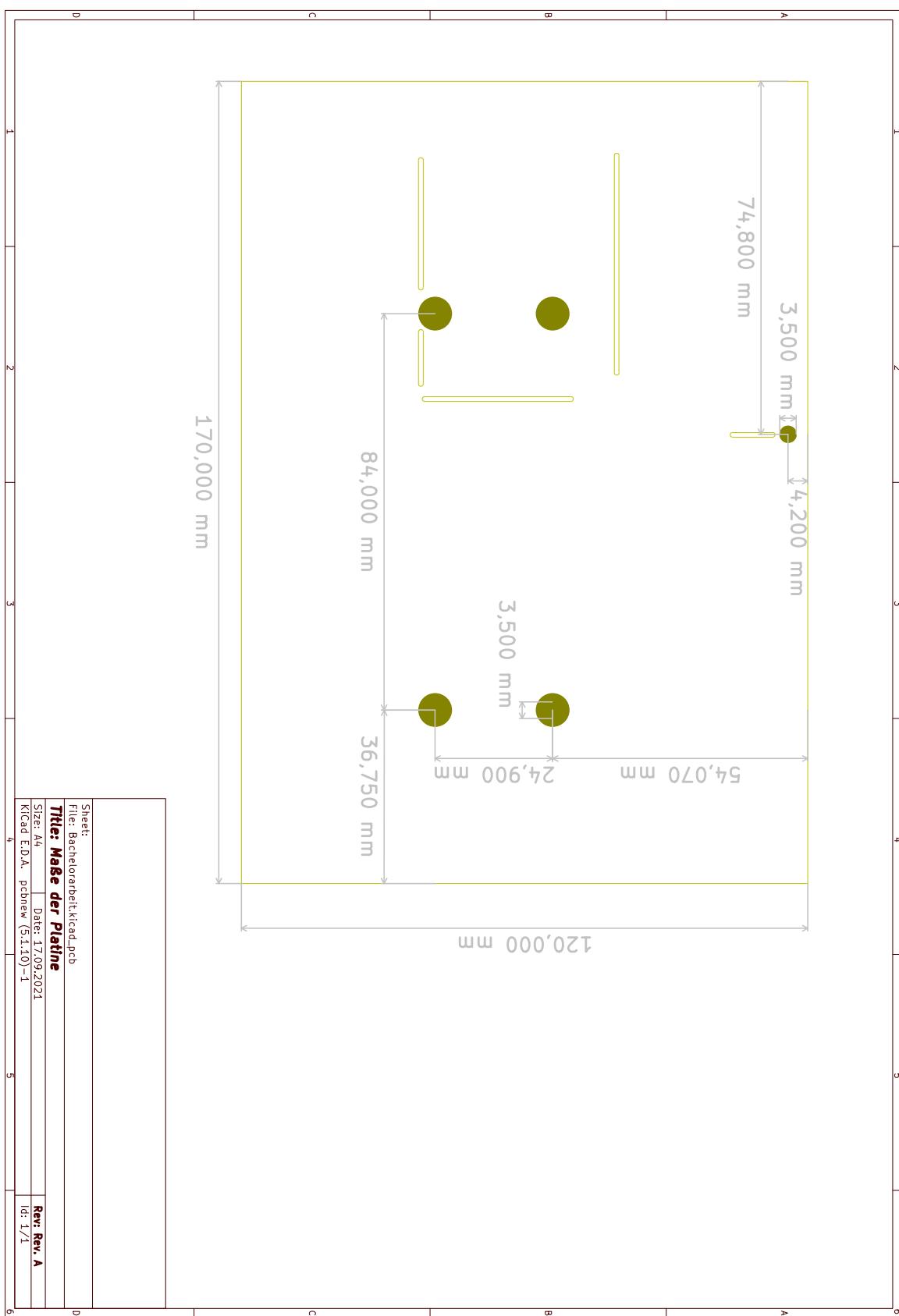








D Technische Zeichnung der Platine



Selbstständigkeitserklärung

Hiermit erkläre ich, dass ich die vorliegende Arbeit selbstständig verfasst und keine anderen als die angegebenen Hilfsmittel benutzt habe.

Die Stellen der Arbeit, die anderen Quellen im Wortlaut oder dem Sinn nach entnommen wurden, sind durch Angaben der Herkunft kenntlich gemacht. Dies gilt auch für Zeichnungen, Skizzen, bildliche Darstellungen sowie für Quellen aus dem Internet.

Ich erkläre ferner, dass ich die vorliegende Arbeit in keinem anderen Prüfungsverfahren als Prüfungsarbeit eingereicht habe oder einreichen werde.

Die eingereichte schriftliche Fassung entspricht der auf dem Medium gespeicherten Fassung.

Wismar,
20.09.2021



Ort, Datum

Unterschrift

Inhalt des beiliegenden Datenträgers

```
/ .....  
|_ Datenblätter .... Datenblättern zu alle wichtigen Bauteilen  
|   |_ Daten_Eval_Borads ..... Datenblätter zu Eval-Boards  
|   |_ Diskrete_Halbleiter .. Datenblätter zu MOSFETS etc.  
|   |_ FPGA ..... Datenblätter/UserGuides zum FPGA  
|   |_ Mechanische_bauteile .. Datenblätter zu Steckern etc.  
|   |_ Passive_Bauteile ..... Datenblätter zu passiven  
|       Bauelementen  
|   |_ Schaltkreise ..... Datenblätter zu allgemeinen ICs  
|   |_ Spannungsversorgung ..... Datenblättern zur  
|       Spannungsversorgung  
|   |_ Taktzeugung ..... Datenblätter zu alle Taktzeugern  
|_ Schaltung_Layout ..... KiCAD-Projekt: FPGA-Board  
|   |_ Adapter_Modulator KiCAD-Projekt: Modulator Adapter  
|_ Simulationen ..... Alle Simulationen in dieser Arbeit  
|   |_ Eingangsfilter ..... Simulation des Eingangsfilter  
|   |_ Schutzschaltung ..... Simulation der Schutzschaltung  
|   |_ einstellbarer_LDO .. Simulation zur Spannungssteuerung  
|       des LDO mit einem OPV  
|_ Software ..... Selbsterstellte Skripte und Programme  
|   |_ Py_Script_remove_reference.py .. Python-Skript um  
|       Referenzen von R's und C's zu entfernen  
|   |_ MXL7704_TestMSP-Programm um den PMIC einzustellen  
|_ Sonstiges ..... Sonstige Dateien  
|   |_ Multi_CB_Design_Rules.pdf . Design-Regeln von Multi  
|       Circuits Boards  
|_ Bachelorarbeit_Alberts.pdf ..... PDF-Datei dieser  
|       Bachelor-Thesis  
|_ BA_FPGA_Board_BSB.pdf Blockschatbild des FPGA-Board  
|_ tec_draw_pcb.pdf ..... Technische Zeichnung der Platine  
|_ Info.txt ..... Datei mit aufgelisteten Inhalt der CD
```