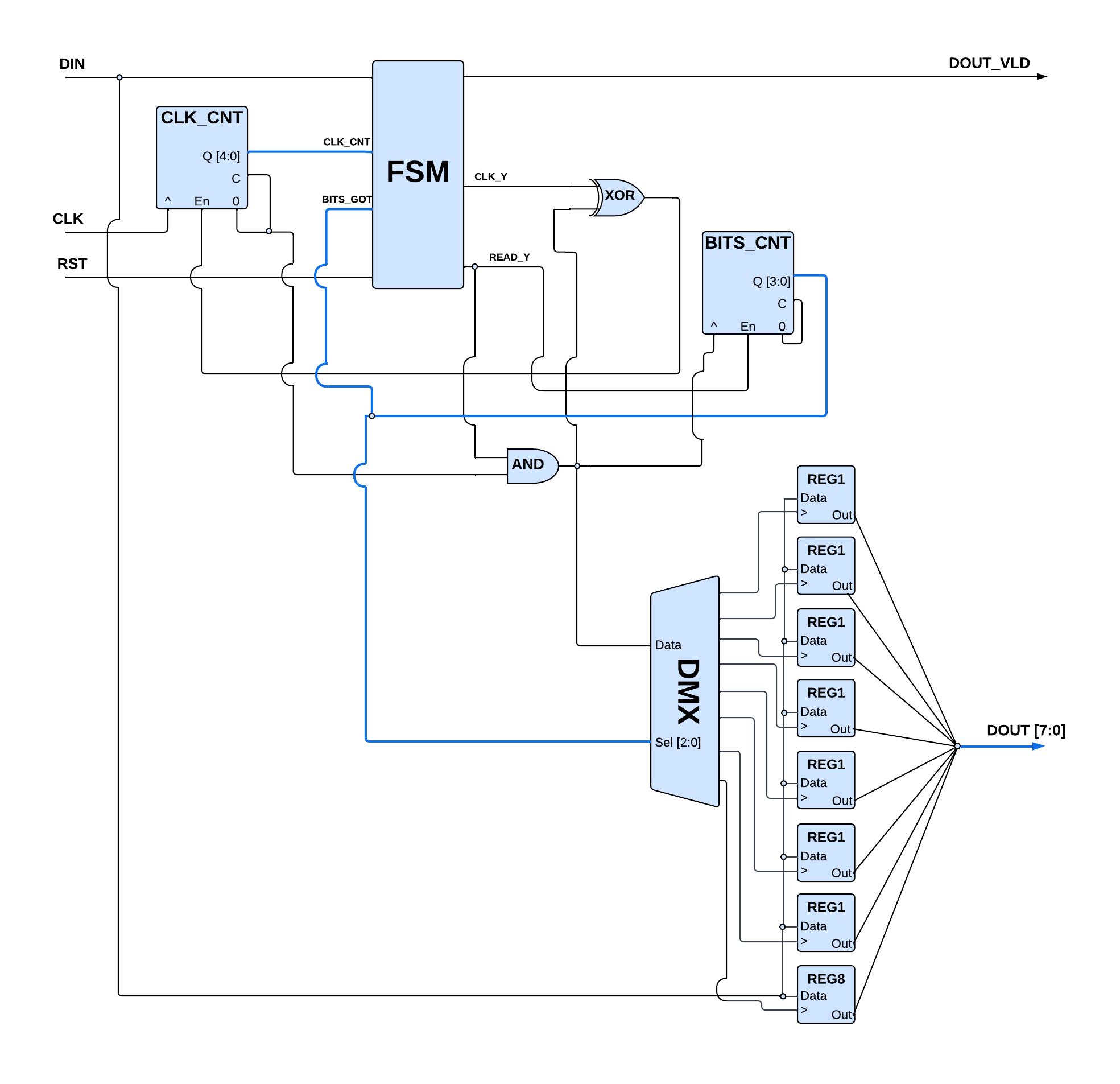
Výstupní zpráva projektu INC 2022-2023

Jméno: Arsenii Zakharenko

Login: xzakha02

Architektura navrženého obvodu na úrovni RTL

Schéma obvodu

Popis funkce

Hodinové signály a počet přečtených bitů jsou počítány čítači a přenášeny do FSM, který je zodpovědný za postupnou změnu pracovních režimů obvodu (konkrétně jeho prvků) a také za výstup výsledků. Čítače lze v případě potřeby automaticky vynulovat.

Demultiplexer se používá k postupnému přiřazení hodnoty DIN do 8 jednobitových registrů. Pomocí přijatého bitového čítače se vybere číslo registru a časový čítač a konečný stavový automat jej ve správný okamžik aktivují. Na konci pak dostaneme hodnotu DOUT [7:0].

Svazky bitů jsou označeny modře a pro větší pohodlí jsou tlustě popsány.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda  
-Stavy automatu: IDLE, WAIT\_START, GET\_BITS, WAIT\_STOP, VALIDATION.  
-Vstupy: DIN (A), BITS\_GOT (B), CLK\_CNT (C).  
-Moorovy výstupy: READ\_Y, CLK\_Y, DOUT\_VLD.

A picture containing diagram, circle, text, line

Description automatically generated

Popis funkce

Tento konečný stavový automat FSM (je zcela Moorovy) má v podstatě cyklickou strukturu a po provedení akcí se vrací do počátečního stavu IDLE.

Automat nejprve čeká na první bit Start, poté čeká určitou dobu na načtení dat ze vstupu. Dále čeká, dokud není přečteno všech 8 bitů. Přijme stop bit, potvrdí správnost DOUT na DOUT\_VLD a vrátí se do stavu IDLE.

Přechody berou v úvahu pouze hodnotu zadaných vstupních signálů, hodnota ostatních je nedefinovaná a nedůležitá (X).

Logika automatu zpočátku předpokládá, že jsou přijímány pouze možné hodnoty ve správném pořadí; chování automatu v případě chyb není definováno.

Snímek obrazovky se simulací

A computer screen shot of a black screen

Description automatically generated with low confidence