

Duale Hochschule Mannheim DHBW

Kurs TINF21AI1

Rechnerarchitekturen I

Bus Anbindung

Leitung

Ein Anbindung mit einer Leitung zur Übertragung der Signale in einem Computer ist nicht frei von Einwirkungen.

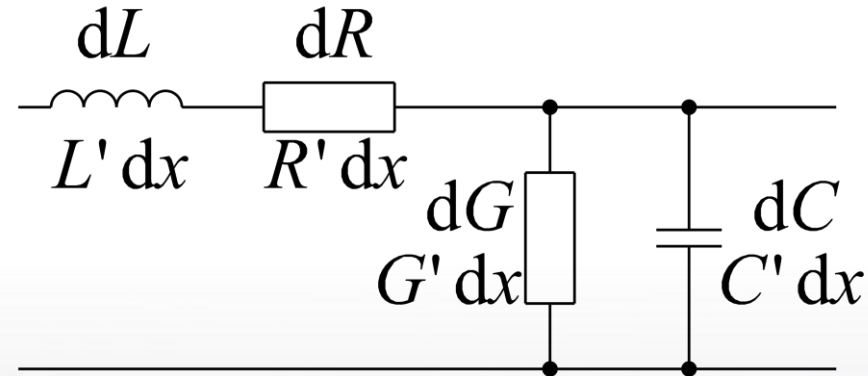
Hierbei gibt es drei Elemente:

- Ohm'scher Widerstand
- Induktive Anteile, Widerstand steigt mit hohen Frequenzen
- Kapazitive Anteile, Widerstand sinkt mit hohen Frequenzen

Die Induktiven und Kapazitiven Anteile führen dazu, dass sich das Signal verformt. Das ist auch einer der Gründe warum Parallel Bus auf dem Rückzug sind.

Für das Unterdrücken von hochfrequenten Signalen werden gerne Spulen verwendet.

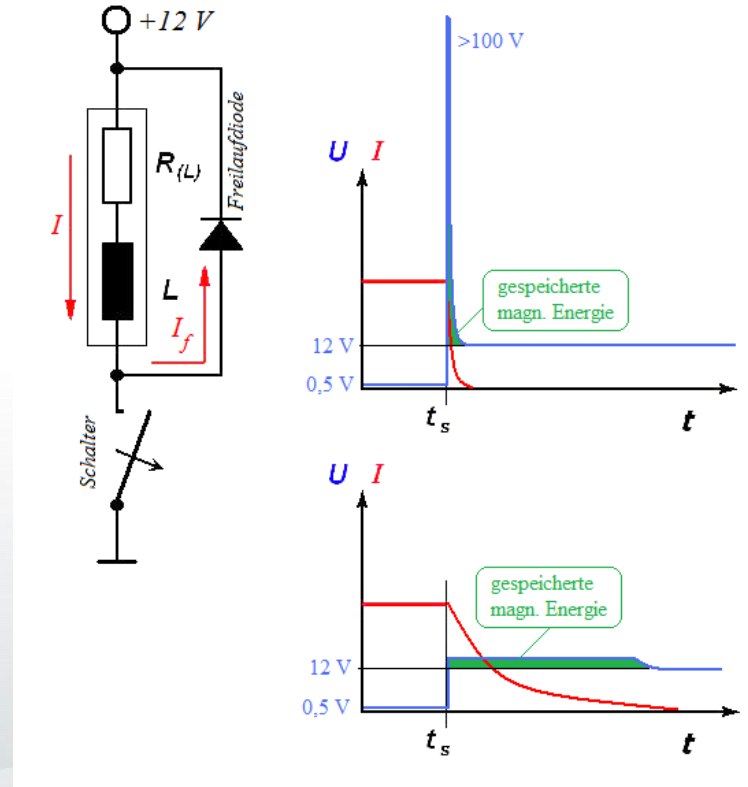
Zum Abschließen von Leitungen werden Kondensatoren nahe an der CPU verbaut.



Von Saure 16:57, 28. Okt. 2009 (CET) - Eigenes Werk, CC BY-SA 3.0, <https://commons.wikimedia.org/w/index.php?curid=12396361>

Induktive Lasten

Bei Verwendung von Induktiven Elementen ist Vorsicht geboten. Da ein induktives Element Energie speichert und beim Abbau diese an die Leitung abgibt. Dies kann zur Zerstörung von Halbleitern führen, daher ist es sinnvoll diese Ansteuerung über Optokoppler oder Ähnliche Elemente zu machen.



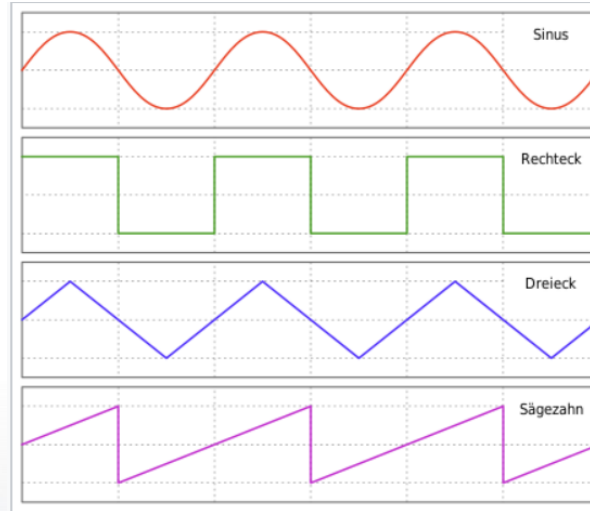
<https://de.wikipedia.org/wiki/Schutzdiode#/media/Datei:Catchdio de.png>

Signal Formen in der Computertechnik

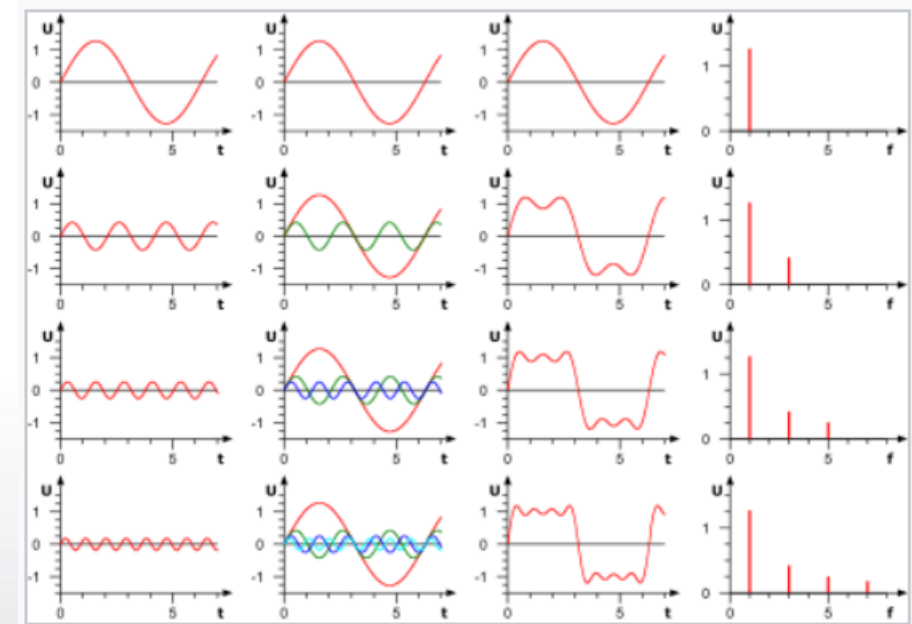
Das weitverbreitetste Signal in der Hardware ist das Rechtecksignal.

Dreieck und Sägezahn Signale sind in der Analog Technik häufiger anzutreffen.

Jedes Signal kann mit Sinuswellen mit Hilfe der Fourier Transformation geformt werden.



<https://de.wikipedia.org/wiki/Datei:Waveforms.svg>

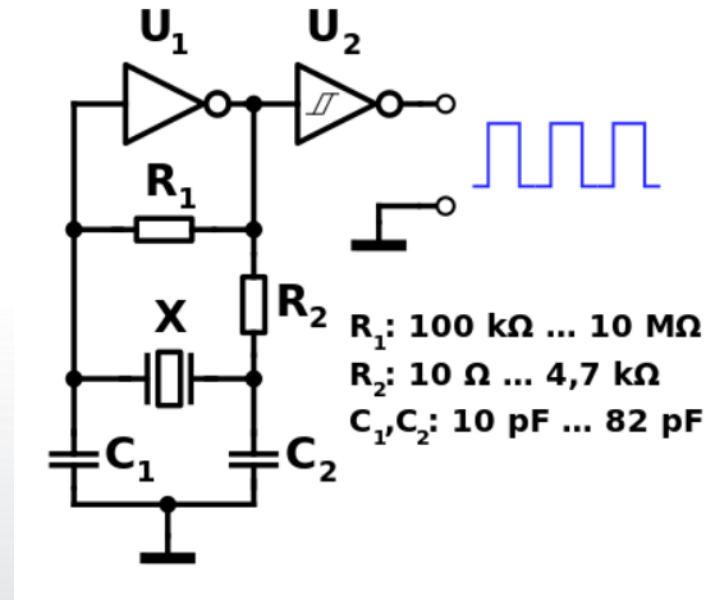


Von René Schwarz - Eigenes Werk, SVG Version of File:Fouriersynthese.png, CC BY-SA 3.0, <https://commons.wikimedia.org/w/index.php?curid=11197146>

Rechtecksignal und Takt

Mit der Hilfe eines Quarzes wird in den Computern ein Takt mit dem Taktgenerator erzeugt. Über diese wird eine zentraler Systemtakt zur Verfügung gestellt.

Dies wurde zu unflexibel und man verwendet heute PLL Schaltungen. Phasenregelschleife verwenden einen Oszillators der gesteuert werden kann. Damit ist es Möglich einen Takt nach Bedarf zu generieren.



Von Wdwd - Eigenes Werk, CC BY-SA 3.0,
<https://commons.wikimedia.org/w/index.php?curid=11139689>

Busstruktur

Die drei Hardware Buse sind:

Steuerbus:

Dieser Bus enthält alle Signale zum steuern der Komponenten wie RAM usw.

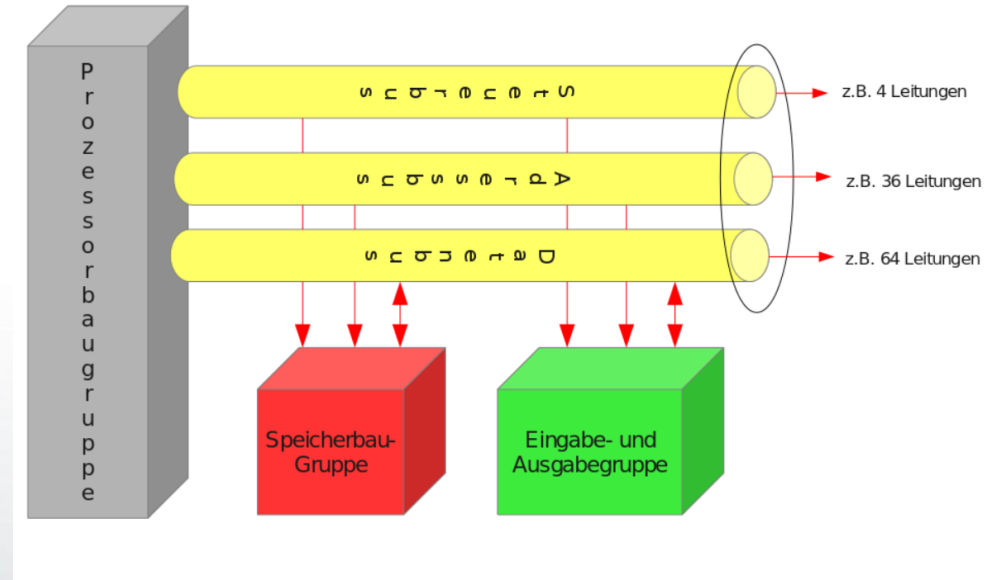
Adressbus:

Wird zum ansprechen der Adressbereiche verwendet und ist unidirektional.

Datenbus:

Dient zum Übertragen der Daten und ist Bidirektional.

Zum Managen der Daten Kommunikation wurde der Speichercontroller eingeführt. Er sorgt auch dafür das der DRAM refresht wird. Hier ist auch die Arbitrsteuerung angesiedelt, die steuert wer auf den Speicher zugreifen kann. Als Waitstate bezeichnet man das Warten der CPU bis am Datenbus die Daten korrekt anliegen bzw. umgekehrt. Dies Problem kann mit Caches gedämpft werden.



Von Deadlyhappen - Eigenes Werk, CC0,
<https://commons.wikimedia.org/w/index.php?curid=22653552>

Statischer RAM schreiben

t_{wc} = Write cycle time Kompletter Schreibzyklus

t_{ds} = Data setup

t_{dh} = Data Hold

t_{ds} = CS muss anliegen

t_{dh} = nach CS angelegen hat

t_{ds} und t_{dh} ist die Zeit zu decodieren der Adresse und das finale schreiben.

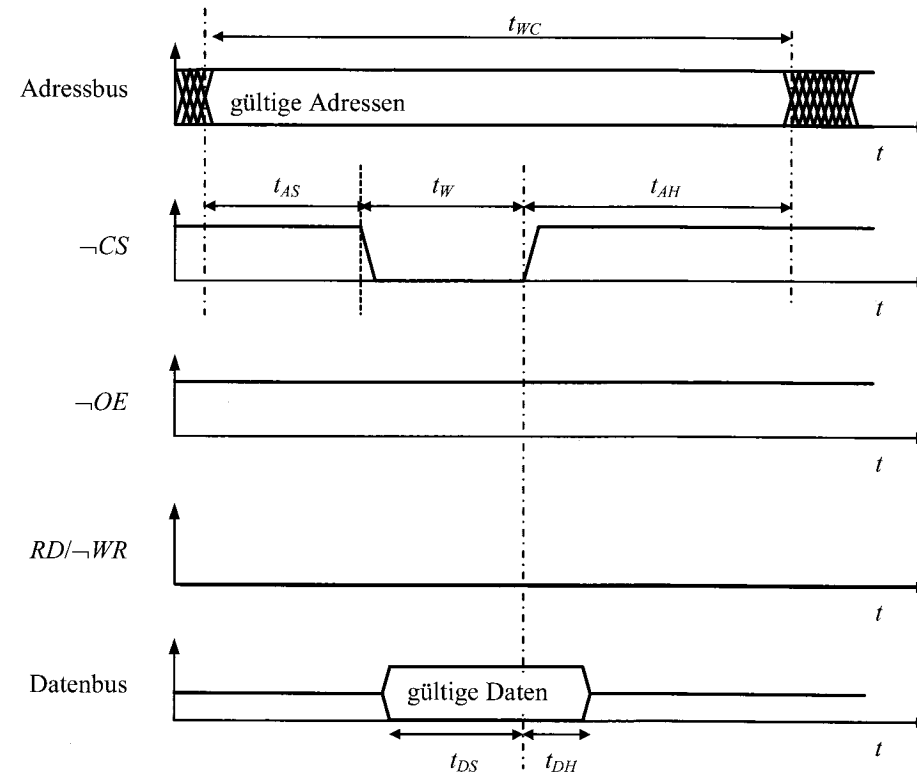


Bild 13-9 Schreibzyklus des RAM (Early Write).

Statischer RAM lesen

t_{rc} = read cycle time

t_{aa} = address access time

OE wird auf Low gesetzt und nach t_{co} liegen Daten auf dem Datenbus

t_{co} = Zeit bis gültige Daten auf dem Bus anliegen

t_{od} = Ist die Zeit bis wenn Daten auf dem Bus liegen wenn OE auf High geht

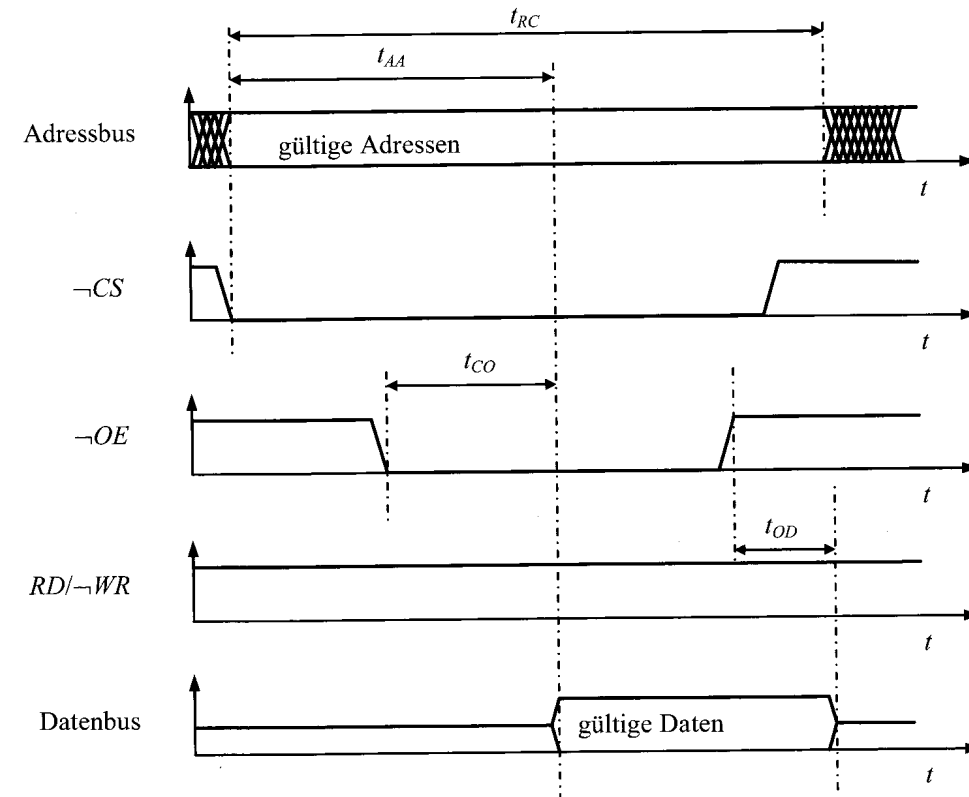


Bild 13-8 Lesezyklus des RAM.

Dynamisches RAM lesen

Bei dynamischen RAM kommt zu erst die Zeilen Adresse!

t_{RC} = read cycle time

t_{AA} = adress access rime

t_{CAC} = Zeit für den Zugriff auf die Zeit bis Daten anliegen

RAS = Row Address Strobe, das Steuersignal liegt während einer gültigen Zeilenadresse an.

CAS = Liegt während einer gültigen Spaltenadresse an.

OE = Schaltet des Ausgang frei

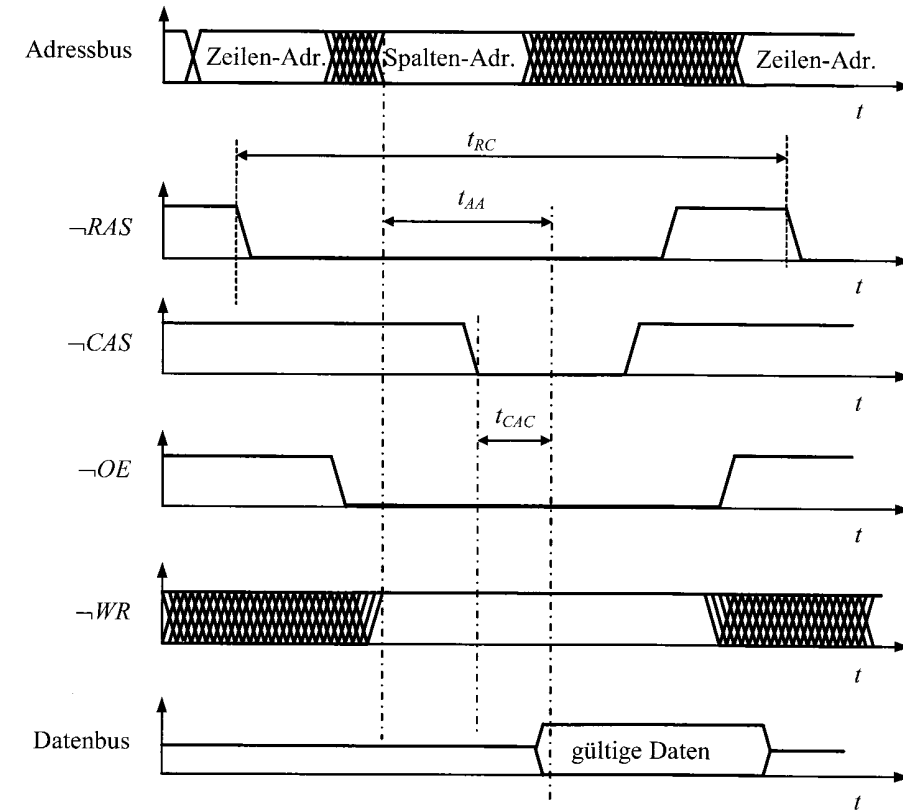


Bild 13-13 Lesezyklus des TMS 416400.

Dynamisches RAM schreiben

Bei dynamischen RAM kommt zu erst die Zeilen Adresse!

t_{wc} = Zeit zum schreiben

RAS = Row Address Strobe, das Steuersignal liegt während einer gültigen Zeilenadresse an.

CAS = Liegt während einer gültigen Spaltenadresse an.

WR = Low, ich möchte schreiben

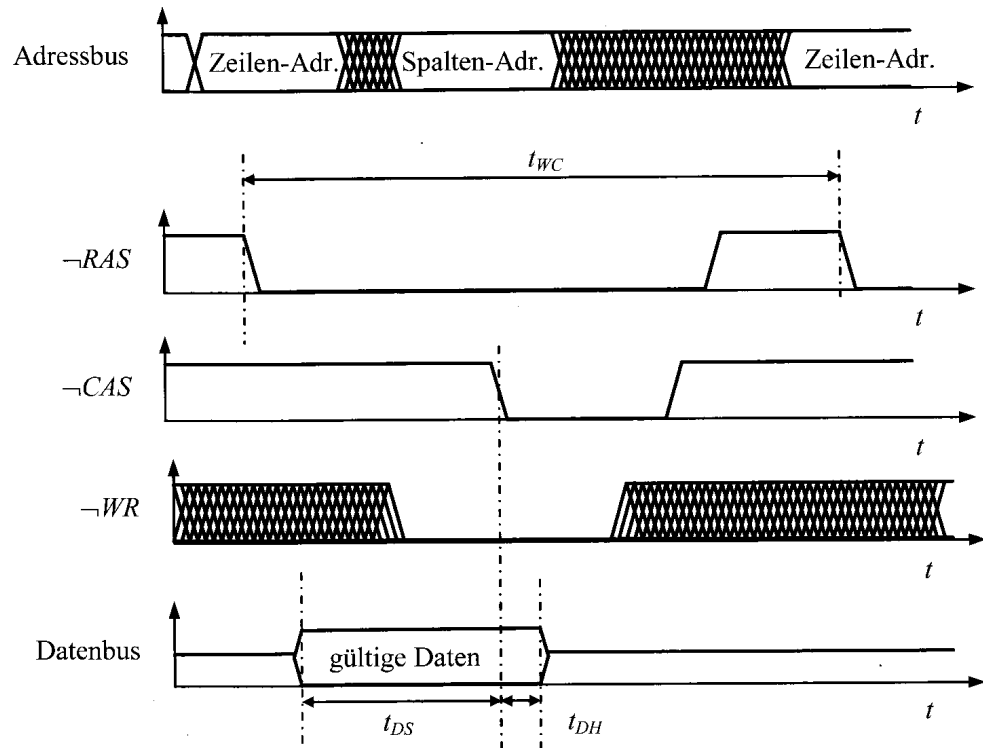


Bild 13-14 Schreibzyklus (Early Write) des TMS 416400.

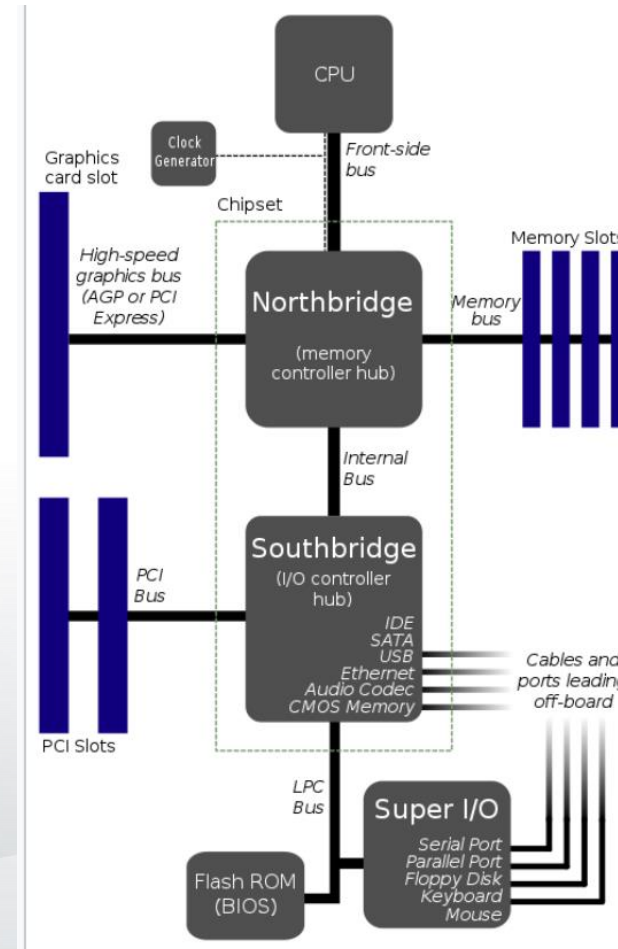
Motherboard

In modernen Motherboards ist die Anbindung auf zwei Baugruppen aufgeteilt worden. Mit PCI Express wird eine dedizierten Punkt-zu-Punkt-Verbindungen verwendet.

Mit der Hilfe von Switches werden einzelne Komponenten verbunden. Damit können direkte Verbindungen zwischen PCIe-Geräten hergestellt werden, somit werden die kommunikationen der Geräte nicht gestört.

Hierdurch können sehr hohe Datenraten erzielt werden und man muss sich nicht den Adress und Datenbus teilen.

- Northbridge (memory controller hub):
Dieser ist in der Regel in der CPU angesiedelt.
- Southbridge
Nimmt die ganzen I/O Komponenten auf, wie USB, usw.



By Original: Gribeco at French WikipediaDerivative work: Moxfyre at English Wikipedia - This file was derived from: Diagramme carte mère.png, CC BY-SA 3.0, <https://commons.wikimedia.org/w/index.php?curid=3789066>

Alte Systeme

- AT Bus wurde in den alten AT PC verwendete und stütze sich auf die 16 Bit Welt ab. ISA Karten
- VESA Local Bus war ein erste Versuch mit 32 Bit und konnte 8 und 16 Bit Karten aufnehmen. (i486)
- EISA Extended Industry Standard Architecture auch 32 Bits Bus System
- Micro Channel Architecture war ein IBM 32 Bit Bus System

Dieses ganze durcheinander hat dazu geführt das sich unter der Leitung von Intel und anderen großen Herstellern das Peripheral Component Interconnect Special Interest Group gebildet hat. Zum standardisieren der Hardware Infrastruktur. Hieraus ist PCI und darauf aufbauen PCI Express entstanden.

Version	1.0 / 1.1	2.0 / 2.1	3.0 / 3.1	4.0	5.0	6.0	7.0
Release	2003	2007	2010	2017 ^[2]	2019 ^[3]	2021 ^[4]	2025
Schrittgeschwindigkeit	2,5 GT/s	5 GT/s	8 GT/s	16 GT/s ^[5]	32 GT/s ^[3]	32 GT/s ^[6]	64 GT/s
Leitungscode	8b/10b		128b/130b			PAM-4	
Sicherungscode	Disparity von 8b/10b		keine Datensicherung			CRC+FEC ^[7]	
Lanes	Übertragungsrate (Burstrate in GB/s ohne Protokoll-Overhead)						
×1	0,25	0,5	0,985	1,969	3,938	7,529	15,059
(×2)	0,5	1,0	1,969	3,938	7,877	15,059	30,118
×4	1,0	2,0	3,938	7,877	15,754	30,118	60,235
×8	2,0	4,0	7,877	15,754	31,508	60,235	120,471
×16	4,0	8,0	15,754	31,508	63,015	120,471	240,742

https://de.wikipedia.org/wiki/PCI_Express

Serial Peripheral Interface SPI

Serial Periphere Interface ist ein sehr altes Protokoll und findet heute noch Anwendung. Die Daten werden über eine Leitung übertragen. Diese werden mit dem Clock synchronisiert. Es können damit Stern oder Kaskadierung Schaltungen realisiert werden. Es verfügt über keine Fehlerkorrektur.

High Precision Event Timer und System Uhr

Auf jedem Mainboard befindet sich in der Regel eine Hardwareuhr, die mit einer Batterie abgestützt wird. Diese würde früher auch mit einem Timer versehen um Interrupts zu triggern.

Dies hat sich als recht unhandlich erwiesen wozu eine High Precision Event Timer eingeführt, der über weitere Funktionen verfügt. Wie Programmierbarkeit, 64 Bit Counter und ACPI Unterstützung.

Thunderbolt

Zur Anbindung performanter Hardware wie Grafikarten wurde die Thunderbolt Schnittstelle eingeführt. Dies soll aber mit USB vereint werden.

Schnittstelle	Taktrate (MHz)	Leitungs-Code	Datenrate (GBit/s)		Quelle
			1 Lane	2 Lanes	
Thunderbolt 1	10.312,5	64b66b	10	–	
Thunderbolt 2	10.312,5	64b66b	10	20	[9]
Thunderbolt 3	20.625	64b66b	20	40	[10]

[https://de.wikipedia.org/wiki/Thunderbolt_\(Schnittstelle\)](https://de.wikipedia.org/wiki/Thunderbolt_(Schnittstelle))

Universal Serial Bus

Wegen der Probleme mit Serielle, Parallel Ports, PS2 usw. hat sich ein Konsortium gebildet um externe Komponenten anzubinden. Des Weiteren soll in dem BUS auch eine Fehler Kontrolle implementiert sein. Darüber hinaus soll auch das Laden von Geräten möglich sein.

Name ↕	Release date ↕	Maximum transfer rate ↕	Note ↕
USB 0.7	11 November 1994	?	Pre-release
USB 0.8	December 1994	?	Pre-release
USB 0.9	13 April 1995	Full Speed (12 Mbit/s)	Pre-release
USB 0.99	August 1995	?	Pre-release
USB 1.0-RC	November 1995	?	Release Candidate
USB 1.0	15 January 1996	Low Speed (1.5 Mbit/s)	
USB 1.1	August 1998	Full Speed (12 Mbit/s)	
USB 2.0	April 2000	High Speed (480 Mbit/s)	
USB 3.0	November 2008	SuperSpeed USB (5 Gbit/s)	Also referred to as USB 3.1 Gen 1 ^[33] and USB 3.2 Gen 1 × 1
USB 3.1	July 2013	SuperSpeed+ USB (10 Gbit/s)	Includes new USB 3.1 Gen 2, ^[33] also named USB 3.2 Gen 2 × 1 in later specifications. Last version to support Type A connector.
USB 3.2	August 2017	SuperSpeed+ USB dual-lane (20 Gbit/s)	Includes new USB 3.2 Gen 1 × 2 and Gen 2 × 2 multi-link modes. ^[46] Requires Type C connector.
USB4	August 2019	40 Gbit/s (2-lane)	Includes new USB4 Gen 2 × 2 (64b/66b encoding) and Gen 3 × 2 (128b/132b encoding) modes and introduces USB4 routing for tunnelling of USB3.x, DisplayPort 1.4a and PCI Express traffic and host-to-host transfers, based on the Thunderbolt 3 protocol
USB4 2.0	September 2022	120 Gbit/s	Includes new 80 and 120 Gbit/s modes over Type C connector ^[47]

<https://en.wikipedia.org/wiki/USB>

Netzwerk

Es gab zu Anfang zwei Protokolle, das war Token Ring von IBM und Ethernet.

Token Ring artige Protokolle spielen aber in der CPU weiterhin eine gewisse Rolle.

Ethernet hat sich Aufgrund seiner Günstigkeit durchgesetzt.

Es gibt dieses auf Kupfer und Glasfaser Basis.

Von 1, 2.5, 5, 10, 25, 40, 50, 100, 200, 400 und ganz neu 800 Gbit.

RS-232

RS-232 ist ein sehr alter Standard für serielle Schnittstellen und wird kaum noch verwendet. Das System ist Spannungsgetrieben und verwendet eine Negative Logik. Womit es auch empfindlich für Störung ist.

Dieses System hat die TTY Schnittstelle mit abgelöst, das Strom getrieben war (20 mA). TTY hat aber in der Unix Welt als Device überlebt. Damit wurden damals Terminals angebunden.

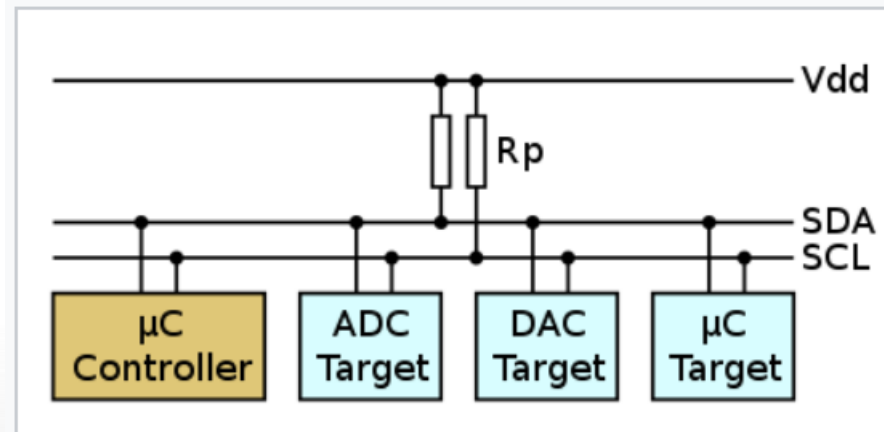
Maximalwerte

Datenrate (kBd)	Länge (m)
2,4	900
4,8	300
9,6	152
19,2	15
57,6	5
115,2	< 2

<https://de.wikipedia.org/wiki/RS-232>

Inter-Integrated Circuit

Inter-Integrated Circuit I2C ist ein heute noch verbreiteter Standard zur Kommunikation.



<https://de.wikipedia.org/wiki/I%C2%B2C>

Quelle

https://en.wikipedia.org/wiki/Main_Page

<https://de.wikipedia.org/wiki/Wikipedia:Hauptseite>

Digitaltechnik, Klaus Fricke, 9.Auflage

<https://www.usb.org/documents>