

# **Digitaltechnik**

## **4. Flipflops**

Prof. Dr. Eckhard Kruse

DHBW Mannheim

# Vorlesungsthemen (s. Studienplan)



## Elektronische Realisierung

- Elektronikgrundlagen
- Elementare Gatter
- Technologien (TTL, CMOS)
- ...

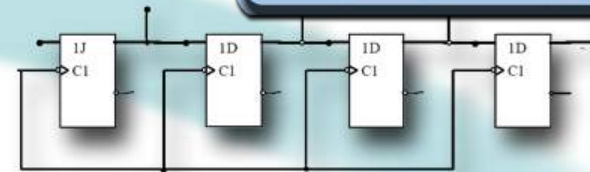


## Standardbaugruppen

- Flip-Flops
- Zähler
- Schieberegister
- ...

## Schaltalgebra

- Logische Verknüpfungen
- Gatter + Schaltnetze
- Schaltungstransformation



## Übungen

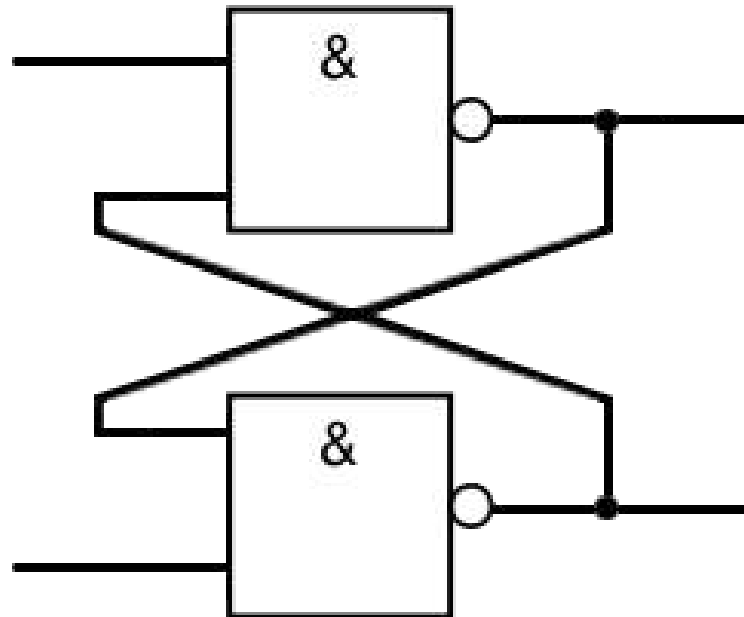


## Zahlentheorie

- Binärcodierung
- Hexadezimal usw.
- Binäres Rechnen

00100110	11101101
11011010	11101101
11101101	01110110
11110110	01110110
01110110	00100110
11011010	01110110

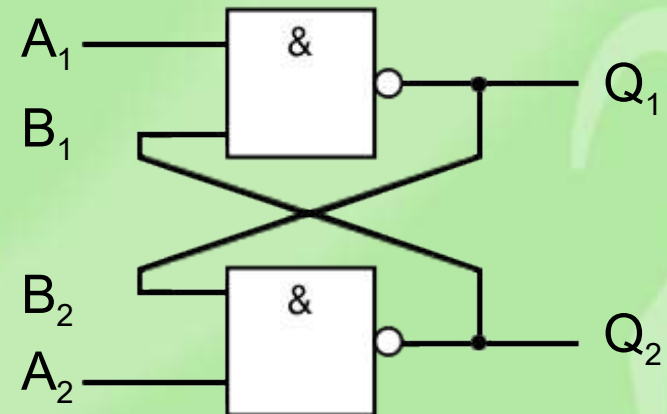
Bisher: Schaltnetze, die gerichtet, ohne Zyklen durchlaufen werden.  
Was passiert, wenn man Ausgänge zu Eingängen rückkoppelt?



### Übung

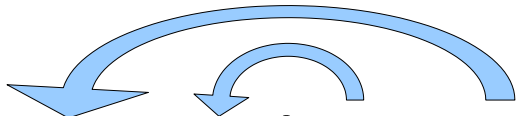
#### 4.1 Rückkopplung

Untersuchen Sie die folgende Schaltung, zunächst durch Überlegung, dann mit Hilfe des Simulationswerkzeugs.

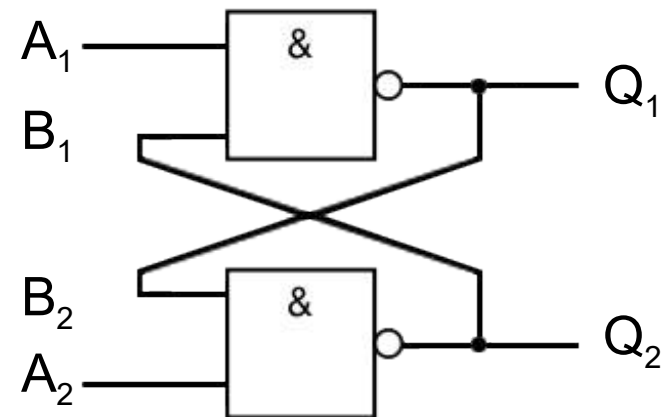


- Erstellen Sie eine Wahrheitstabelle. Wann spielen die Werte der Ausgänge für die Eingänge eine Rolle, wann nicht?
- Verändern Sie die Eingänge, was passiert an den Ausgängen?
- Verwenden Sie ggf. den Pegelschreiber.
- Welche Funktion könnte diese Schaltung haben?

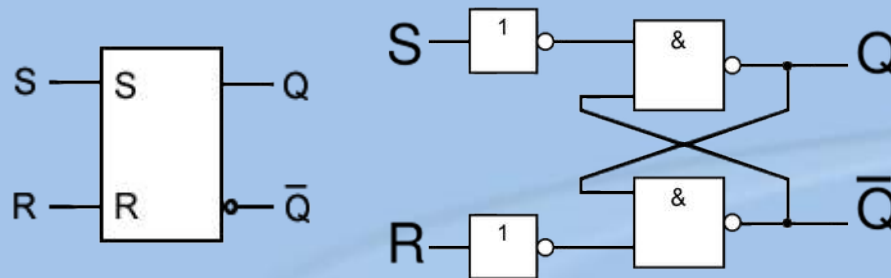
# Rückkopplung - Wahrheitstabelle



A <sub>1</sub>	A <sub>2</sub>	B <sub>1</sub>	B <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
0	0	x	x	1	1
1	1	0	1	1	0
1	1	1	0	0	1
1	0	x	x	0	1
0	1	x	x	1	0
1	1	0	0	1	1
1	1	1	1	0	0



Das **RS-Flipflop** ist ein 1-Bit-Speicherbaustein. Durch Anlegen von 1 an den Eingang S (Set) bzw. R (Reset) wird der Speicher auf 0 bzw. 1 gesetzt. Wenn kein Signal (= 0) an den Eingänge angelegt ist, behält es seinen Zustand (Speicherfunktion).

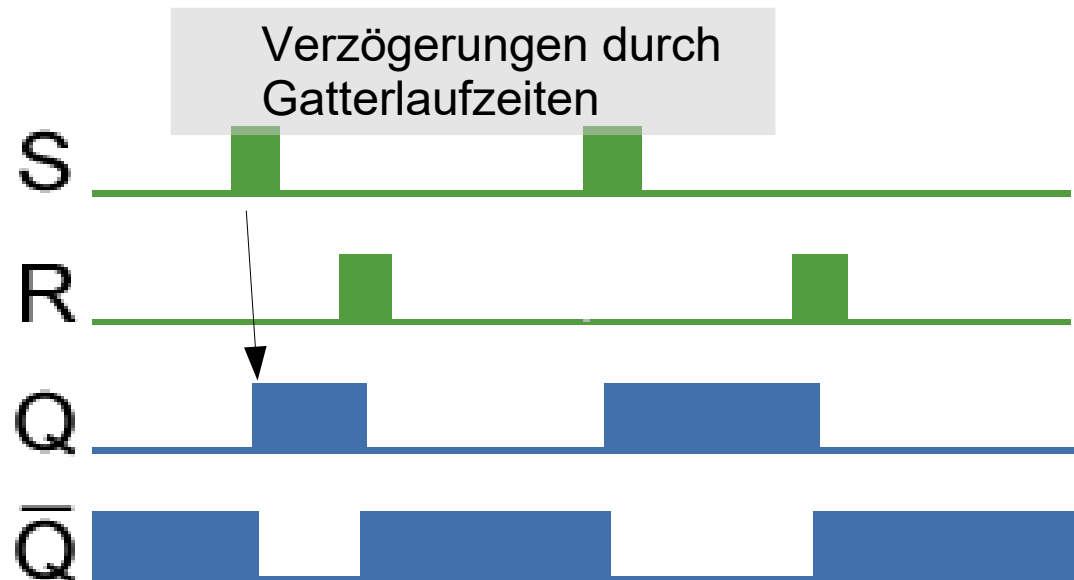
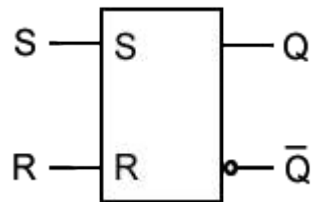


S	R	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	-

- Das RS-Flipflop ist die Grundform in einer großen Familie von Flipflop-Varianten.
- Set und Reset gleichzeitig ist „verboten“, da es zu einem undefinierten Zustand führt.

# Signalverlauf

Ein **Impulsdiagramm / Zeitablaufdiagramm** stellt Eingangs- und Ausgangssignale dar: Über der horizontalen Zeitachse wird auf der vertikalen Achse der Spannungspegel (high/low) verschiedener Signale in Beziehung gesetzt.



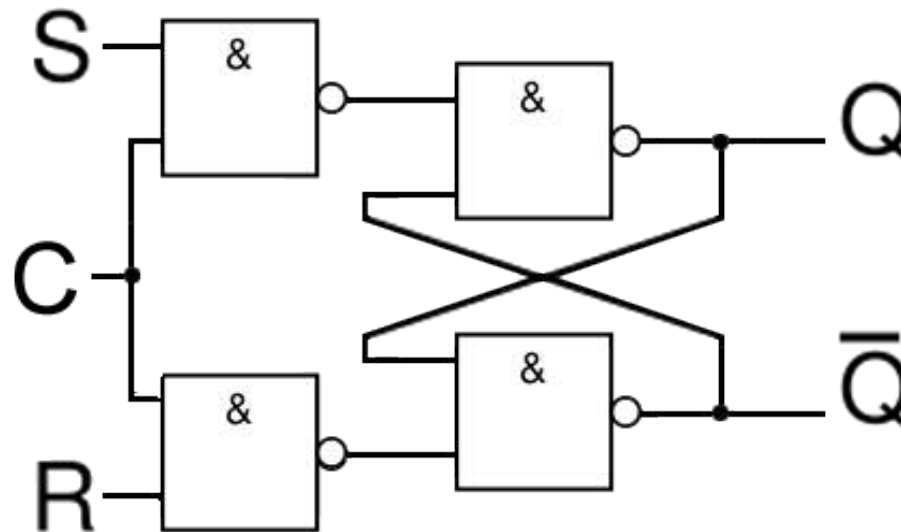
### Übung

S	R	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	-

#### 4.2 RS-Flipflop

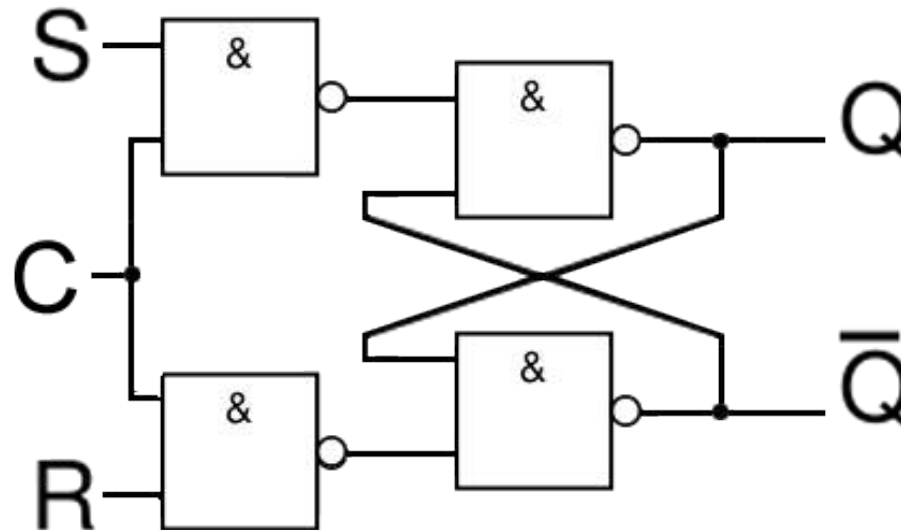
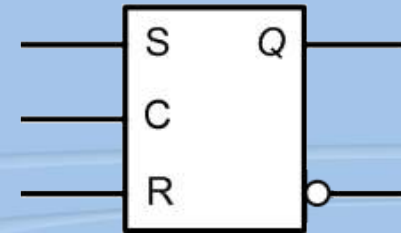
- Bauen Sie im Simulator ein RS-Flipflop aus NOR Gattern auf. (Verwenden Sie Taster für die Eingabe.)
- Untersuchen das Verhalten an Ein- und Ausgängen mit Hilfe des Pegelschreibers (→ rechter Mausklick auf Leitungen)
- Erweitern Sie die Schaltung, so dass die S, R Eingänge nicht sofort übernommen werden, sondern nur dann, wenn ein zusätzliches Signal (z.B. ein Taktgeber, der das Schreiben in den Speicher steuert) auf 1 liegt.
- Untersuchen Sie die erweiterte Schaltung mit dem Pegelschreiber.





# Taktpiegelgesteuertes RS-Flipflop

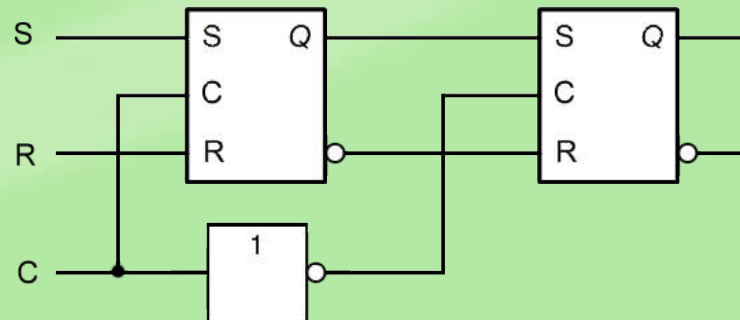
Bei einem **taktpiegelgesteuerten RS-Flipflop** kann der Zustand des Speichers nur geändert werden, wenn der **Takt (Clock C)** 1 ist.



### Übung

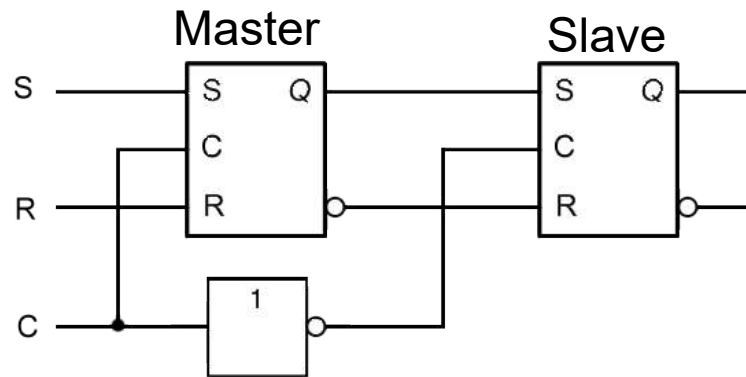
#### 4.3 Master-Slave RS Flipflop

- Bauen Sie im Simulator die folgende Schaltung auf und untersuchen Sie das Verhalten. *(Falls Ihr Digitalsimulator keine taktpiegelgesteuerten FFs hat, bitte ggf. aus einzelnen Gattern nachbauen!)*
- Nehmen Sie die Pegel mit dem Pegelschreiber auf. Wann ändert sich der Ausgang?
- Reihen Sie mehrere dieser Schaltungen hintereinander.
- Worin könnten die Vorteile dieser Schaltung gegenüber einem einfachen RS-Flipflop liegen?



# Master-Slave RS Flipflop

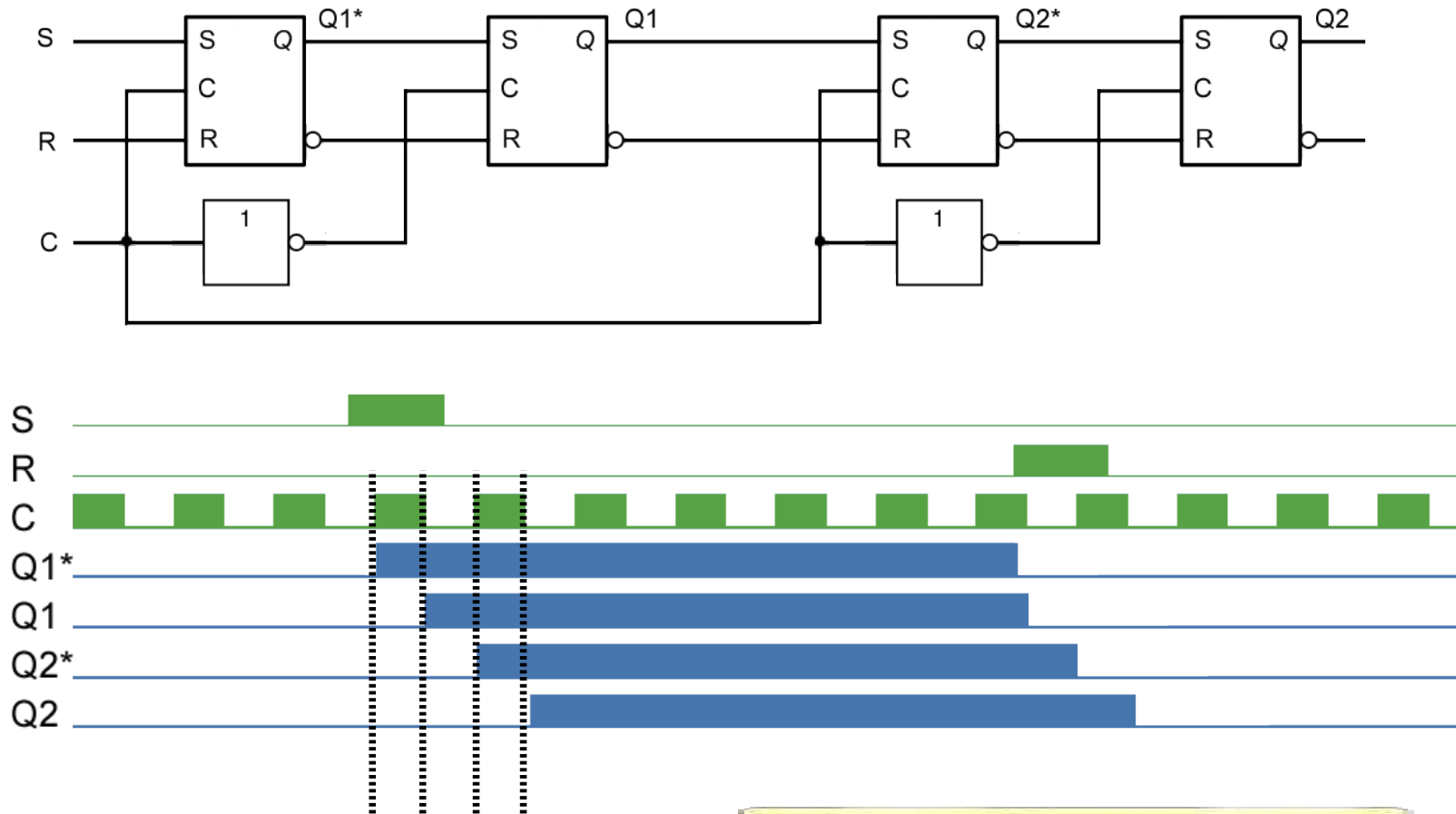
Ein Schaltelement ist **transparent**, wenn die Änderungen der Eingänge sofort (abgesehen von den Signallaufzeiten) an den Ausgängen sichtbar werden.



Das Master-Slave RS Flipflop ist **nicht-transparent**, d.h. nur zum **Zeitpunkt**, wenn der Taktpuls zu Ende ist, wird der Eingang an den Ausgang durchgeschaltet.

→ Prinzip/Wirkung einer Schleuse bzw. einer Doppeltür.

# 2 Master-Slave RS Flipflops

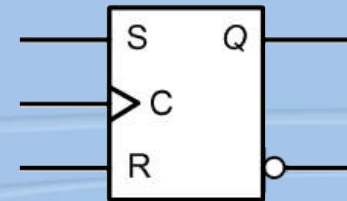


Schieberegister → später mehr

Bei der **Taktflankensteuerung** wird der Eingangszustand übernommen, wenn der Takt von 0 auf 1 wechselt.

(Kennzeichnung durch Dreieck am Takteingang)

Taktflankengesteuerte Flipflops sind nicht-transparent.

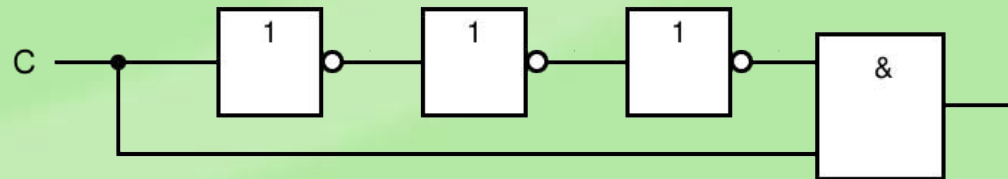
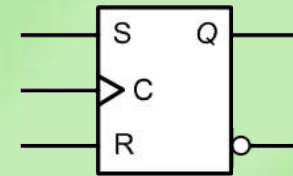


**Warum sind taktflankengesteuerte Flipflops nicht-transparent?**

### Übung

#### 4.4 Taktflankensteuerung

- Untersuchen Sie das Verhalten des taktflankengesteuerten RS-Flipflops mit dem Pegelschreiber des Simulators.
- Mit der folgenden Schaltung lässt sich Taktflankensteuerung nachahmen\*. Bauen Sie die Schaltung auf und untersuchen Sie ihr Verhalten im Zusammenspiel mit einem nicht-flankengesteuerten Flipflop.

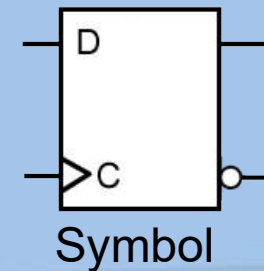
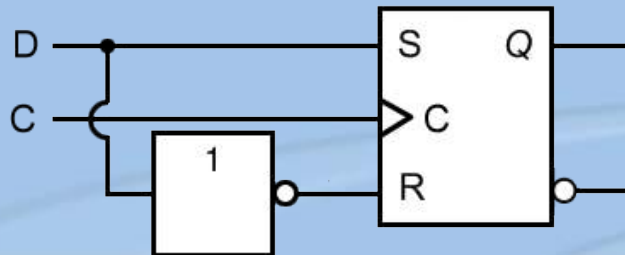


- Beschreiben Sie Ähnlichkeiten und Unterschiede von taktflankengesteuerten und Master-Slave RS-Flipflops.

\* die tatsächliche elektronische Realisierung erfolgt auf andere Weise

Das **D-Flipflop** hat nur einen Informationseingang (D = Delay) und einen Takteingang (pegel- oder flankengesteuert).

Funktionsweise:



Wie beurteilen Sie ein ungetaktetes D-Flipflop?  
Warum wird der Eingang mit D=Delay bezeichnet?

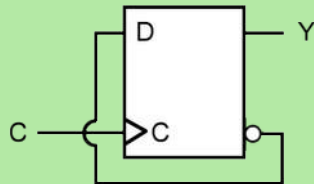


### Übung

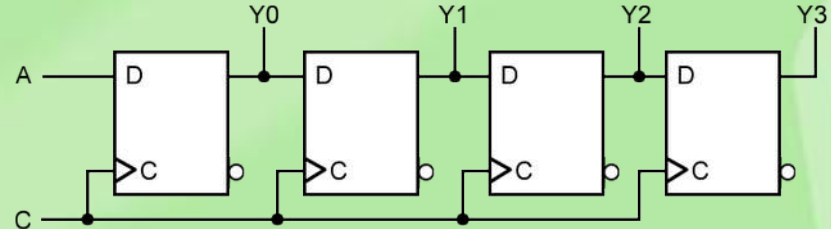
#### 4.5 Schaltungen mit D-Flipflops

Betrachten Sie die folgenden Schaltungen: Wie verhalten sie sich? Wofür könnten sie verwendet werden? Versuchen Sie zunächst durch Überlegung zum Ergebnis zu kommen und testen Sie erst danach die Schaltungen am Simulator.

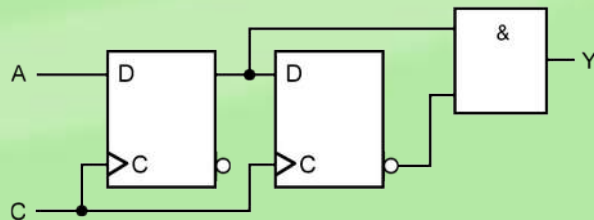
a)



b)



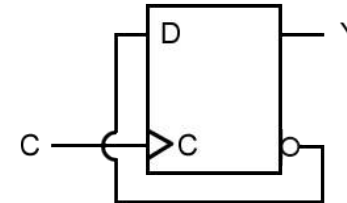
c)



# Schaltungen mit D-Flipflops (a)

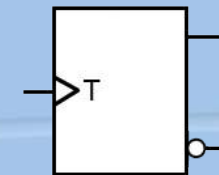
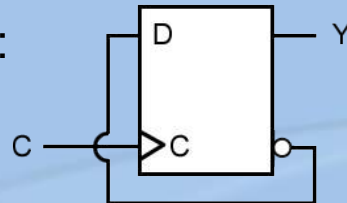
Frequenzteiler:  
Halbiert die Eingangsfrequenz.

Was würde bei  
pegelgesteuertem Takt  
passieren?



Das **T-Flipflop** hat nur einen Takteingang und wechselt mit jedem Takt zwischen 0 und 1 (T=Toggle).

Funktionsweise:



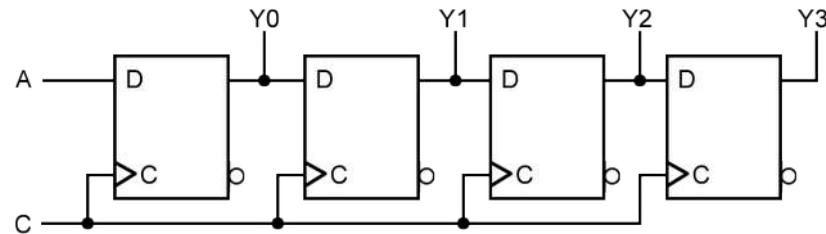
Symbol

# Schaltungen mit D-Flipflops (b, c)

## Schieberegister:

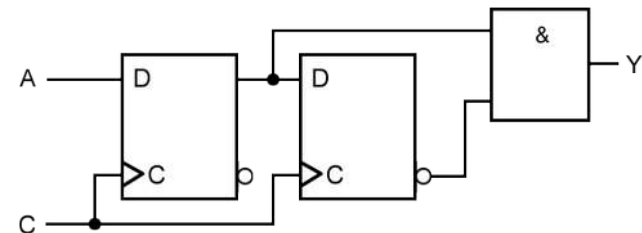
Wandler  
seriell (A) → parallel (Y0-Y3)

Wie sähe ein Wandler  
parallel → seriell aus?

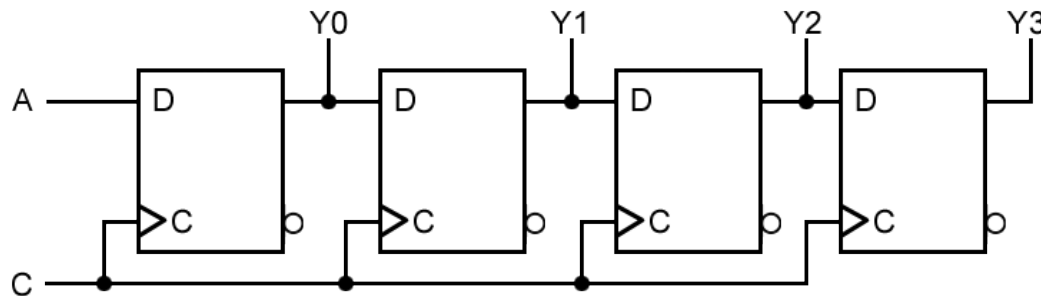


## Synchrones Monoflop:

Eingangsimpuls beliebiger Länge (mindestens während einer Taktflanke) ergibt taktsynchronen Ausgangsimpuls mit fest definierter Länge (genau 1 Taktzyklus)

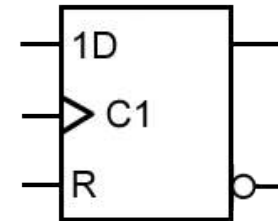


Bei einem **Schieberegister** sind mehrere Flipflops in Reihe geschaltet. Bei jedem Arbeitstakt wird der Speicherinhalt der Flipflops zum jeweils nächsten Flipflop geschoben. Somit können Eingabewerte Takt für Takt durch die gesamte Reihe durchgeschoben werden.



# Asynchrone Eingänge

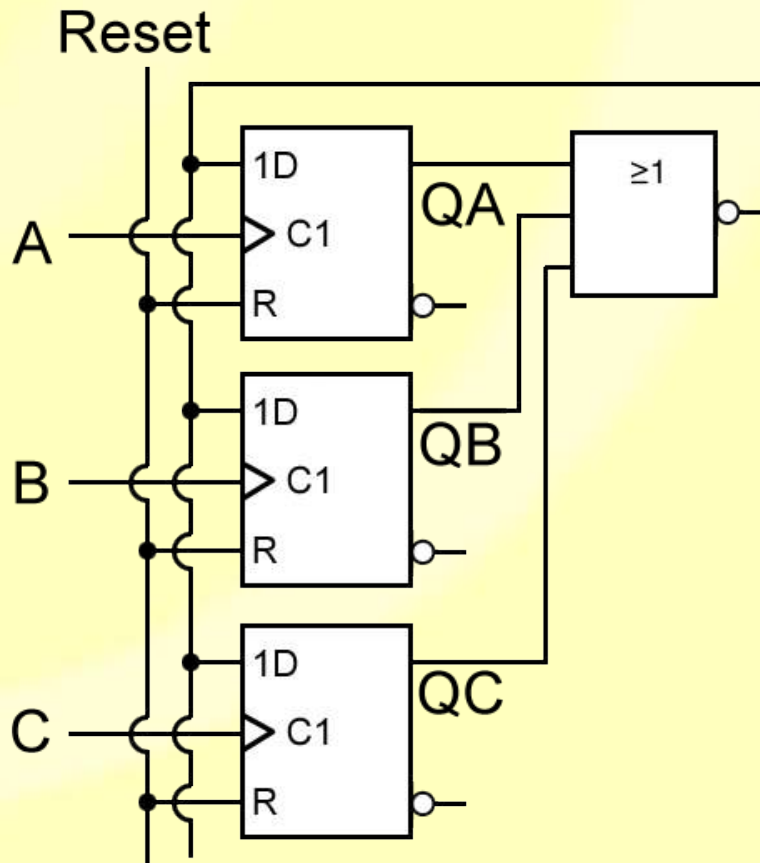
D-Flipflop mit **asynchronem (= taktunabhängigen)**  
Rücksetzeingang:



Abhängigkeitsnotation: Durch Ziffern (hier '1') werden voneinander abhängige Eingänge markiert ("X-Ziffer" steuert "Ziffer-Y").

# Asynchrone Eingänge: Beispiel

## Beispiel



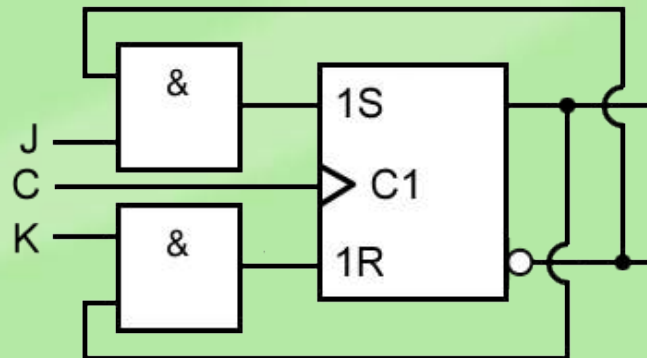
Was macht diese Schaltung?

- Reset setzt QA, QB, QC auf 0.
  - Anschließend liegt 1 auf allen D-Eingängen
  - Das Flipflop, das zuerst von A, B, C getaktet wird, schaltet.
  - D wird auf 0 gesetzt, die anderen Flipflops sind 'blockiert'.
- Das erste Signal wird gemeldet

### Übung

#### 4.6 JK-Flipflop

Betrachten Sie die folgende Flipflop-Variante. Erstellen Sie eine Wahrheitstabelle. Wodurch zeichnet sich dieses Flipflop gegenüber den bisherigen aus?

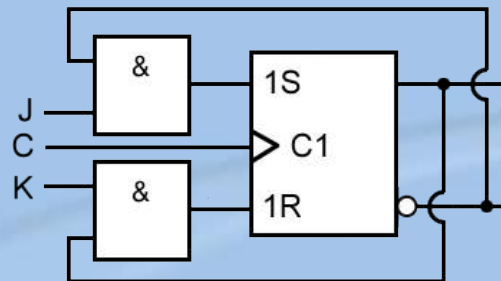


Das **JK-Flipflop** ist ein taktf flankengesteuertes Flipflop mit J als Setzeingang und K als Rücksetzeingang. Liegt an J und K gleichzeitig ein 1-Signal, so wechselt das Flipflop bei jedem Takt den Zustand ("Toggle-Betrieb").

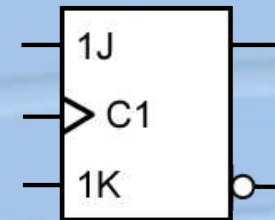
Wahrheitstabelle:

J	K	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	$\neg Q_n$

Funktionsweise:



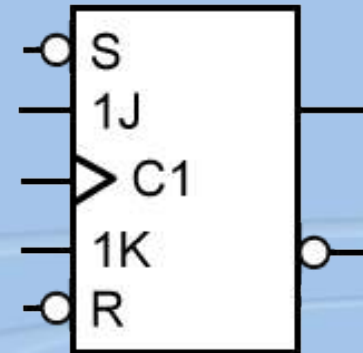
Schaltsymbol:





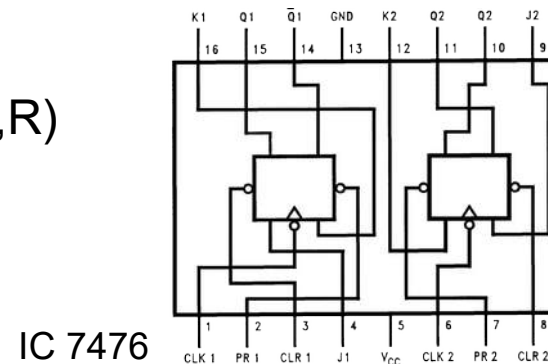
# JK-Flipflop mit asynchronem Set/Reset

Eine sehr verbreitete Variante des **JK-Flipflops** verfügt zusätzlich über asynchrone Set- und Reset-Eingänge (hier mit negiertem S und R).



Typische Bauformen von JK-Flipflops:

- flankengetriggert mit Preset/Clear (S,R)
- Master-Slave mit Preset/Clear (S,R)



IC 7476