

# Digitaltechnik

## 4. Flipflops

Prof. Dr. Eckhard Kruse

DHBW Mannheim

# Vorlesungsthemen (s. Studienplan)



## Elektronische Realisierung

- Elektronikgrundlagen
- Elementare Gatter
- Technologien (TTL, CMOS)
- ...

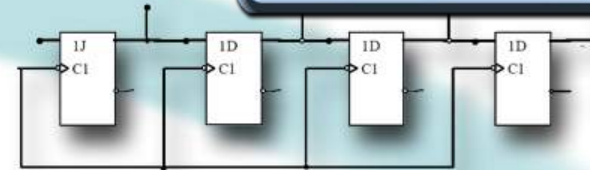


## Standardbaugruppen

- Flip-Flops
- Zähler
- Schieberegister
- ...

## Schaltalgebra

- Logische Verknüpfungen
- Gatter + Schaltnetze
- Schaltungstransformation



## Übungen

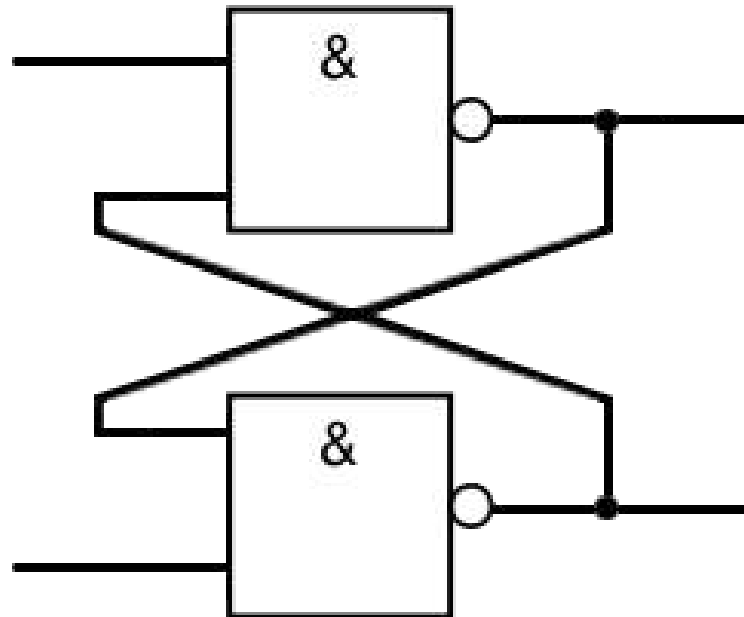


## Zahlentheorie

- Binärcodierung
- Hexadezimal usw.
- Binäres Rechnen

00100110	11101101
11011010	11101101
11101101	01110110
11110110	01110110
01110110	00100110
11011010	01110110

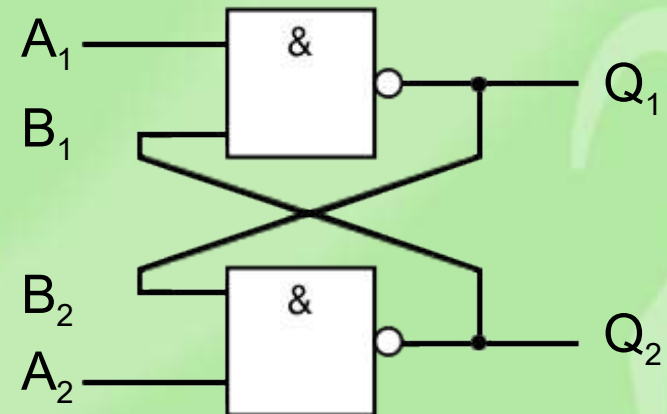
Bisher: Schaltnetze, die gerichtet, ohne Zyklen durchlaufen werden.  
Was passiert, wenn man Ausgänge zu Eingängen rückkoppelt?



### Übung

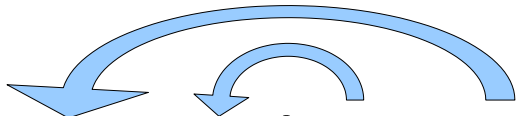
#### 4.1 Rückkopplung

Untersuchen Sie die folgende Schaltung, zunächst durch Überlegung, dann mit Hilfe des Simulationswerkzeugs.

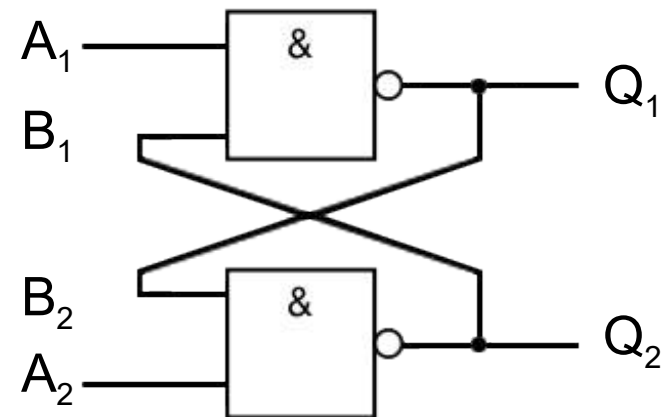


- Erstellen Sie eine Wahrheitstabelle. Wann spielen die Werte der Ausgänge für die Eingänge eine Rolle, wann nicht?
- Verändern Sie die Eingänge, was passiert an den Ausgängen?
- Verwenden Sie ggf. den Pegelschreiber.
- Welche Funktion könnte diese Schaltung haben?

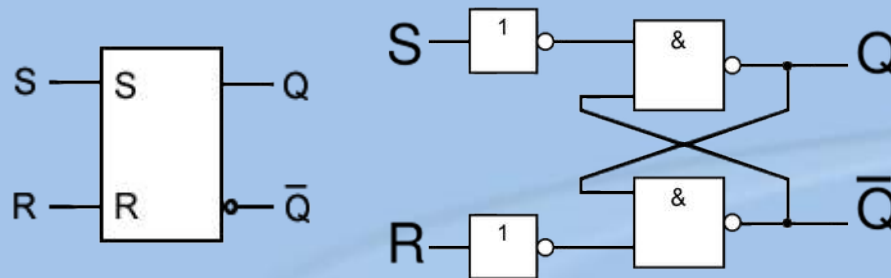
# Rückkopplung - Wahrheitstabelle



A <sub>1</sub>	A <sub>2</sub>	B <sub>1</sub>	B <sub>2</sub>	Q <sub>1</sub>	Q <sub>2</sub>
0	0	x	x	1	1
1	1	0	1	1	0
1	1	1	0	0	1
1	0	x	x	0	1
0	1	x	x	1	0
1	1	0	0	1	1
1	1	1	1	0	0



Das **RS-Flipflop** ist ein 1-Bit-Speicherbaustein. Durch Anlegen von 1 an den Eingang S (Set) bzw. R (Reset) wird der Speicher auf 0 bzw. 1 gesetzt. Wenn kein Signal (= 0) an den Eingänge angelegt ist, behält es seinen Zustand (Speicherfunktion).

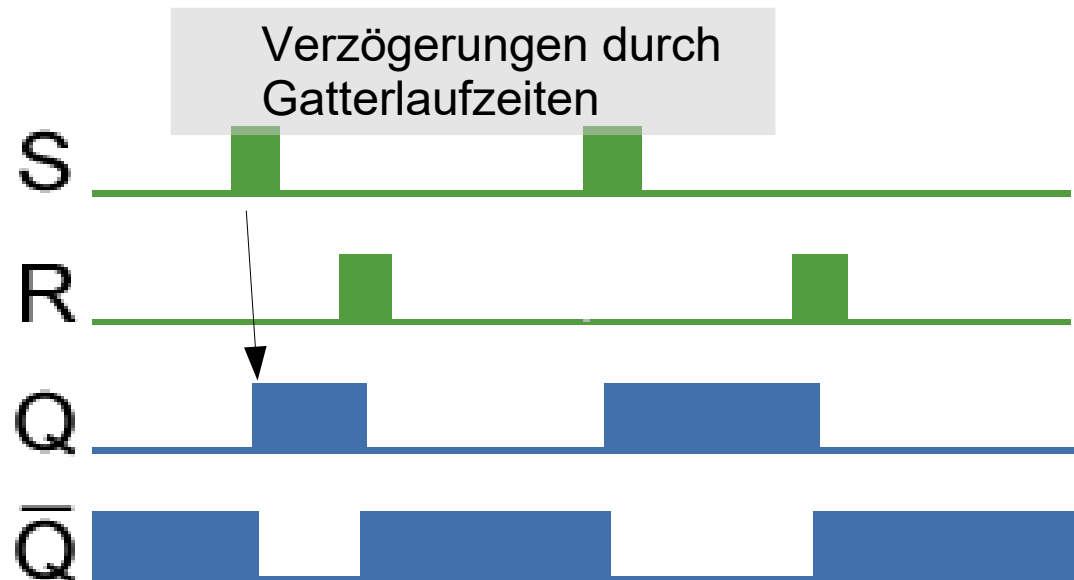
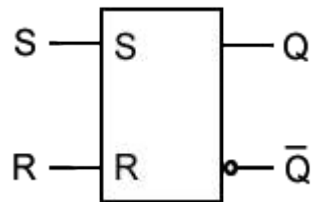


S	R	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	-

- Das RS-Flipflop ist die Grundform in einer großen Familie von Flipflop-Varianten.
- Set und Reset gleichzeitig ist „verboten“, da es zu einem undefinierten Zustand führt.

# Signalverlauf

Ein **Impulsdiagramm / Zeitablaufdiagramm** stellt Eingangs- und Ausgangssignale dar: Über der horizontalen Zeitachse wird auf der vertikalen Achse der Spannungspegel (high/low) verschiedener Signale in Beziehung gesetzt.



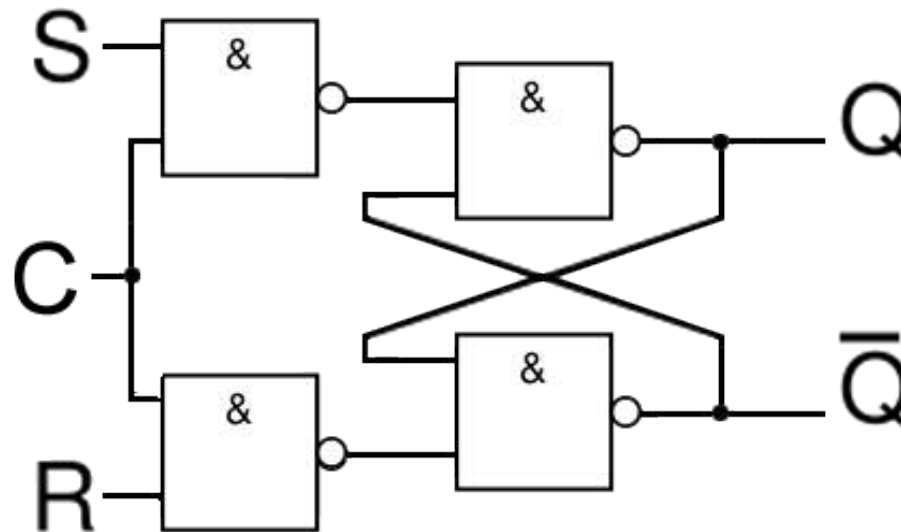
### Übung

S	R	$Q_{n+1}$
0	0	$Q_n$
1	0	1
0	1	0
1	1	-

#### 4.2 RS-Flipflop

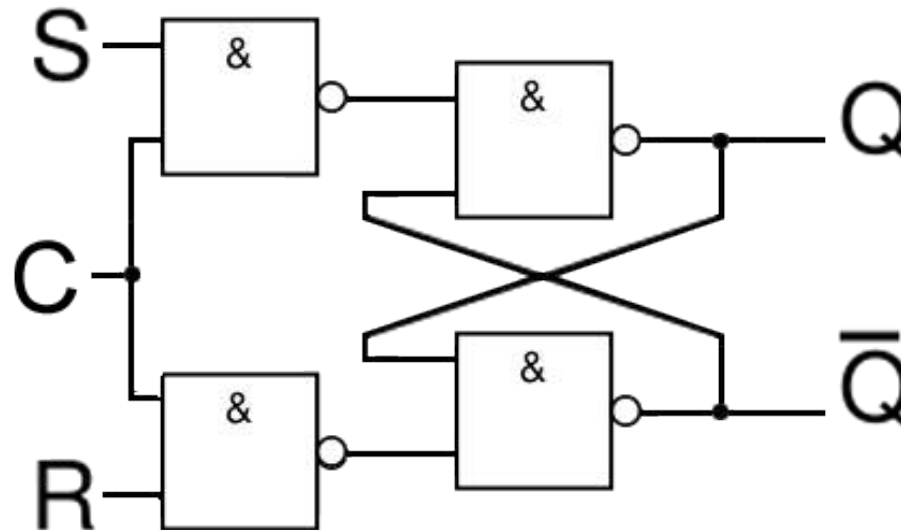
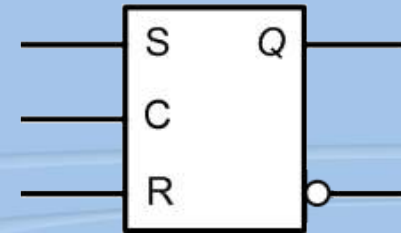
- Bauen Sie im Simulator ein RS-Flipflop aus NOR Gattern auf. (Verwenden Sie Taster für die Eingabe.)
- Untersuchen das Verhalten an Ein- und Ausgängen mit Hilfe des Pegelschreibers (→ rechter Mausklick auf Leitungen)
- Erweitern Sie die Schaltung, so dass die S, R Eingänge nicht sofort übernommen werden, sondern nur dann, wenn ein zusätzliches Signal (z.B. ein Taktgeber, der das Schreiben in den Speicher steuert) auf 1 liegt.
- Untersuchen Sie die erweiterte Schaltung mit dem Pegelschreiber.





# Taktpegelgesteuertes RS-Flipflop

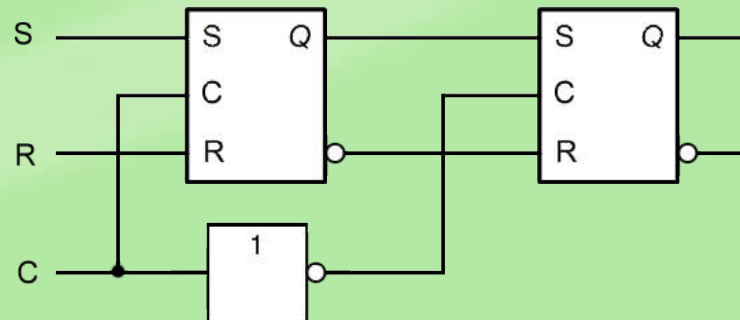
Bei einem **taktpegelgesteuerten RS-Flipflop** kann der Zustand des Speichers nur geändert werden, wenn der **Takt (Clock C)** 1 ist.



### Übung

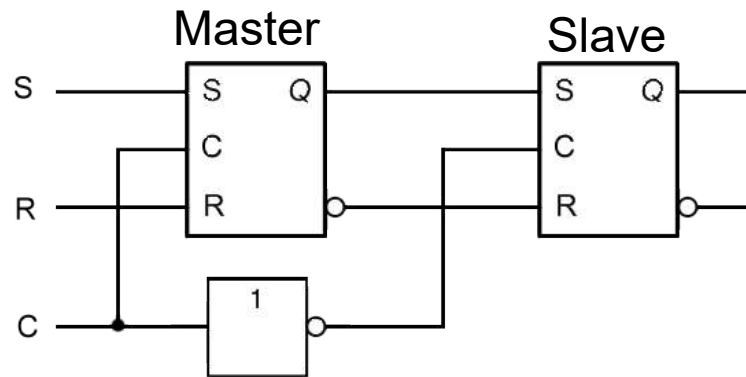
#### 4.3 Master-Slave RS Flipflop

- Bauen Sie im Simulator die folgende Schaltung auf und untersuchen Sie das Verhalten. *(Falls Ihr Digitalsimulator keine taktpiegelgesteuerten FFs hat, bitte ggf. aus einzelnen Gattern nachbauen!)*
- Nehmen Sie die Pegel mit dem Pegelschreiber auf. Wann ändert sich der Ausgang?
- Reihen Sie mehrere dieser Schaltungen hintereinander.
- Worin könnten die Vorteile dieser Schaltung gegenüber einem einfachen RS-Flipflop liegen?



# Master-Slave RS Flipflop

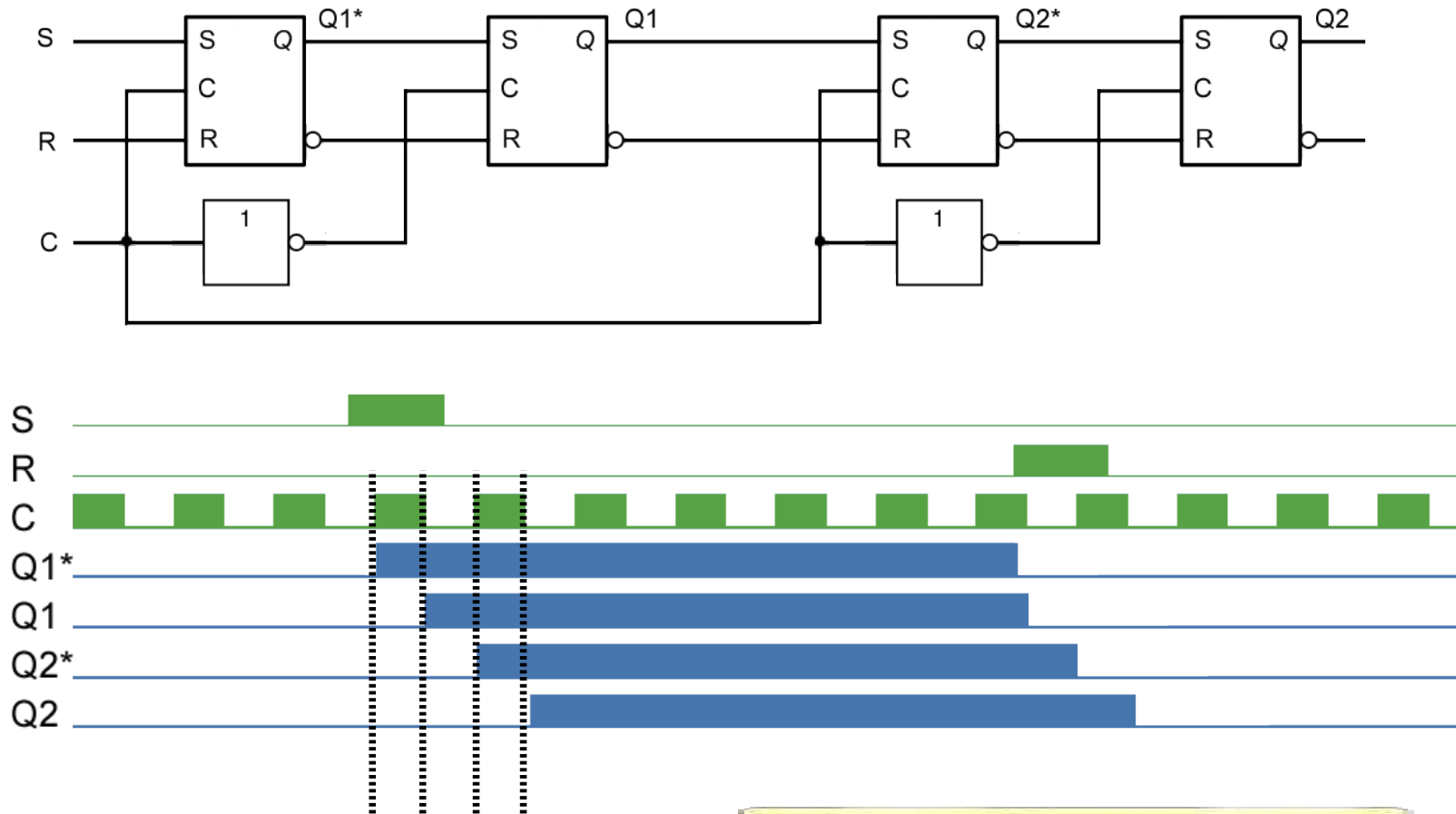
Ein Schaltelement ist **transparent**, wenn die Änderungen der Eingänge sofort (abgesehen von den Signallaufzeiten) an den Ausgängen sichtbar werden.



Das Master-Slave RS Flipflop ist **nicht-transparent**, d.h. nur zum **Zeitpunkt**, wenn der Taktpuls zu Ende ist, wird der Eingang an den Ausgang durchgeschaltet.

→ Prinzip/Wirkung einer Schleuse bzw. einer Doppeltür.

# 2 Master-Slave RS Flipflops

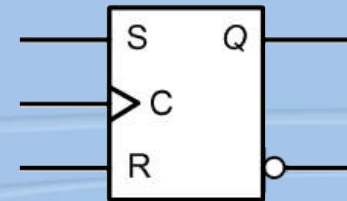


Schieberegister → später mehr

Bei der **Taktflankensteuerung** wird der Eingangszustand übernommen, wenn der Takt von 0 auf 1 wechselt.

(Kennzeichnung durch Dreieck am Takteingang)

Taktflankengesteuerte Flipflops sind nicht-transparent.

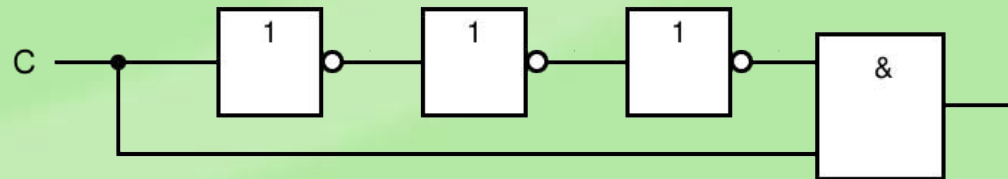
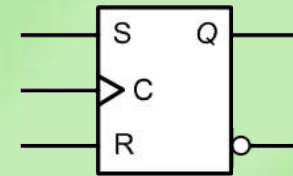


**Warum sind taktflankengesteuerte Flipflops nicht-transparent?**

### Übung

#### 4.4 Taktflankensteuerung

- Untersuchen Sie das Verhalten des taktflankengesteuerten RS-Flipflops mit dem Pegelschreiber des Simulators.
- Mit der folgenden Schaltung lässt sich Taktflankensteuerung nachahmen\*. Bauen Sie die Schaltung auf und untersuchen Sie ihr Verhalten im Zusammenspiel mit einem nicht-flankengesteuerten Flipflop.

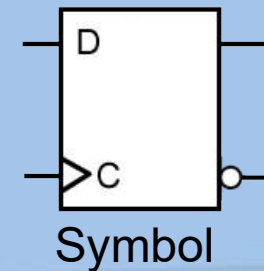
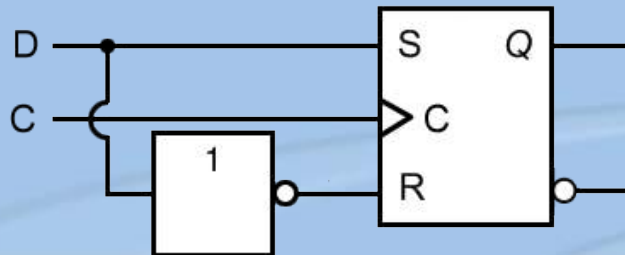


- Beschreiben Sie Ähnlichkeiten und Unterschiede von taktflankengesteuerten und Master-Slave RS-Flipflops.

\* die tatsächliche elektronische Realisierung erfolgt auf andere Weise

Das **D-Flipflop** hat nur einen Informationseingang (D = Delay) und einen Takteingang (pegel- oder flankengesteuert).

Funktionsweise:



Wie beurteilen Sie ein ungetaktetes D-Flipflop?  
Warum wird der Eingang mit D=Delay bezeichnet?

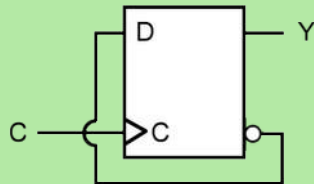


### Übung

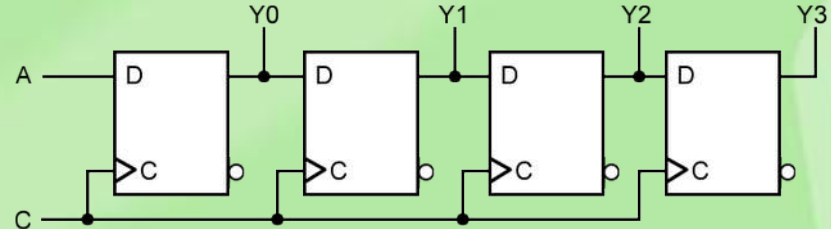
#### 4.5 Schaltungen mit D-Flipflops

Betrachten Sie die folgenden Schaltungen: Wie verhalten sie sich? Wofür könnten sie verwendet werden? Versuchen Sie zunächst durch Überlegung zum Ergebnis zu kommen und testen Sie erst danach die Schaltungen am Simulator.

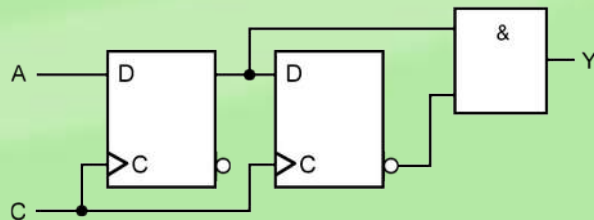
a)



b)



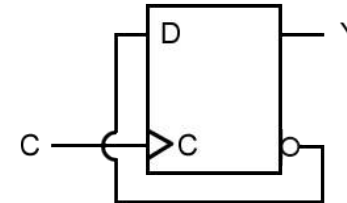
c)



# Schaltungen mit D-Flipflops (a)

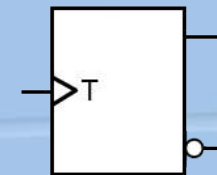
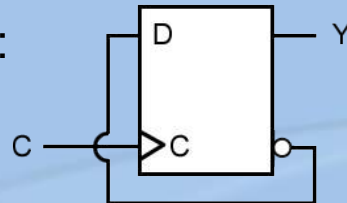
Frequenzteiler:  
Halbiert die Eingangsfrequenz.

Was würde bei  
pegelgesteuertem Takt  
passieren?



Das **T-Flipflop** hat nur einen Takteingang und wechselt mit jedem Takt zwischen 0 und 1 (T=Toggle).

Funktionsweise:



Symbol