

前言

本应用笔记旨在帮助您分析从现有的GX32E230器件移植到AT32F421器件所需的步骤。本文档收集了最重要的信息，并列出了需要注意的重要事项。

要将应用程序从GX32E230系列移植到AT32F421系列，用户需要分析硬件移植、外设移植和固件移植。

目录

1	AT32F421 与 GX32E230 异同	4
1.1	相同点概述	4
1.2	差异点概述	4
2	硬件移植	5
3	外设移植	5
3.1	外设对比	5
3.2	存储器映射	5
3.3	功能区别	6
3.3.1	RCC	6
3.3.2	DMA	6
3.3.3	中断向量	6
3.3.4	GPIO	6
3.3.5	ADC	7
3.3.6	USART	7
3.3.7	RCC PLL	7
3.3.8	Flash	8
3.3.9	SPI	8
3.3.10	COMP	9
3.3.11	RTC	9
3.3.12	PWR	9
3.4	功能增强	10
3.4.1	高频 PLL 设定	10
3.4.2	AT32F421 PLL 预分频器	11
3.4.3	安全库区保护	11
3.4.4	GPIO 5V 容忍引脚兼容	11
4	版本历史	12

表目录

表 1. AT32F421 与 GX32E230 差异概述	4
表 2. 外设兼容性.....	5
表 3. 存储器映射关系差异	5
表 4. RCC 差异.....	6
表 5. DMA 差异	6
表 6. GPIO 差异	6
表 7. ADC 差异	7
表 8. Flash 闪存存储器差异	8
表 9. 文档版本历史	12

1 AT32F421 与 GX32E230 异同

AT32F421系列微控制器大部分兼容GX32E230系列，有在对整体性价比考量下进行部分功能取舍，同时亦有强化许多新功能，故导致有些许地方存在不同，详述于本文档。

1.1 相同点概述

- 引脚定义：相同封装引脚定义相同。为扩增的外设作引脚复用定义延伸
- 函数库文件：函数库相同。部分头文件依照强化功能优化
- 编译工具：完全相同，例如Keil, IAR

1.2 差异点概述

表 1. AT32F421 与 GX32E230 差异概述

	AT32F421	GX32E230
内核	Cortex-M4	Cortex-M23
电压范围	2.4 V~3.6 V	1.8 V~3.6 V
系统时钟	主频 120 MHz, APB1 120 MHz, APB2 120 MHz	主频 72 MHz, APB1 72 MHz, APB2 72 MHz
系统存储器 (System Memory)	全系列 4 KB, 支持对闪存内容进行 CRC 校验	全系列 3 KB
闪存 16-bit 写入时间	40 us	37 us
闪存页擦除时间	6.4 ms	1.1 ms
闪存整片擦除时间	8 ms	4 ms
SRAM 容量	依型号分 8/16 KB	依型号分 4/6/8 KB
SRAM 奇偶校验	无	支持
GPIO 锁定	全部 GPIO 皆可锁定	仅可锁定 PA 和 PB
PLL	可灵活配置31至500倍频和1至15分频系数	一般整数倍频配置
I ² S	最多 2 组	仅有 1 组
SPI 四线主机模式	无	1 组
ADC	2 Msps (max ADCCLK = 28 MHz)	2 Msps (max ADCCLK = 28 MHz)
USART 唤醒	不支持	支持唤醒 deep sleep 模式
STOP 唤醒(调压器处于低功耗模式)	450 us	17.1 us
Standby 唤醒	1250 us	77.5 us
运行模式	10.5 mA@72 MHz	8.5 mA@72 MHz
睡眠功耗	7.76 mA@72 MHz	7.4 mA@72 MHz
停机功耗	210 uA	25.5 uA
待机功耗	3.6 uA	3.8 uA
温度范围	-40 至+105 °C	-40 至+85 °C
封装	无 LGA20	支持 LGA20

2 硬件移植

AT32F421与GX32E230的各对应的封装下引脚相兼容，转化起来极其方便。

3 外设移植

3.1 外设对比

AT32F421在外设部分和GX32E230相对比有些外设还是存在有一定的区别，且有些相对来说算是一个全新的设计。故针对这些外设需在应用层级的程序开发中进行修改或参考新外设驱动进行全新开发。

表 2. 外设相容性

外设	GX32E230	AT32F421	兼容性	
			引脚排列	固件驱动
SPI	Y	Y	部分相同	部分兼容
WWDG	Y	Y	NA	完全兼容
IWDG	Y	Y	NA	部分兼容
MCUDBG	Y	Y	NA	部分兼容
CRC	Y	Y	NA	部分兼容
EXTI	Y	Y	相同	部分兼容
DMA	Y	Y	NA	部分兼容
TMR	Y	Y	相同	部分兼容
PWR	Y	Y	NA	部分兼容
USART	Y	Y	相同	不兼容
I2C	Y	Y	相同	部分兼容
ADC	Y	Y	相同	部分兼容
RTC	Y	Y	相同	部分兼容
FLASH	Y	Y	NA	部分兼容
GPIO	Y	Y	相同	部分兼容
COMP	Y	Y	部分相同	不兼容
SYSCFG	Y	Y	相同	部分兼容

3.2 存储器映射

AT32F421在架构上高度兼容于GX32E230，外设地址和总线的排列仅以下项目不同。

表 3. 存储器映射关系差异

外设	GX32E230		AT32F421	
	总线	基址	总线	基址
DBGMCU	APB2	0x40015800	CPU core	0xE0042000

3.3 功能区别

3.3.1 RCC

AT32F421与GX32E230对比在RCC部分有以下区别

表 4. RCC 差异

RCC	GX32E230	AT32F421
HSI	8 MHz RC	48 MHz RC 除频 6
HSE	4-32 MHz	4-25 MHz
HSI28	28 MHz RC for ADC	NA
HSI48	NA	48 MHz RC
MCO	HSI28、LSI、LSE、HSI、HSE、 SYSCLK、PLL	ADCCLK、SYSCLK、LSI、LSE、HSI、 HSE、PLL/2、PLL/4

3.3.2 DMA

AT32F421与GX32E230对比在DMA部分只有以下区别，未列出部分完全兼容。

表 5. DMA 差异

外设	DMA 请求	GX32E230	AT32F421
I2S2	I2S2_Rx	NA	DMA1_Channel2
	I2S2_Tx	NA	DMA1_Channel3

3.3.3 中断向量

AT32F421与GX32E230对比在中断号及中断向量部分对比完全兼容。

3.3.4 GPIO

表 6. GPIO 差异

GPIO	GX32E230	AT32F421
输出模式	PP PP+PU PP+PD OD OD+PU OD+PD	PP OD
功能复用	PP PP+PU PP+PD OD OD+PU OD+PD	PP OD

GPIO部分AT32F421相较于GX32E230，主要区别在于AT32F421在输出配置下不支持内部上下拉。

3.3.5 ADC

AT32F421与GX32E230在ADC上对比有如下区别

表 7. ADC 差异

ADC	GX32E230	AT32F421
通道数	10 通道 + 2 内部通道	15 通道 + 3 内部通道
分辨率	6/8/10/12 位可配	固定 12 位
时钟	双时钟域 (APB 时钟和 HSI28 时钟)	APB 时钟
过采样	硬件过采样	可实现软件过采样

3.3.6 USART

AT32F421内置的USART外设相比于GX32E230的USART有较大的区别。二者在结构、特性和编程上都不同，因此USART部分的代码需要重新编写后才可以在AT32F421上运行。

例程请参考AT32F4xx_StdPeriph_Lib_Vx.x.x\Project\AT_START_F421\Examples\USART，详细的编程方法和接口请参阅AT32F421说明手册第16章节。

3.3.7 RCC PLL

- 描述：

因AT32F421 RCC IP的更新，在系统时钟配置流程中，RCC PLL配置和使能之前需要根据实际所使用的PLL时钟源来对参考时钟配置表PLL_FREF参数进行配置(寄存器RCC_PLL[26:24])。

位 26: 24	PLL_FREF: PLL 输入时钟选择，仅在 PLLCFGEN=0 时起作用 000: PLL 使用 3.9 MHz ~ 5 MHz 输入时钟； 001: PLL 使用 5.2 MHz ~ 6.25 MHz 输入时钟； 010: PLL 使用 7.8125 MHz ~ 8.33 MHz 输入时钟； 011: PLL 使用 8.33 MHz ~ 12.5 MHz 输入时钟； 100: PLL 使用 15.625 MHz ~ 20.83 MHz 输入时钟； 101: PLL 使用 20.83 MHz ~ 31.255 MHz 输入时钟； 110: 保留； 111: 保留。
----------	---

- 解决方法：

示例使用8MHz晶振作为PLL时钟源，配置120 MHz系统时钟的修改方法如下：

```
static void SetSysClockTo120M(void)
{
    ...

    /* PLL = HXTAL * 15 = 120 MHz */
    RCU_CFG0 &= ~(RCU_CFG0_PLLSEL | RCU_CFG0_PLLMF);
    RCU_CFG0 |= (RCU_PLLSRC_HXTAL | RCU_PLL_MUL15);

    /* enable PLL */
    RCU_CTL0 |= RCU_CTL0_PPLEN;

    ...
}
```

修改为:

```
static void SetSysClockTo120M(void)
{
...
/* PLL = HXTAL * 15 = 120 MHz */
RCU_CFG0 &= ~(RCU_CFG0_PLLSEL | RCU_CFG0_PLLMF);
RCU_CFG0 |= (RCU_PLLSRC_HXTAL | RCU_PLL_MUL15);

RCC->PLL |= (0x2 << 24); // PLL使用8M参考时钟配置表

/* enable PLL */
RCU_CTL0 |= RCU_CTL0_PPLEN;
...
}
```

3.3.8 Flash

AT32F421与GX32E230都是使用的embedded Flash，但在设计上有细微差异，导致Flash配置的latency与系统时钟关系有如下区别

表 8. Flash 闪存存储器差异

Flash Wait State	GX32E230 (SYSCLK)	AT32F421 (SYSCLK)
零等待	0 MHz < SYSCLK <= 24 MHz	0 MHz < SYSCLK <= 32 MHz
一个等待	24 MHz < SYSCLK <= 48 MHz	32 MHz < SYSCLK <= 64 MHz
二个等待	48 MHz < SYSCLK <= 72 MHz	64 MHz < SYSCLK <= 96 MHz
三个等待	无	96 MHz < SYSCLK <= 120 MHz

详情请参考《RM_AT32F421_V1.x.x》的4.4.1章节。

3.3.9 SPI

AT32F421与GX32E230相对比在SPI接口存在以下不同。

经性价比等全方面考虑和分析，AT32F421剔除了GX32E230上SPI的如下功能特性。

- 1、 TI模式配置
- 2、 NSSP模式配置
- 3、 TxRx缓冲区
- 4、 SPI1主模式扩展QSPI
- 5、 Frame Size可配置

但增加了如下特性：

- 1、 SPI支持I2S功能
- 2、 支持I2S的WS线与Data实时同步
- 3、 SPI支持最快50 MHz

3.3.10 COMP

- 描述：
COMP控制寄存器AT32F421与GX32E230不兼容。AT32F421支持消隐输出功能。
- 例程参考：
比较器COMP范例地址
AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F421\Examples\COMP

3.3.11 RTC

- 描述：
 - AT32F421与GX32E230相比只支持入侵检测0（tamper0），不支持入侵检测1（tamper1）。

3.3.12 PWR

- AT32F421系列采用Cortex-M4内核，PWR以WFE进入lower-power模式有所区别，需要按如下使用范例操作。
- 使用范例：

```
/* Request Wait For Event */  
__SEV();  
__WFE();  
__WFE();
```

3.4 功能增强

3.4.1 高频 PLL 设定

- 描述：
 - AT32F421内置的PLL可输出最高可达120 MHz时钟，可灵活配置31至500倍频和1至15分频系数，设定略有不同。
- 使用范例：

- GX32E230 PLL设定程序范例：

```
RCU_CFG0 |= (RCU_PLLSRC_HXTAL | RCU_PLL_MUL9);
```

- AT32F421 PLL设定程序范例，增加倍频系数如下：

```
#define RCU_PLL_MUL33          (CFG0_PLLMFH(2) | CFG0_PLLMF(0)) /*!< PLL source
clock multiply by 33 */
#define RCU_PLL_MUL34          (CFG0_PLLMFH(2) | CFG0_PLLMF(1)) /*!< PLL source
clock multiply by 34 */
...
#define RCU_PLL_MUL63          (CFG0_PLLMFH(3) | CFG0_PLLMF(14)) /*!< PLL source
clock multiply by 63 */
#define RCU_PLL_MUL64          (CFG0_PLLMFH(3) | CFG0_PLLMF(15)) /*!< PLL source
clock multiply by 64 */
```

- 需要特别注意的：
 - 当AT32F421内置的PLL为108 MHz以上时钟时，PLL设定略有不同，需要操作自动滑顺频率切换功能
- 120 MHz PLL使用范例：

打开GX32官方提供的标准库中system_gx32f1x0.c文件，找到当前的系统时钟频率配置函数（需经过上述PLL配置），如120 MHz函数：

```
static void SetSysClockTo120(void)
```

增加如下斜黑体部分：

```
/* wait until PLL is stable */
while(0U == (RCU_CTL0 & RCU_CTL0_PLLSTB)){
}
*((unsigned int *)0x40021054) |= (0x30);// 开启自动滑顺频率切换功能

/* select PLL as system clock */
RCU_CFG0 &= ~RCU_CFG0_SCS;
RCU_CFG0 |= RCU_CKSYSSRC_PLL;

/* wait until PLL is selected as system clock */
while(0U == (RCU_CFG0 & RCU_SCSS_PLL)){
}
*((unsigned int *)0x40021054) &=~ (0x30);//关闭自动滑顺频率切换功能
```

3.4.2 AT32F421 PLL 预分频器

- 描述：
 - 由于主频提高至120 MHz，相关预分频器做出扩增
 - ADC预分频器扩增支持/12, /16输出
 - 请参阅AT32F421参考手册3.3.2 RCC_CFG寄存器叙述

3.4.3 安全库区保护

- 描述
 - 目前越来越多的微控器(MCU)应用需要使用到复杂的算法及中间件解决方案(middleware solution)，因此，如何保护软件方案商开发出来的核心算法等知识产权代码(IP-Code)，便成为微控制器应用中一项很重要的课题。
 - 为因应这一重要的需求，AT32F421系列提供了安全库区(sLib)的功能，以防止重要的IP-Code被终端用户的程序做修改或读取，进而达到保护的目的。
- 使用范例
 - 请参考《AT32F421安全库区(sLib)应用指南.pdf》
 - Demo请参考AT32F4xx_StdPeriph_Lib_Vx.x.x\Utilities\AT32F421_SLIB_Demo

3.4.4 GPIO 5V 容忍引脚兼容

- 描述
 - AT32F421芯片相较GX32E230提供更多5V电压输入容忍引脚，仅有引脚PC14、PC15、PF0、PF1不具5V电压输入容忍特性，这些引脚输入电平不可超过VDD + 0.3V。
 - 其他引脚皆为5V电压输入容忍。

4 版本历史

表 9.文档版本历史

日期	版本	变更
2020.08.15	1.0.0	最初版本
2021.03.04	1.0.1	新增 PWR

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境；(D) 航天应用或航天环境，且/或(E) 武器。因雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险由购买者单独承担，并且独力负责在此类相关使用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2020 雅特力科技 (重庆) 有限公司 保留所有权