

前言

本应用笔记旨在帮助您分析从现有的AT32F413器件移植到AT32F415器件所需的步骤。本文档收集了最重要的信息，并列出了需要注意的重要事项。

要将应用程序从AT32F413系列移植到AT32F415系列，用户需要分析硬件移植、外设移植和固件移植。

支持型号列表：

支持型号	AT32F415xx
------	------------

目录

1	AT32F413 与 AT32F415 异同.....	4
1.1	相同点概述.....	4
1.2	差异点概述.....	4
2	硬件移植.....	6
3	外设移植.....	7
3.1	系统架构区别.....	7
3.1.1	ARM® 32 位的 Cortex®-M4.....	7
3.1.2	高频 PLL 设定.....	7
3.1.3	Flash Latency 设定区别.....	8
3.1.4	系统存储器区域作为主存储器扩展使用.....	9
3.1.5	安全库区保护区别.....	9
3.1.6	AT32F415 不支持内存容量扩展.....	9
3.1.7	AT32F415 不支持 SPIM 接口.....	9
3.1.8	AT32F415 RCC PLL 使能前需配置参考时钟配置表.....	9
3.2	外设增强.....	10
3.2.1	AT32F415 新增 OTG FS.....	10
3.2.2	AT32F415 新增 ERTC.....	12
3.2.3	AT32F415 新增比较器 COMP.....	12
3.3	外设使用限制.....	12
3.3.1	AT32F415 的 GPIO PA10 为非 5V 容忍管脚.....	12
3.3.2	USART3 和 TMR1/TMR3 同时使用至 PA7 异常.....	12
4	版本历史.....	14

表目录

表 1. AT32F415 与 AT32F413 差异概述.....	4
表 2. 文档版本历史.....	14

1 AT32F413 与 AT32F415 异同

AT32F415系列微控制器基本兼容AT32F413系列，同时也优化了许多功能关系，有些许地方与AT32F413不同，详述于本文档。

1.1 相同点概述

- 管脚定义：相同封装管脚定义相同。为扩增的外设作管脚复用定义延伸
- 编译工具：完全相同，例如Keil, IAR

1.2 差异点概述

表 1. AT32F415 与 AT32F413 差异概述

	AT32F415	AT32F413
系统		
浮点运算单元 FPU	无	支持
系统时钟	主频 150 MHz, APB1 75 MHz, APB2 75 MHz	主频 200 MHz, APB1 100 MHz, APB2 100 MHz
启动时间	600 μ s	8 ms
待机模式唤醒时间	600 μ s	3.6 ms
系统存储器		
闪存特性	需配合不同主频设置 FLASH_ACR_LATENCY	有零等待和非零等待区别
SRAM 容量	固定 32 KB	支持扩充模式最大至 64 KB
加挂 SPI 闪存	无	支持加挂 SPI Flash 为 Bank3
系统存储器(system memory) 设置	可一次性配置成一般用户程序和数据区	不支持
闪存半字写入时间	40 μ s	50 μ s
闪存页擦除时间	6.4 ms	50 ms (AT32F413xC) 40 ms (AT32F413xB/x8)
闪存整片擦除时间	8 ms	800 ms
安全保护		
安全库区设定	支持，详细描述请参阅 AT32F415 参考手册 5.3.5 节和 安全库区 (sLib) 应用指南. pdf	支持，详细描述请参阅 AT32F413 参考手册 5.3.5 节和 安全库区 (sLib) 应用指南. pdf
外设		
高级定时器	1 组	最多 2 组
RTC	增强型，具亚秒级精度及硬件日历	一般型
备份寄存器	20 个 32 位备份寄存器	42 组 16 位备份寄存器
CAN 接口	1 组	2 组
USB	1 组 USB2.0 OTG，支持 FS/LS 主机及 FS 设备模式	1 组 USB2.0 设备，仅支持 FS 设备模式
ADC	1 组	2 组
比较器	2 组	无

	AT32F415	AT32F413
供电电流		
停机功耗	680 μ A (调压器处于低功耗模)	490 μ A
待机功耗	3.6 μ A	9.9 μ A

2 硬件移植

AT32F413与AT32F415系列的各引脚兼容。所有外设共用这两个产品系列的相同引脚，唯一不同点是由于AT32F415与AT32F413在外设有所区别，从而引脚复用功能有所区别，比如AT32F415的PA0复用功能有比较器的COMP1_OUT功能，而AT32F413则没有。具体引脚复用功能的区别请查看datasheet文档描述。

3 外设移植

3.1 系统架构区别

3.1.1 ARM® 32 位的 Cortex®-M4

- 描述：
 - 带存储器保护单元(MPU)
 - 内建单周期乘法和硬件除法
 - 新增支持DSP指令集
 - 例程参考
 - 1) 编译代码时，请在Keil、IAR等IDE中关闭FPU。
 - 2) AT32F415使用DSP库时，需把AT32F4xx_StdPeriph_Lib_V1.x.x\Libraries\CMSIS\Lib\ARM文件夹中arm_cortexM4l_math.lib文件替代原AT32F413工程arm_cortexM4lf_math.lib文件。
- 注意：AT32F415不支持内建浮点运算(FPU)**

3.1.2 高频 PLL 设定

- 描述：
 - AT32F415内置的PLL可输出150MHz时钟，与AT32F413的200MHz时钟有所区别
 - 该PLL还支持一种新的PLL时钟计算公式，即
$$\text{PLL 输出时钟} = \text{PLL 参考输入时钟} \times \text{PLL_NS} / (\text{PLL_MS} \times \text{PLL_FR})$$
$$500\text{MHz} \leq \text{PLL 参考输入时钟} \times \text{PLL_NS} / \text{PLL_MS} \leq 1000\text{MHz}$$
该PLL计算公式更加灵活，可配置出更多用户所需要的时钟。
详情请参考文档RM_AT32F415_1.xx的3.3.12 PLL配置寄存器（RCC_PLL）中描述
- 使用范例：
 - 针对PLL新的计算公式，以150MHz时钟配置方法做介绍
当HSE为8MHz时，配置RCC_PLL的相关bit为PLL_NS = 75, PLL_MS = 1, PLL_FR = 3'b010
则System clock = $(8 \times 75) / (1 \times 4) = 150\text{MHz}$
 - 标准库的代码示例为：
150M PLL设定可参考
AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Templates文件夹中
system_at32f4xx.c文件的static void SetSysClockTo150M(void)函数

3.1.3 Flash Latency 设定区别

- 描述:

AT32F415采用全区零等待闪存, 因此在时钟配置时需正确配置时延 (latency)

通过设置闪存访问控制寄存器 (FLASH_ACR)中的LATENCY[2: 0]位, 依据SYSCLK来设置等待状态值, 闪存访问控制寄存器FLASH_ACR[2:0]的描述如下:

bit[2:0]表示SYSCLK (系统时钟) 周期与闪存访问时间的比例

- 000: 零等待状态, 当 $0 < \text{SYSCLK} \leq 32 \text{ MHz}$
- 001: 一个等待状态, 当 $32 \text{ MHz} < \text{SYSCLK} \leq 64 \text{ MHz}$
- 010: 两个等待状态, 当 $64 \text{ MHz} < \text{SYSCLK} \leq 96 \text{ MHz}$
- 011: 三个等待状态, 当 $96 \text{ MHz} < \text{SYSCLK} \leq 128 \text{ MHz}$
- 100: 四个等待状态, 当 $128 \text{ MHz} < \text{SYSCLK} \leq 150 \text{ MHz}$

- 使用范例:

144M PLL设定Latency参考如下

打开AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Templates文件夹中system_at32f4xx.c文件, 修改static void SetSysClockTo144M(void)函数中的以下黑体加粗部分代码:

```
static void SetSysClockTo144M(void)
{
    .....

    #if defined (AT32F415xx)
        /* Enable Prefetch Buffer */
        FLASH->ACR |= FLASH_ACR_PRFTBE;

        /* Flash 1 wait state */
        FLASH->ACR &= (uint32_t)((uint32_t)~FLASH_ACR_LATENCY);
        FLASH->ACR |= (uint32_t)FLASH_ACR_LATENCY_4;
    #endif

    /* HCLK = SYSCLK */
    RCC->CFG |= (uint32_t)RCC_CFG_AHBPS DIV1;

    .....
}
```


3.1.4 系统存储器区域作为主存储器扩展使用

- 描述：

AT32F415系列可将18KB系统存储器(0x1FFF AC00 - 0x1FFF F3FF段地址)一次性配置成一般用户程序和数据区，扩展应用程序的使用空间弹性。用户只有一次机会将系统存储器区域作为主存扩展使用。

- 使用范例：

程序范例请参考： AT32F4xx_StdPeriph_Lib_V1.x.x\Utilities\AT32F415_SysMem_AP_Demo

3.1.5 安全库区保护区别

- 描述

AT32F415安全库区的设计与AT32F413相比有所优化，因此设定也有所区别

- 使用范例

程序范例请参考： AT32F4xx_StdPeriph_Lib_V1.x.x\Utilities\AT32F415_SLIB_Demo

3.1.6 AT32F415 不支持内存容量扩展

- 描述：

AT32F415在功能上有所优化，内存容量（SRAM size）固定为32KB且不可修改

3.1.7 AT32F415 不支持 SPIM 接口

3.1.8 RCC PLL 使能前需配置参考时钟配置表

- 描述：

因AT32F415 RCC IP的更新，在系统时钟配置流程中，RCC PLL配置和使能之前需要根据实际所使用的PLL时钟源来对参考时钟配置表PLL_FREF参数进行配置(寄存器RCC_PLL[26:24])。

位 26: 24	PLL_FREF: PLL 参考时钟配置表（PLL Configuration Table）
	由软件配置使用何种 PLL 参考时钟配置表
	000: PLL 使用 4M 参考时钟配置表；
	001: PLL 使用 6M 参考时钟配置表；
	010: PLL 使用 8M 参考时钟配置表；
	011: PLL 使用 12M 参考时钟配置表；
	100: PLL 使用 16M 参考时钟配置表；
	101: PLL 使用 25M 参考时钟配置表；
	110: 保留；
	111: 保留。

- 解决方法：

示例使用8MHz晶振配置144MHz系统时钟的修改方法如下：

```
static void SetSysClockTo144M(void)
{
    ...
    #if defined (AT32F415xx)
        RCC->CFG |= (uint32_t)(RCC_CFG_PLLRC_HSE | RCC_CFG_PLLMULT18);
    #else
        RCC->CFG |= (uint32_t)(RCC_CFG_PLLRC_HSE | RCC_CFG_PLLMULT18 |
RCC_CFG_PLLRANGE_GT72MHZ);
    #endif
    ...
}
```

修改为

```
static void SetSysClockTo144M(void)
{
    ...
    RCC->PLL /= (0x2 << 24); // PLL使用8M参考时钟配置表
    #if defined (AT32F415xx)
        RCC->CFG |= (uint32_t)(RCC_CFG_PLLRC_HSE | RCC_CFG_PLLMULT18);
    #else
        RCC->CFG |= (uint32_t)(RCC_CFG_PLLRC_HSE | RCC_CFG_PLLMULT18 |
RCC_CFG_PLLRANGE_GT72MHZ);
    #endif
    ...
}
```

3.2 外设增强

3.2.1 AT32F415 新增 OTG FS

- 描述：

AT32F415新增OTG FS取代AT32F413的USB device. AT32F415内置一个集成了收发器的USB OTG全速(12 Mb/s)设备、主机和OTG模式控制模块。USB OTG FS模块兼容USB2.0和OTG1.3协议。端点可由软件配置，并支持挂起/恢复机制。USB OTG FS模块专用的48 MHz时钟由内部主PLL产生，用作设备模式也可直接来自48 MHz HSI时钟源。768 Byte模式使用范例：

- 使用范例

- AT32F415 OTG Device范例地址：

AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Examples\OTG_Device

- AT32F415 OTG Host范例地址：

AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Examples\OTG_Host

3.2.2 AT32F415 新增 ERTC

- 描述：

增强型实时时钟(ERTC)是一个独立的BCD定时器/计数器。它支持下列功能

 - 日历具有秒、分、小时(12或24小时格式)、星期几、日、月、年，格式为BCD(二进制十进数)
 - 提供二进制格式的亚秒值
 - 自动调整每月的天数为28、29(闰年)、30、还是31天
 - 可编程闹钟和可编程的周期性中断具有从停止和待机模式唤醒的能力
 - 为补偿天然石英的偏差，可通过512 Hz的外部输出对ERTC进行校准
- 例程参考
增强型ERTC范例地址
AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Examples\ERTC

3.2.3 AT32F415 新增比较器 COMP

- 描述：

AT32F415器件内置两个轨到轨比较器，具有可编程的参考电压(内部或外部)、迟滞和速度、可选的输出极性、以及干扰滤波器。

参考电压可为以下之一：

 - 外部I/O
 - 内部参考电压或其约数(1/4、1/2、3/4)。请参考表12以获取内部参考电压的值和精度。

两个比较器都可从停机模式唤醒，也可为定时器生成中断和断开，并可组合成一个窗口比较器。
- 例程参考
比较器COMP范例地址
AT32F4xx_StdPeriph_Lib_V1.x.x\Project\AT_START_F415\Examples\COMP

3.3 外设使用限制

3.3.1 AT32F415 的 GPIO PA10 为非 5V 容忍管脚

- 描述：

各封装的PA10不属于5V电压输入容忍管脚，故这些管脚输入电平不可超过VDD + 0.3V。
- 解决方法：

使用时请留意此限制。

3.3.2 USART3 和 TMR1/TMR3 同时使用至 PA7 异常

- 描述：

USART3开启了时钟且不remap时，此时TMR1/3无法使用PA7这个通道。

- 解决方法：
使用时请留意此限制。

4 版本历史

表 2. 文档版本历史

日期	版本	变更
2019.08.22	1.0.0	最初版本
2020.06.11	1.0.1	新增 USART3和TMR1/TMR3同时使用至PA7异常
2020.06.22	1.0.2	新增 RCC PLL使能前需配置参考时钟配置表

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境；(D) 航天应用或航天环境，且/或(E) 武器。因雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险由购买者单独承担，并且独力负责在此类相关使用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2020 雅特力科技 (重庆) 有限公司 保留所有权