

# Especificação Módulo de Topo

## 1 Introdução

O Módulo Topo é um módulo de hardware descrito em Verilog que integra diversos componentes do projeto para realizar o controle e o processamento de dados. A estrutura principal consiste em dois componentes: o **Controle** e o **Datapath**. Este documento descreve as interligações entre esses componentes e suas interações com as entradas e saídas externas.

## 2 Interfaces Externas

As interfaces externas do módulo Topo são definidas como entradas e saídas conforme descrito na Tabela 2.

| Nome     | Tipo    | Tamanho | Descrição                  |
|----------|---------|---------|----------------------------|
| CLOCK_50 | Entrada | 1 bit   | Sinal de clock de 50 MHz   |
| KEY      | Entrada | 4 bits  | Vetor de teclas de entrada |
| SW       | Entrada | 10 bits | Vetor de chaves de entrada |
| LEDR     | Saída   | 10 bits | Vetor de LEDs de saída     |
| HEX0     | Saída   | 7 bits  | Display de 7 segmentos     |
| HEX1     | Saída   | 7 bits  | Display de 7 segmentos     |
| HEX2     | Saída   | 7 bits  | Display de 7 segmentos     |
| HEX3     | Saída   | 7 bits  | Display de 7 segmentos     |
| HEX4     | Saída   | 7 bits  | Display de 7 segmentos     |
| HEX5     | Saída   | 7 bits  | Display de 7 segmentos     |

Table 2: Interfaces Externas do Módulo Topo

## 3 Definições de Sinais Internos

Os sinais internos são definidos para interligar os componentes **Controle** e **Datapath**, bem como para gerir a lógica interna do módulo Topo. Estes sinais estão descritos na Tabela 4.

## 4 Descrição dos Componentes

### 4.1 Componente: Datapath

O componente **Datapath** é responsável pelo processamento dos dados. Ele recebe sinais de controle e entradas de chave e teclas para gerar saídas para os displays e LEDs. As interfaces do **Datapath** estão descritas na Tabela 6.

### 4.2 Componente: Controle

O componente **Controle** é responsável pela lógica de controle do sistema. Ele gera os sinais de controle com base nos estados do sistema e entradas externas. As interfaces do **Controle** estão descritas na Tabela 8.

| Nome          | Tipo | Tamanho | Descrição                                |
|---------------|------|---------|--|
| switch0_entra | wire | 1 bit   | Sinal de entrada do switch 0             |
| switch1_entra | wire | 1 bit   | Sinal de entrada do switch 1             |
| switch0       | wire | 1 bit   | Sinal de controle do switch 0            |
| switch1       | wire | 1 bit   | Sinal de controle do switch 1            |
| switch2       | wire | 1 bit   | Sinal de controle do switch 2            |
| switch3       | wire | 1 bit   | Sinal de controle do switch 3            |
| R1            | wire | 1 bit   | Sinal de reset 1                         |
| R2            | wire | 1 bit   | Sinal de reset 2                         |
| E1            | wire | 1 bit   | Sinal de habilitação 1                   |
| E2            | wire | 1 bit   | Sinal de habilitação 2                   |
| E3            | wire | 1 bit   | Sinal de habilitação 3                   |
| E4            | wire | 1 bit   | Sinal de habilitação 4                   |
| end_FPGA      | wire | 1 bit   | Indica o fim do processamento na FPGA    |
| end_User      | wire | 1 bit   | Indica o fim do processamento do usuário |
| end_time      | wire | 1 bit   | Indica o fim do tempo                    |
| win           | wire | 1 bit   | Indica vitória                           |
| match         | wire | 1 bit   | Indica correspondência                   |
| SEL           | wire | 1 bit   | Sinal de seleção                         |

Table 4: Definições dos Sinais Internos do Módulo **Controle**

| Nome     | Tipo    | Tamanho | Descrição                                |
|----------|---------|---------|--|
| CLOCK_50 | Entrada | 1 bit   | Sinal de clock de 50 MHz                 |
| KEY      | Entrada | 4 bits  | Vetor de teclas de entrada               |
| SWITCH   | Entrada | 8 bits  | Vetor de chaves de entrada               |
| R1       | Entrada | 1 bit   | Sinal de reset 1                         |
| R2       | Entrada | 1 bit   | Sinal de reset 2                         |
| E1       | Entrada | 1 bit   | Sinal de habilitação 1                   |
| E2       | Entrada | 1 bit   | Sinal de habilitação 2                   |
| E3       | Entrada | 1 bit   | Sinal de habilitação 3                   |
| E4       | Entrada | 1 bit   | Sinal de habilitação 4                   |
| SEL      | Entrada | 1 bit   | Sinal de seleção                         |
| hex0     | Saída   | 7 bits  | Display de 7 segmentos                   |
| hex1     | Saída   | 7 bits  | Display de 7 segmentos                   |
| hex2     | Saída   | 7 bits  | Display de 7 segmentos                   |
| hex3     | Saída   | 7 bits  | Display de 7 segmentos                   |
| hex4     | Saída   | 7 bits  | Display de 7 segmentos                   |
| hex5     | Saída   | 7 bits  | Display de 7 segmentos                   |
| leds     | Saída   | 4 bits  | LEDs de saída                            |
| end_FPGA | Saída   | 1 bit   | Indica o fim do processamento na FPGA    |
| end_User | Saída   | 1 bit   | Indica o fim do processamento do usuário |
| end_time | Saída   | 1 bit   | Indica o fim do tempo                    |
| win      | Saída   | 1 bit   | Indica vitória                           |
| match    | Saída   | 1 bit   | Indica correspondência                   |

Table 6: Interfaces do Componente **Datapath**

## 5 Interligações entre Componentes

A Figura 1 ilustra as interligações entre os componentes **Controle** e **Datapath**, bem como suas interações com as interfaces externas do módulo **Topo**.

### 5.1 Conexões entre Topo e Controle

- **CLOCK\_50** conecta-se a **CLOCK**.

| Nome     | Tipo    | Tamanho | Descrição                                |
|----------|---------|---------|--|
| CLOCK    | Entrada | 1 bit   | Sinal de clock                           |
| enter    | Entrada | 1 bit   | Sinal de entrada                         |
| reset    | Entrada | 1 bit   | Sinal de reset                           |
| end_FPGA | Entrada | 1 bit   | Indica o fim do processamento na FPGA    |
| end_User | Entrada | 1 bit   | Indica o fim do processamento do usuário |
| end_time | Entrada | 1 bit   | Indica o fim do tempo                    |
| win      | Entrada | 1 bit   | Indica vitória                           |
| match    | Entrada | 1 bit   | Indica correspondência                   |
| R1       | Saída   | 1 bit   | Sinal de reset 1                         |
| R2       | Saída   | 1 bit   | Sinal de reset 2                         |
| E1       | Saída   | 1 bit   | Sinal de habilitação 1                   |
| E2       | Saída   | 1 bit   | Sinal de habilitação 2                   |
| E3       | Saída   | 1 bit   | Sinal de habilitação 3                   |
| E4       | Saída   | 1 bit   | Sinal de habilitação 4                   |
| SEL      | Saída   | 1 bit   | Sinal de seleção                         |

Table 8: Interfaces do Componente Controle

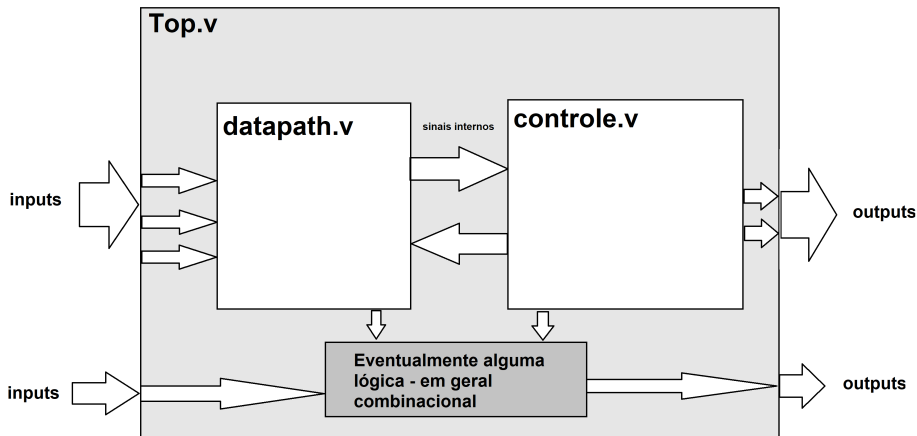


Figure 1: Interligações entre os componentes Controle e Datapath no módulo Topo

- SW[0] conecta-se a **enter**.
- SW[1] conecta-se a **reset**.
- Sinais **end.FPGA**, **end.User**, **end.time**, **win**, **match** são recebidos de **Datapath**.
- Sinais **R1**, **R2**, **E1**, **E2**, **E3**, **E4**, **SEL** são enviados para **Datapath**.

## 5.2 Conexões entre Topo e Datapath

- **CLOCK\_50**, **KEY**, **SW[9:2]** são entradas para **Datapath**.
- Sinais de controle (**R1**, **R2**, **E1**, **E2**, **E3**, **E4**, **SEL**) são recebidos de **Controle**.
- **HEX0**, **HEX1**, **HEX2**, **HEX3**, **HEX4**, **HEX5**, **LEDR[9:6]** são saídas de **Datapath**.
- Sinais **end.FPGA**, **end.User**, **end.time**, **win**, **match** são enviados para **Controle**.

## 6 Conclusão

Este documento especifica a estrutura e interligações do módulo **Topo**, descrevendo suas interfaces externas, sinais internos e a interação entre os componentes **Controle** e **Datapath**. Esta especificação serve

como guia para a implementação e integração do sistema em Verilog.