

Especificação Módulo Controle

1 Controle

1.1 Descrição

O módulo **Controle** implementa a lógica de controle do sistema. Ele gerencia os estados do sistema e controla as saídas de acordo com as entradas recebidas. O módulo **Controle** coordena diferentes fases do jogo e as respostas do sistema a diferentes eventos. O módulo **Controle** possui estados como 'Init' (inicialização), 'Setup' (configuração), 'Play_FPGA' (jogada da FPGA), 'Play_User' (jogada do usuário), 'Check' (verificação de resultado), 'Next_Round' (próxima rodada) e 'Result' (resultado final). Cada estado configura as saídas de acordo com a fase do jogo em que se encontra e com as entradas recebidas, como sinais de finalização de jogadas, tempo, vitória, etc.

1.2 Interfaces

- **CLOCK**: Input, sinal de clock
- **enter**: Input, sinal de entrada para iniciar a operação
- **reset**: Input, sinal de reset para reiniciar o estado
- **end.FPGA**: Input, sinal indicando o final da operação da FPGA
- **end.User**: Input, sinal indicando o final da operação do usuário
- **end.time**: Input, sinal indicando o final do tempo de jogo
- **win**: Input, sinal indicando a vitória
- **match**: Input, sinal indicando se houve um acerto de jogo
- **R1**: Output, sinal de controle 1
- **R2**: Output, sinal de controle 2
- **E1**: Output, sinal de controle 3
- **E2**: Output, sinal de controle 4
- **E3**: Output, sinal de controle 5
- **E4**: Output, sinal de controle 6
- **SEL**: Output, sinal de seleção

1.3 Tipos de Sinais

- **EA: reg**, sinal interno representando o estado atual do estado de execução
- **PE: reg**, sinal interno representando o próximo estado

1.4 Estados

- **Init**: Estado inicial
- **Setup**: Configuração inicial
- **Play_FPGA**: Jogada da FPGA
- **Play_User**: Jogada do usuário
- **Check**: Verificação de resultado
- **Next_Round**: Próxima rodada
- **Result**: Estado final com resultado

1.5 Descrição dos Estados

- **Init**: Inicializa todas as saídas e define o próximo estado como **Setup**.
- **Setup**: Configura as saídas para a configuração inicial e passa para o estado **Play_FPGA** se **enter** for ativado.
- **Play_FPGA**: Configura as saídas para a jogada da FPGA e passa para o estado **Play_User** quando **end_FPGA** é ativado.
- **Play_User**: Configura as saídas para a jogada do usuário e passa para **Result** se o tempo acabar ou para **Check** se **end_User** for ativado.
- **Check**: Configura as saídas para verificar o resultado e passa para **Next_Round** se houve uma correspondência ou para **Result** se não houve correspondência.
- **Next_Round**: Configura as saídas para a próxima rodada e volta para **Play_FPGA** se não houve vitória, ou vai para **Result** se houve vitória.
- **Result**: Configura as saídas para o estado final e permanece neste estado.

1.6 Observações

- O sinal de **reset** reinicia o estado para **Init**.
- Os sinais de controle são configurados de acordo com o estado atual.
- A lógica de controle é sincronizada com o sinal de clock.

2 Tabela de Relação entre Estados e Saídas

Estado	R1	R2	E1	E2	E3	E4	SEL
Init	1	1	0	0	0	0	0
Setup	0	0	1	0	0	0	0
Play_FPGA	0	0	0	0	1	0	0
Play_User	0	0	0	1	0	0	0
Check	0	0	0	0	0	1	0
Next_Round	0	1	0	0	0	0	0
Result	0	0	0	0	0	0	1