

Especificação Módulo Datapath

May 21, 2024

1 Introdução

Este documento fornece a especificação detalhada do código Verilog para o módulo **Datapath**. A especificação inclui a descrição de cada bloco, suas interfaces de entrada e saída, o tamanho das portas, e a descrição das portas. Esta especificação segue os padrões da indústria como OVM, OOVm e UVM.

2 Visão Geral

O módulo **Datapath** é responsável pelo processamento de dados e sinais de controle em um sistema digital. Ele interage com diversos componentes internos e externos para realizar suas funções.

3 Interfaces

3.1 Input Dados

| Sinal | Tamanho | Tipo | Descrição |
|----------|---------|------|------------------------------|
| CLOCK_50 | 1 | wire | Sinal de clock de 50 MHz |
| KEY | 4 | wire | Vetor de teclas de entrada |
| SWITCH | 8 | wire | Vetor de switches de entrada |

3.2 Input Comandos

| Sinal | Tamanho | Tipo | Descrição |
|------------------------|---------|------|--------------------------|
| R1, R2, E1, E2, E3, E4 | 1 | wire | Sinais de reset e enable |
| SEL | 1 | wire | Sinal de seleção |

3.3 Output Dados

| Sinal | Tamanho | Tipo | Descrição |
|------------------------------------|---------|------|------------------------------------|
| hex0, hex1, hex2, hex3, hex4, hex5 | 7 | wire | Saídas para display de 7 segmentos |
| leds | 4 | wire | Saídas para LEDs |

3.4 Saídas Status

| Sinal | Tamanho | Tipo | Descrição |
|--|---------|------|------------------|
| end.FPGA, end.User, end_time, win, match | 1 | wire | Sinais de status |

4 Descrição Componentes Internos

4.1 MUX4X1_4bits

| Sinal | Tamanho | Tipo | Descrição |
|------------|---------|------|---------------------------|
| SEL | 2 | wire | Sinal de seleção |
| ENT0, ENT1 | 4 | wire | Entradas do multiplexador |
| ENT2, ENT3 | 4 | wire | Entradas do multiplexador |
| output | 4 | wire | Saída do multiplexador |

4.2 MUX2X1_7bits

| Sinal | Tamanho | Tipo | Descrição |
|------------|---------|------|---------------------------|
| SEL | 1 | wire | Sinal de seleção |
| ENT0, ENT1 | 7 | wire | Entradas do multiplexador |
| output | 7 | wire | Saída do multiplexador |

4.3 MUX4X1

| Sinal | Tamanho | Tipo | Descrição |
|----------|---------|------|------------------------|
| level | 2 | wire | Sinal de nível |
| CL1, CL2 | 1 | wire | Entradas de clock |
| CL3, CL4 | 1 | wire | Entradas de clock |
| CLKHZ | 1 | wire | Saída do multiplexador |

4.4 dec7seg

| Sinal | Tamanho | Tipo | Descrição |
|-------|---------|------|-------------------------------------|
| G | 4 | wire | Entrada para o decodificador |
| O | 7 | wire | Saída para o display de 7 segmentos |

4.5 REG_Setup

| Sinal | Tamanho | Tipo | Descrição |
|-----------|---------|------|-----------------------------------|
| CLK, R, E | 1 | wire | Entradas de clock, reset e enable |
| SW | 8 | wire | Entrada de switches |
| setup | 8 | wire | Saída de configuração |

4.6 REG_FPGA

| Sinal | Tamanho | Tipo | Descrição |
|-----------|---------|------|-----------------------------------|
| CLK, R, E | 1 | wire | Entradas de clock, reset e enable |
| data | 64 | wire | Entrada de dados |
| q | 64 | wire | Saída de dados |
| q3 | 4 | wire | Saída auxiliar de dados |

4.7 Reg_User

| Sinal | Tamanho | Tipo | Descrição |
|-----------|---------|------|-----------------------------------|
| CLK, R, E | 1 | wire | Entradas de clock, reset e enable |
| data | 64 | wire | Entrada de dados |

| | | | |
|---|----|------|----------------|
| q | 64 | wire | Saída de dados |
|---|----|------|----------------|

4.8 DecSeq

| Sinal | Tamanho | Tipo | Descrição |
|---------|---------|------|------------------------|
| address | 4 | wire | Endereço de entrada |
| output | 4 | wire | Saída do decodificador |

4.9 Counter_time

| Sinal | Tamanho | Tipo | Descrição |
|------------|---------|------|-----------------------------------|
| CLKT, R, E | 1 | wire | Entradas de clock, reset e enable |
| TEMPO | 4 | wire | Saída do contador |
| end_time | 1 | wire | Sinal de fim de tempo |

4.10 Counter_round

| Sinal | Tamanho | Tipo | Descrição |
|-----------|---------|------|-----------------------------------|
| data | 4 | wire | Entrada de dados |
| clk, R, E | 1 | wire | Entradas de clock, reset e enable |
| tc | 1 | wire | Sinal de carry |

4.11 Clock_divider

| Sinal | Tamanho | Tipo | Descrição |
|--------------------------------|---------|------|---------------------------|
| clock | 1 | wire | Entrada de clock |
| clock1, clock2, clock3, clock4 | 1 | wire | Saídas de clock divididas |

5 Interligação dos Módulos

A tabela a seguir descreve a interligação dos módulos internos no **Datapath**:

| Módulo | Entradas | Saídas | Conexões |
|---------------|-----------------------------|-----------------|---|
| MUX4X1_4bits | SEL, ENT0, ENT1, ENT2, ENT3 | output | REG_Setup (setup), REG_FPGA (q3), REG_User (q3) |
| MUX2X1_7bits | SEL, ENT0, ENT1 | output | REG_Setup (setup), REG_FPGA (q), REG_User (q) |
| MUX4X1 | level, CL1, CL2, CL3, CL4 | CLKHZ | Clock_divider (clock) |
| dec7seg | G | O | REG_Setup (setup) |
| REG_Setup | CLK, R, E, SW | setup | MUX4X1_4bits (ENT0), MUX2X1_7bits (ENT0) |
| REG_FPGA | CLK, R, E, data | q, q3 | MUX4X1_4bits (ENT1), MUX2X1_7bits (ENT1) |
| Reg_User | CLK, R, E, data | q | MUX4X1_4bits (ENT2), MUX2X1_7bits (ENT2) |
| DecSeq | address | output | REG_Setup (setup) |
| Counter_time | CLKT, R, E | TEMPO, end_time | REG_Setup (setup) |
| Counter_round | data, clk, R, E | tc | REG_Setup (setup) |

| | | | |
|---------------|-------|-----------------------------------|-----------------------------|
| Clock_divider | clock | clock1, clock2, clock3, clock4 | MUX4X1 (CL1, CL2, CL3, CL4) |
|---------------|-------|-----------------------------------|-----------------------------|

6 Conclusão

Este documento detalhou a especificação do módulo **Datapath**, incluindo suas interfaces de entrada e saída, a descrição dos componentes internos, e a interligação dos módulos. Esta especificação serve como guia para a implementação e verificação do **Datapath**.