

Especificação Módulo decSeq10

1 decSeq10

1.1 Descrição

O módulo `decSeq10` implementa um decodificador de endereço simples, que mapeia um endereço de 4 bits para uma saída de 4 bits de acordo com uma sequência predefinida.

1.2 Interfaces

- **address**: Input, vetor de 4 bits representando o endereço tipo wire;
- **output**: Output, vetor de 4 bits representando a saída correspondente ao endereço tipo wire;

1.3 Funcionamento

A saída `output` é determinada de acordo com a tabela de mapeamento abaixo:

Endereço	Saída
0000	0001
0001	0100
0010	0010
0011	1000
0100	0001
0101	1000
0110	0100
0111	1000
1000	0010
1001	1000
1010	0001
1011	0010
1100	1000
1101	0001
1110	0100
1111	0010

1.4 Observações

O módulo `decSeq10` é uma implementação direta de um decodificador de endereço simples em Verilog.