

# Implementação dos módulos Energy Dispersal e Payload CRC16 do protocolo DVB-RCS2: Prototipagem FPGA

1<sup>st</sup> Arthur Faria Campos

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

<https://bitbucket.org/ArthurFariaCampos>

[arthur-fc@hotmail.com](mailto:arthur-fc@hotmail.com)

2<sup>nd</sup> Gustavo Cavalcante Linhares

Programa de Engenharia Eletrônica

Universidade de Brasília - FGA

Brasília, Brasil

<https://bitbucket.org/gustavoLinhares>

[gugacavalcante.10@gmail.com](mailto:gugacavalcante.10@gmail.com)

**Resumo**—Este documento tem o objetivo o desenvolvimento de dois módulos do projeto gerenciado pela empresa Autotrac. O projeto trata-se da construção de um receptor de sinal de satélites, no qual o protocolo DVB-RCS2 será aplicado, tal protocolo permite a interconexão entre dados, de aplicações em tempo real, e seus usuários, onde existe uma diversidade da dados aceita (texto, voz, imagens, video, etc.)

## I. INTRODUÇÃO

Na geração atual de DVB (Digital Video Broadcast), é esperado que terminais do satélite sejam iterativos e capazes de transmitir dados com uma alta qualidade. Considerando o grande necessidade de tráfego e uma longa propagação de delay, uma técnica de acesso randômica é a solução para tal problema, esse acesso randômico é feito em DVB-RCS2 [1]

Todos os padrões DVB são desenvolvidos ou endossados pelo DVB Project, que é uma associação da indústria de mais de 200 fornecedores e usuários de equipamentos e software comprometidos com padrões técnicos abertos para serviços de dados e televisão digital. Embora os padrões tradicionais de transmissão de televisão digital permaneçam importantes, os padrões DVB de maior interesse e impacto futuro são aqueles que fornecem comunicações digitais de alta velocidade para IP (Internet Protocol) e acesso à Internet via satélite, como DVB-RCS2 e DVB-S2.

O DVB-RCS, e especialmente a sua segunda geração (DVB-RCS2), são de grande importância neste aspecto, suportando comunicações de satélite interativas de alta velocidade (bi-direcionais) até 150 Mbps ou mais para transferências (Rx) e 75 Mbps ou mais para uploads (Tx) quando fornecido com capacidade de transponder adequada e configurações VSAT. Portanto, velocidades muito mais altas em conexões sem fio para assinantes são possíveis do que com redes móveis terrestres 4G atualmente.

## II. OBJETIVOS

O principal foco deste projeto é a implementação dos módulos Energy Dispersal e Payload CRC16 (Gen.CRC16) do receptor DVB-RCS2. As implementações ocorrerão em

prototipagem de FPGA utilizando a *Xilinx Basys 3* e para a verificação do funcionamento dos módulos serão feitas simulações computacionais com vetores criados em softwares auxiliares.

Esses blocos fazem parte de um conjunto maior composto com os módulos da figura 1, esse do qual é responsável pela transmissão de dados através de pacotes [2].



Figura 1. Diagrama da transmissão de dados por pacotes

O módulo GEN.CRC16 faz conjunto com o módulo GEN.CRC32 o qual será desenvolvido por outra parte da equipe e juntos eles compõem o bloco GEN.CRC mencionado na figura 1.

Outro meta buscada nesse projeto é integração desses módulos, pois além do funcionamento individual o conjunto total deve operar de forma correta, questões como timing e sincronismo farão parte dessa etapa.

## III. PROTOTIPAGEM

### A. Energy Dispersal

O fluxo de dados de link de retorno MF-TDMA (Multi-Frequency Time-Division multiple-access) é organizado em pacotes de dados. Para cumprir os Regulamentos de Radiocomunicações ITU e para garantir transições binárias adequadas o fluxo de bits em uma sequência deve ser misturado para reduzir a probabilidade de sequências de bits monotônicas. Uma sequência de pseudo aleatória de números binários (PRBS - Pseudo-Random Binary Sequence) deve ser usada conforme especificado pela expressão polinomial [1], tal expressão surge de descrição matemática do diagrama de blocos da figura 2 e também da quantidade de bits utilizada [3].

$$1 + x^{14} + x^{15} \quad (1)$$

Os dados são randomizados usando o registrador Linear Feedback Shift Register (LFSR) de 15 registros mostrado na figura 2 para distribuir a distribuição de uns e zeros. O gerador realiza a adição do módulo-2 dos dados com a pseudo-aleatória sequência. O conteúdo inicial dos registros SR-1 a SR-15 é dado na tabela I. O primeiro bit da sequência pseudo-aleatória é será adicionado módulo 2 com o primeiro bit do fluxo de bits de dados em série, isto é, o primeiro bit após o preâmbulo de explosão. O gerador é redefinido para o conteúdo inicial antes de processar uma carga útil do pacote de dados.

Tabela I  
VALOR INICIAL DO RANDOMIZER

Shift register	SR1	SR2	SR3	SR4	SR5	SR6	SR7	SR8	SR9	SR10	SR11	SR12	SR13	SR14	SR15
Bit value	1	0	0	1	0	1	0	1	0	0	0	0	0	0	0

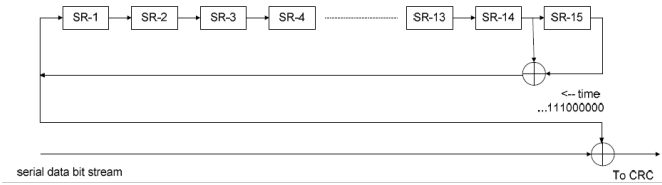


Figura 2. Energy Dispersal

O Frame PDU, um pacote de informação que une dados de controle de protocolo e dados do usuário, deve ser emitido para o energy dispersal como uma sequência de bits com conteúdo que segue:

- 1) Os campos fixos das estruturas de dados devem ser emitidos na ordem em que estão listados, de cima para baixo.
- 2) Uma sequência continua de campos como uma iteração de um tipo de campo deve ser emitida na ordem da iteração.
- 3) Campos relocáveis de uma estrutura de dados flexível podem ser emitidos em qualquer ordem, se não explicitamente indicado de outra forma.
- 4) Os bits reservados associados a um campo devem ser emitidos antes dos bits de informação do mesmo campo.
- 5) Os campos multi-bit serão emitidos em ordem de bits começando com o bit considerado mais significativo e terminando com o pouco considerado menos significativo.

#### B. Payload CRC16

O CRC (cyclic redundancy check) é um código de detecção de erros usado comumente em sistemas digitais e em dispositivos de armazenamento com intuito de detectar mudanças errôneas no dados brutos. Blocos de dados que entram nesses sistemas recebem um valor de verificação curto, com base

no restante de uma divisão polinomial de seus conteúdos. Na recuperação, o cálculo é repetido e, caso os valores de verificação não coincidam, uma ação corretiva pode ser tomada contra a corrupção de dados [4].

O modulo CRC16 deve ser calculado para a saída de sequência de bits do modulo de Energy Dispersal. Também deve ser calculado sobre o Frame PDU (exclusivo do próprio CRC). O polinômio utilizado é um polinômio padrão e pode ser visto na 2

$$x^{16} + x^{15} + x^2 + 1 \quad (2)$$

O CRC é o restante da divisão da carga útil de burst pelo polinômio. O CRC16 deve ser equivalente ao calculado por um circuito, como mostrado na figura III-B. As células do registrador de deslocamento devem ser inicializado para 0 antes do início do cálculo. Primeiro, os interruptores estão na posição "A" e a palavra de dados é deslocada e transmitido simultaneamente.

Após o último bit PDU do quadro, os interruptores são movidos para a posição "B", e o conteúdo do registrador de deslocamento é transmitido, começando com o bit no final do registrador. Este é o diagrama de blocos do CRC16 figura 3.

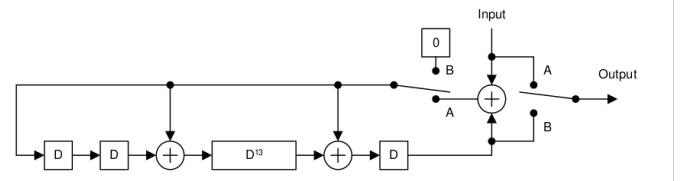


Figura 3. Diagrama de blocos do CRC16

## IV. CONSIDERAÇÕES FINAIS

Muitos conceitos novos foram introduzidos, uma melhor visão do projeto da autotrac foi alcançado e o entendimento sobre o funcionamento dos módulos foi iniciado. Ainda é necessário algumas informações para o desenvolvimento dos projeto, modelos de arquivos já documentados, acesso ao repositório e padrões para realização de testes, mesmo assim o avanço significativo foi dado. Os vhd's não serão o grande desafio desse projeto assuntos como documentação e integração de módulos tomarão a maior parte no tempo de desenvolvimento, por tais motivos, uma melhor comunicação com os envolvidos juntamente com cronograma serão fundamentais para uma conclusão efetiva do projeto. 8

## REFERÊNCIAS

- [1] A. Meloni and M. Murrone, "Random access in DVB-RCS2: design and dynamic control for congestion avoidance," *CoRR*, vol. abs/1501.06361, 2015. [Online]. Available: <http://arxiv.org/abs/1501.06361>
- [2] E. B. Union., "Digital video broadcasting (dvb); second generation dvb interactive satellite system (dvb-rs2); part 2: Lower layers for satellite standard." p. 130, 2014.

- [3] H. Okawara's, "Dsp-based testing – fundamentals 50 prbs (pseudo random binary sequence)," *ADVANTEST Corporation*, p. 02, 2013. [Online]. Available: <https://www.advantest.com/documents/11348/3e95df23-22f5-441e-8598-f1d99c2382cb>
- [4] B. McDaniel, "An algorithm for error correcting cyclic redundancy checks," 2003. [Online]. Available: <http://www.drdoobs.com/an-algorithm-for-error-correcting-cyclic/184401662>