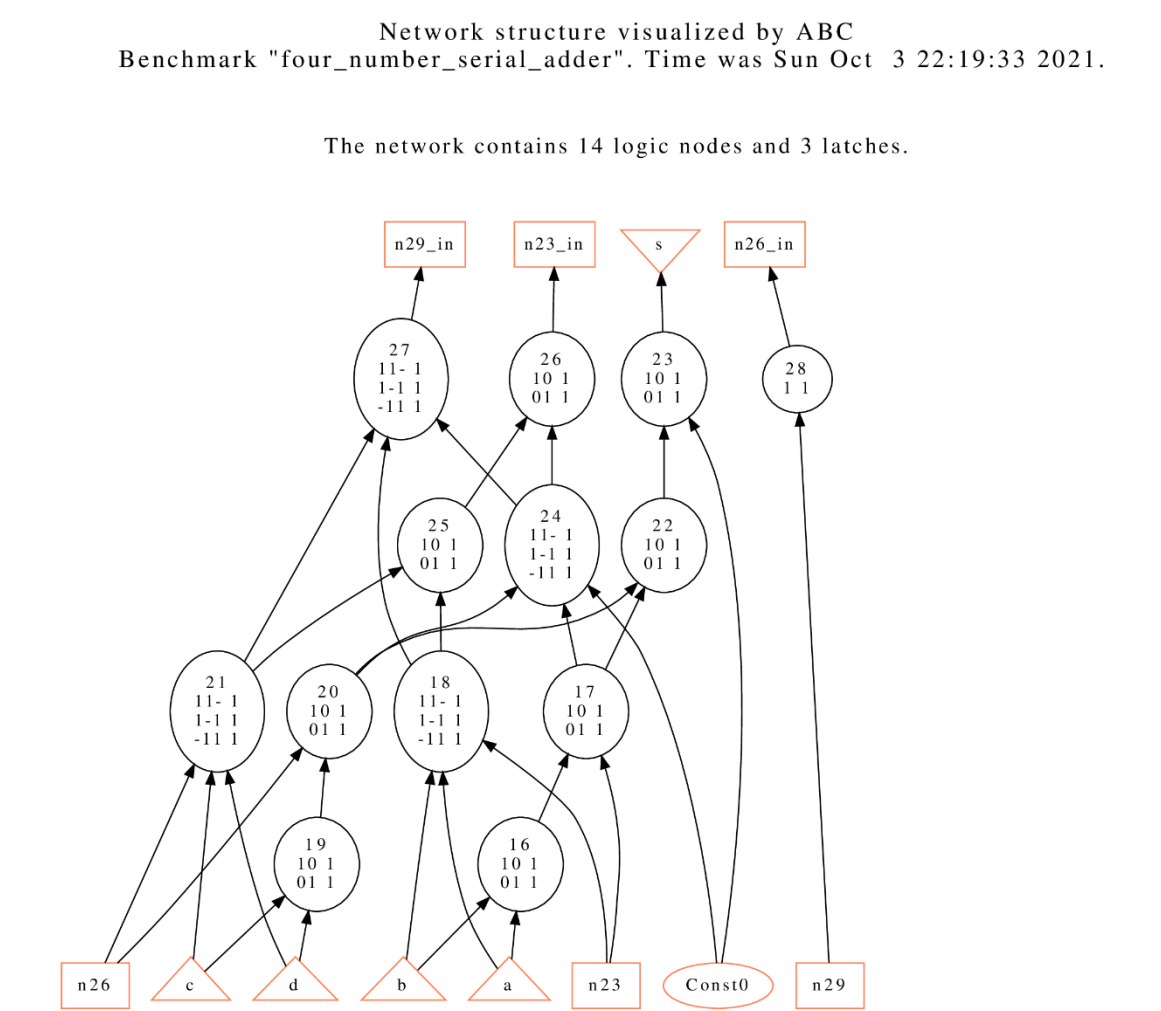
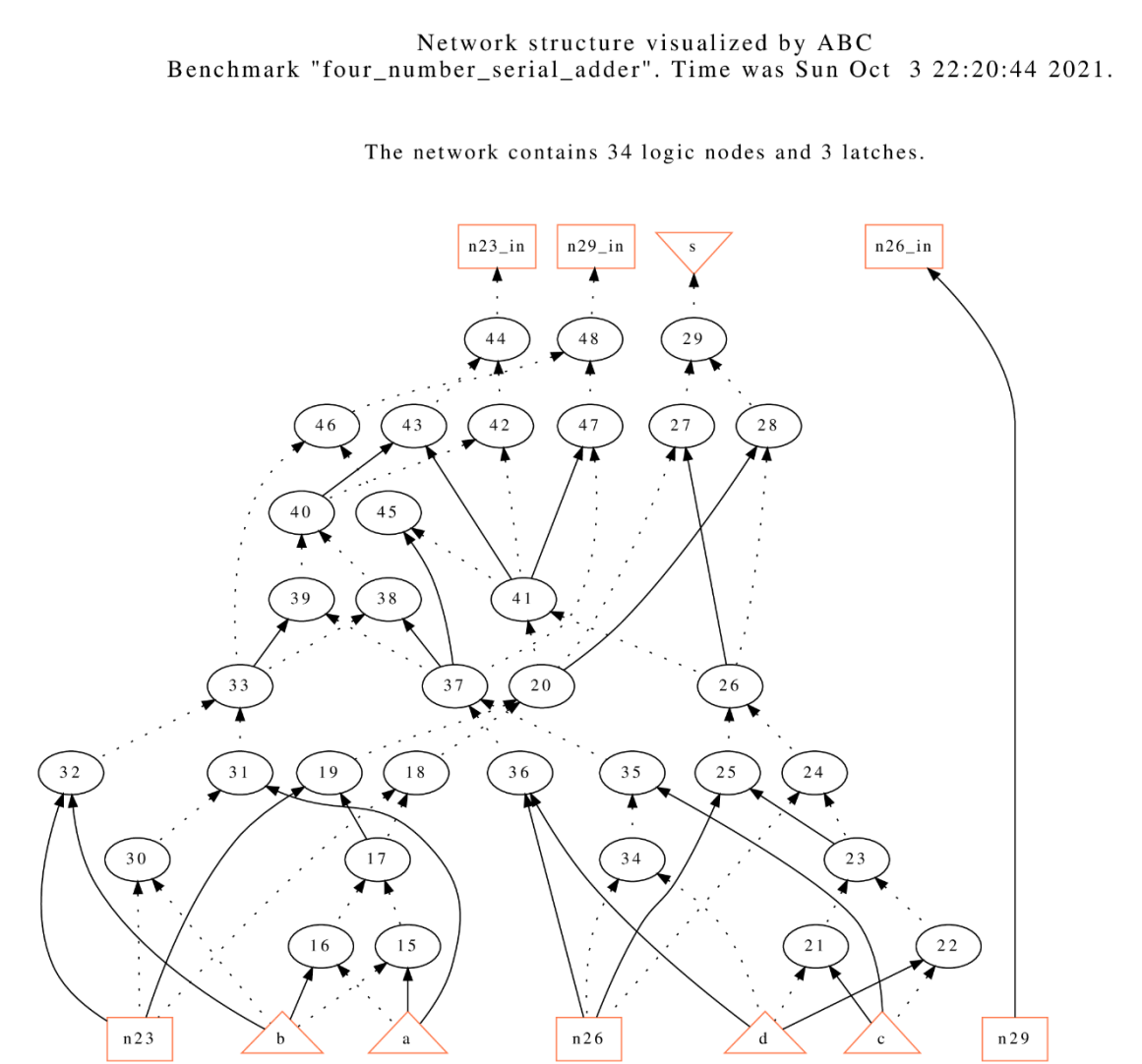


1. [Using ABC]

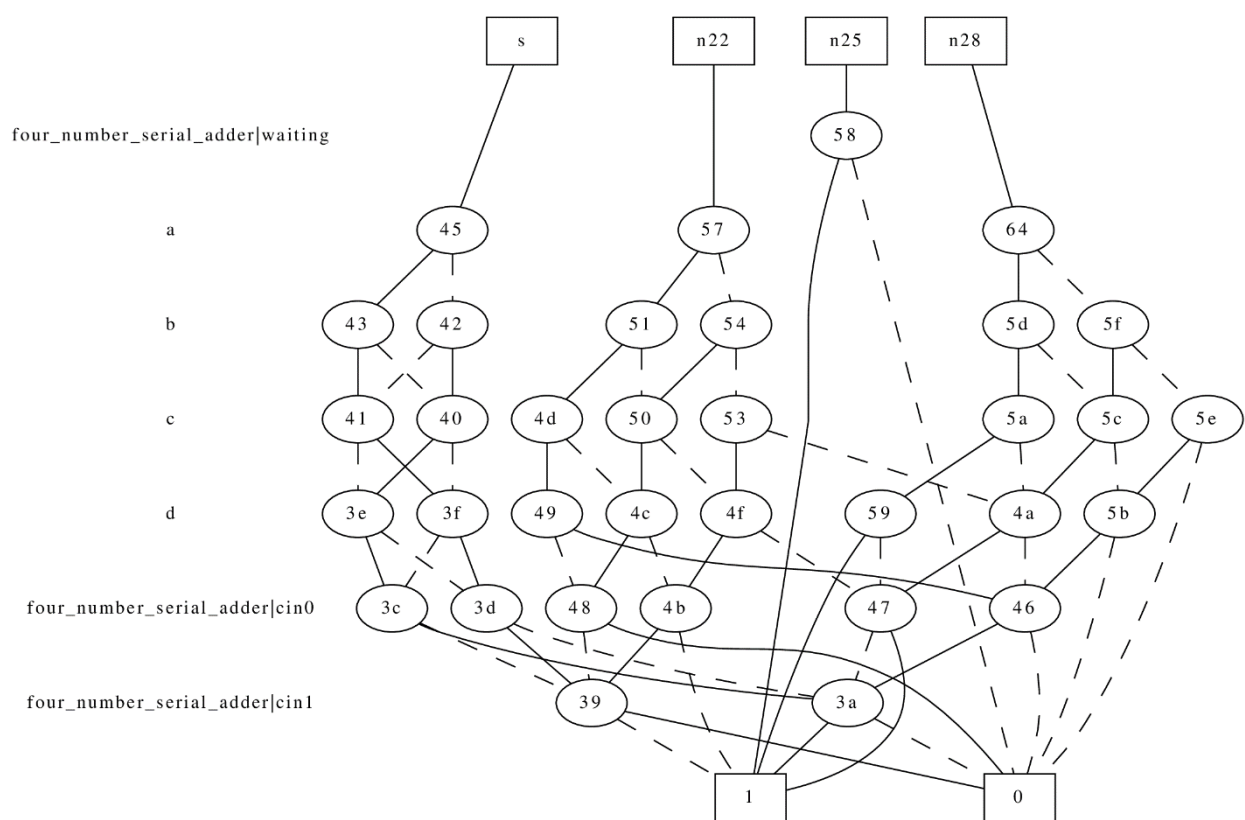
讀入檔案後直接顯示的邏輯電路（步驟 3 後）：



轉換為 AIG 後顯示的邏輯電路（步驟 5 後）：



轉換為 BDD 後顯示的邏輯電路（步驟 7 後）：



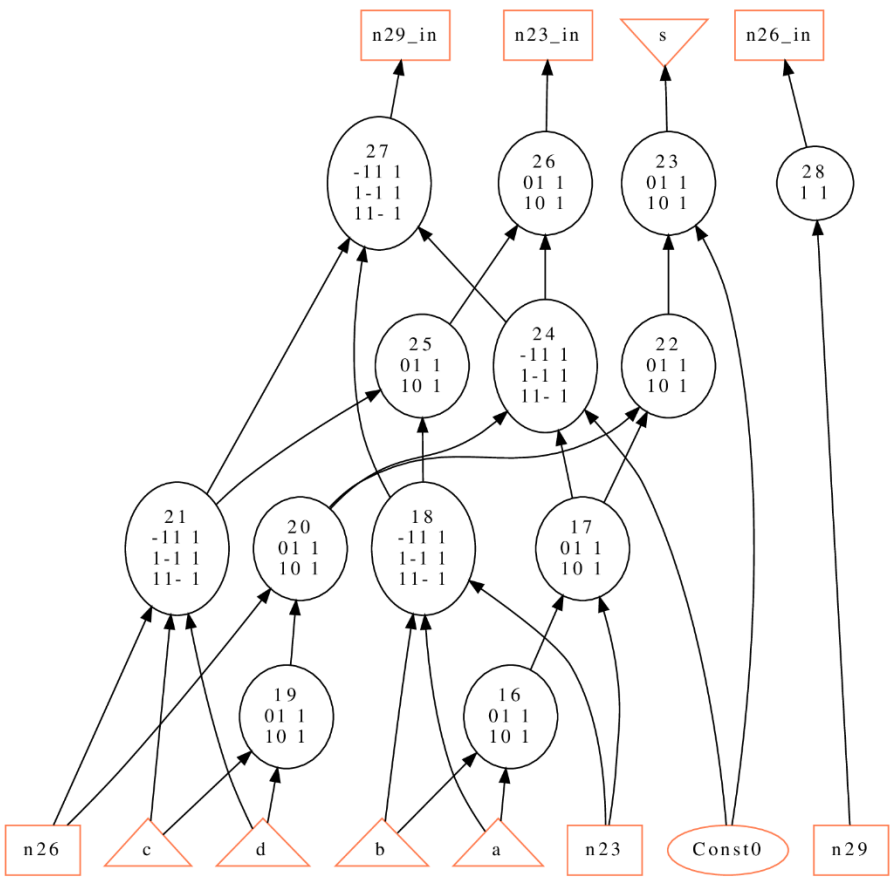
2. [ABC Boolean Function Representations]

(a)

1. 使用 strash 指令的結果如前所述；使用 aig 指令的結果如下：

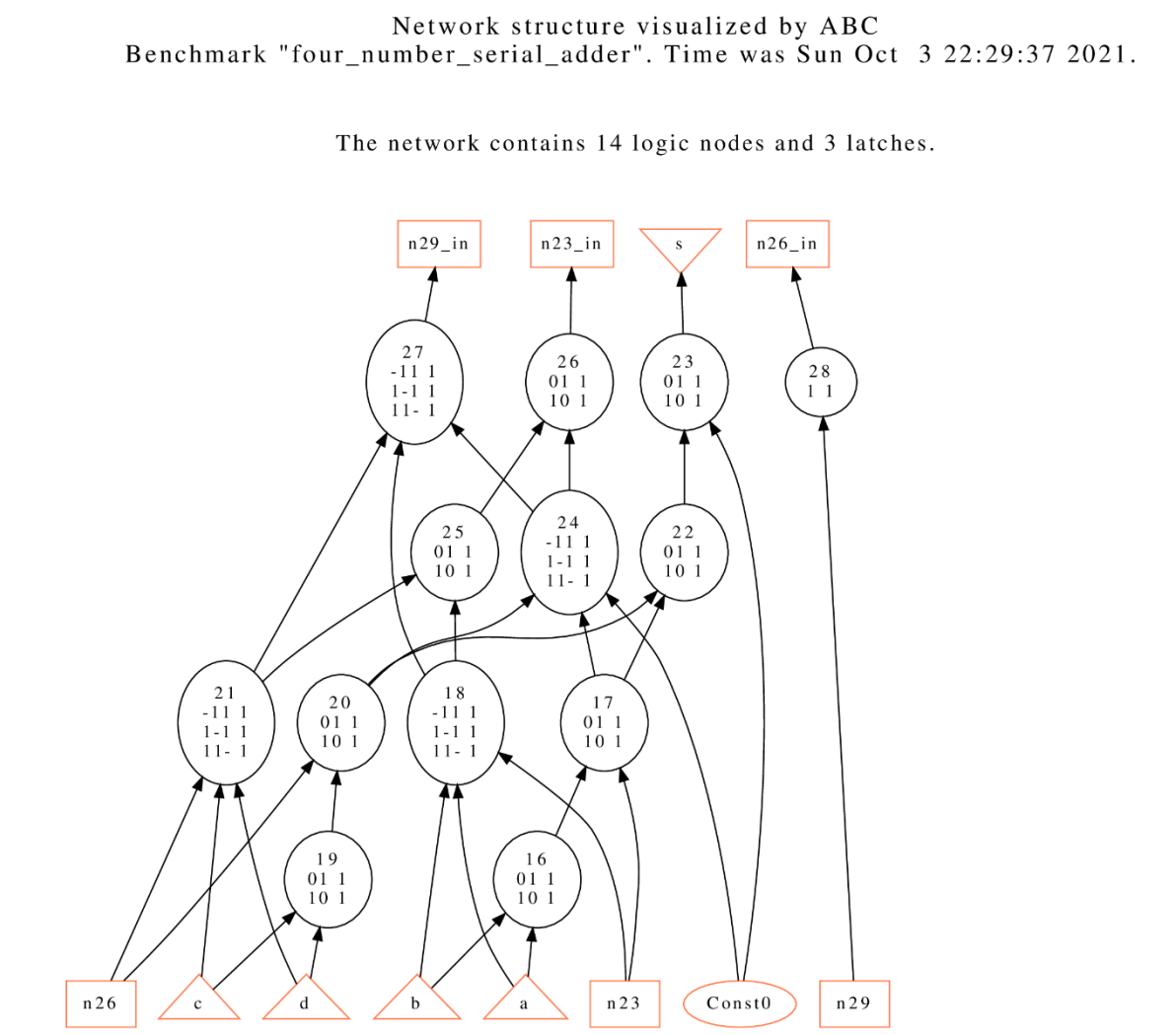
Network structure visualized by ABC
Benchmark "four_number_serial_adder". Time was Sun Oct 3 22:28:55 2021.

The network contains 14 logic nodes and 3 latches.



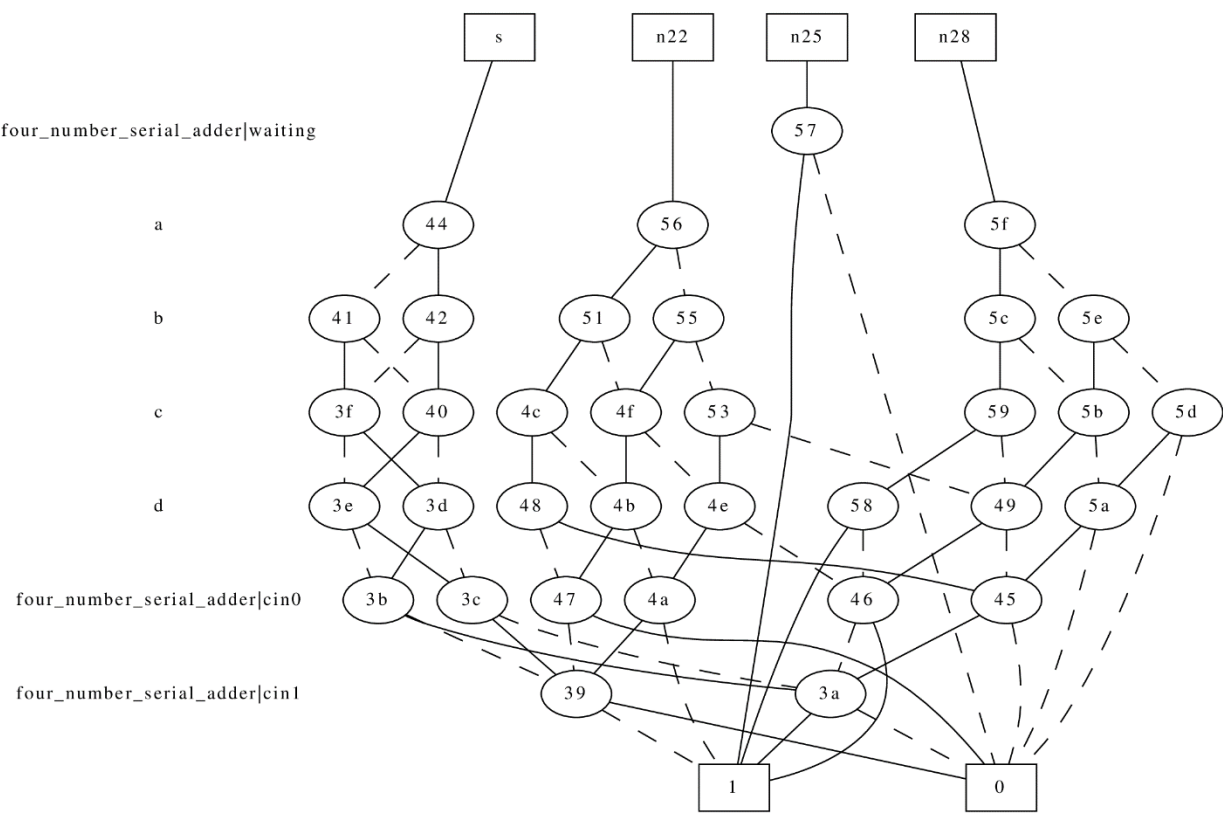
可以看出與直接讀取後顯示的結果並無差別，可見 aig 指令作用的對象在 node 內部，因此在整體的電路圖上並未顯示。相對地，strash 指令作用於整個電路，因此可以看出明顯的不同。

2. 使用 **collapse** 指令的結果如前所述；若使用 **bdd** 指令，依照接下來指令的不同而有不同顯示。若使用 **show** 指令，結果如下：



相可以看出與直接讀取後顯示的結果並無差別，可見 **bdd** 指令作用的對象在 **node** 內部，因此在整體的電路圖上並未顯示。相對地，**collapse** 指令作用於整個電路，因此可以看出明顯的不同。

然而，若使用 **show_bdd -g** 指令，則結果如下：



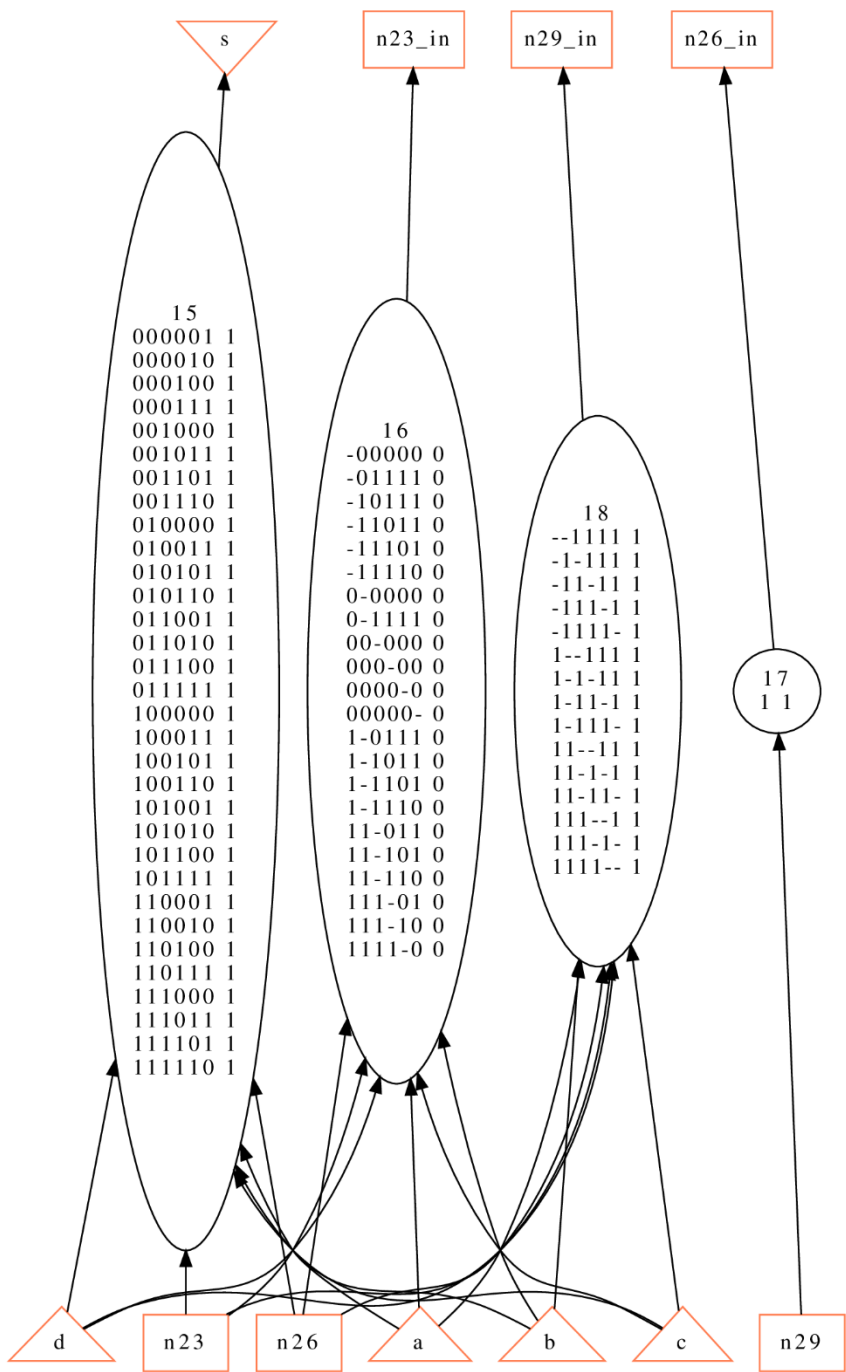
可以看出除了 **node** 編號更動、部分實虛線更動（左方），其餘部分與使用 **collapse** 指令的結果並無不同，而其中實虛線更動的部分其實最後並不影響結果，也就是本質上本圖與使用 **collapse** 指令的結果相同。對此，猜測使用 **show_bdd -g** 指令時，會自動進行 **collapse** 指令，經由實驗，在讀檔後直接使用 **show_bdd -g** 指令，確實得到如上的結果。然而，若使用 **show_bdd** 指令而未加上 **-g**，則會顯示錯誤。

(b)

有二種方式，但結果不同：

1. 先執行 `collpase` 指令，再使用 `sop` 指令。結果如下：

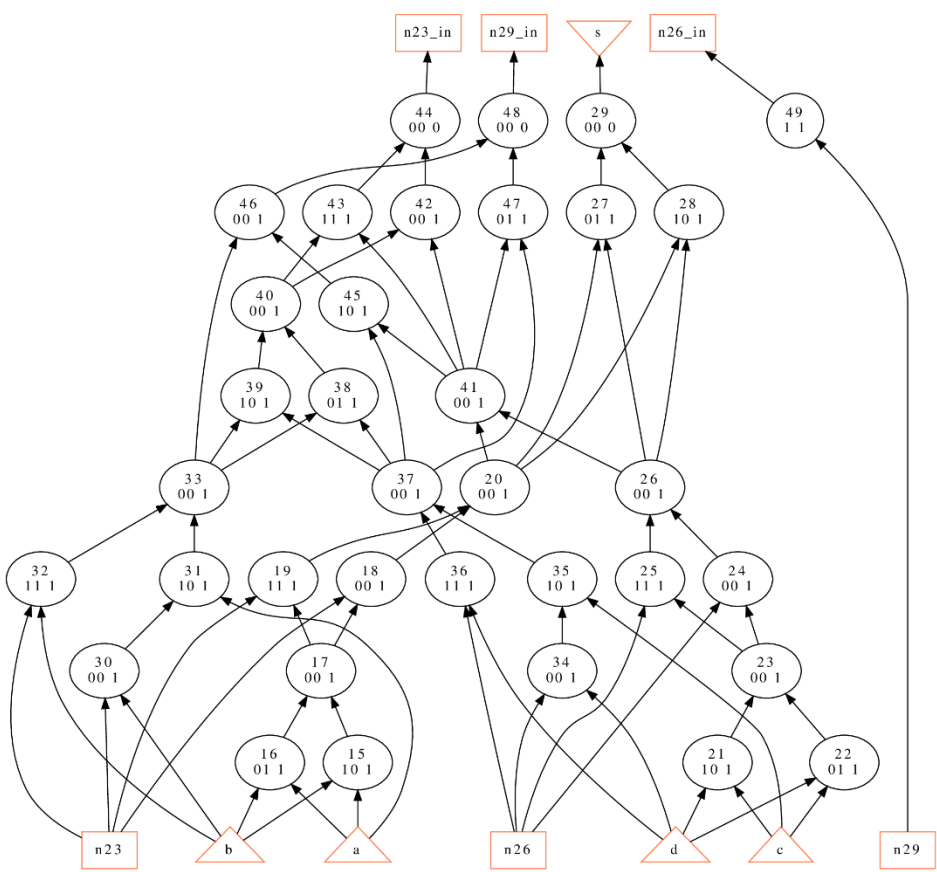
Network structure visualized by ABC
Benchmark "four_number_serial_adder". Time was Sun Oct 3 22:32:47 2021.
The network contains 4 logic nodes and 3 latches.



可以看出，確實所有 `node` 的函數均以 `SOP` 呈現，且所有輸出均直接由輸入的函數表示。

2. 先執行 **logic** 指令，再使用 **sop** 指令。結果如下：

Network structure visualized by ABC
Benchmark "four_number_serial_adder". Time was Sun Oct 3 22:33:33 2021.
The network contains 35 logic nodes and 3 latches.



可以看出，確實所有 **node** 的函數均以 **SOP** 呈現。與前者不同的是，此圖基本上保留了 **AIG** 原圖原有的架構，僅是改為以 **SOP** 呈現而捨棄了實虛線標示。