

SAMUEL CESAR LEITE RODRIGUES

202302844049 POLO VIA CORPVS - FORTALEZA - CI





Avaliação AV

avalie seus conhecimentos

Disc.: DGT0281 - ARQUITETURA DE COM Aluno: SAMUEL CESAR LEITE RODRIGUES Prof.: GABRIEL RECH BAU Período: 2023.1 EAD (GT) Matr.: 202302844049

Turma: 9006



VERIFICAR E ENCAMINHAR

Prezado(a) Aluno(a),

Responda a todas as questões com atenção. Somente clique no botão <u>FINALIZAR PROVA</u> ao ter certeza de que respondeu a todas as questões e que não precisará mais alterá-las.

<u>A prova será SEM consulta</u>. O aluno poderá fazer uso, durante a prova, de uma folha em branco, para rascunho. Nesta folha não será permitido qualquer tipo de anotação prévia, cabendo ao aplicador, nestes casos, recolher a folha de rascunho do aluno.

Valor da prova: 10 pontos.

1 ponto

1. O parâmetro para análise de memórias eletrônicas que indica o tempo entre duas operações sucessivas de leitura ou escrita é conhecido como:

(Ref.: 202308164898)

- Temporariedade.
- Volatilidade.
- O Ciclo de Memória.
- Custo.
- O Capacidade.

1 ponto

2. O tipo de transmissão na qual o periférico é conectado ao dispositivo controlador ou interface de E/S por várias linhas de transmissão de dados, de modo que a transferência de dados é realizada um bit em cada linha, com todos os bits alinhados dentro do mesmo intervalo de tempo de transmissão é denominado:

(Ref.: 202309037143)

- O Direta.
- O Serial.
- Purga.
- Pulsar.
- Paralela.

1 ponto

3. Suponha que, para efeitos de aprendizagem em arquitetura de computadores (ignorando vários detalhes de implementação), você decidiu criar uma representação de conjunto de instruções hipotético muito simples e limitado para operações aritméticas de inteiros positivos com dois operandos, de um processador de 4 *bits*, cuja palavra de dados é de 4 bits.

É gasto 1 ciclo de instrução para cada palavra, e a quantidade de ciclos para execução de uma determinada instrução (operadores e operandos) é igual à quantidade de palavras dessa instrução.

O conjunto de instruções está representado a seguir:

Código	Instrução
0000	Número 0
0001	Número 1
0010	Número 2
0011	Número 3
0100	Número 4
0101	Número 5
0110	Número 6
0111	Número 7
1000	Número 8
1001	Número 9
1010	Somar
1011	Subtrair
1100	Multiplicar
1101	Divisão inteira
1110	Resto da divisão
1111	Notificação de erro

Sabendo que uma notificação de erro é emitida quando uma operação enviada ao processador não for possível de ser realizada, qual das seguintes operações resultará no código 1111?

(Ref.: 202307935716)

- 1110 0110 0101
- 0011 0100 0101
- O 1010 0111 0111
- 1100 0011 0011
- O 1110 1001 1000

1 ponto

A estrutura de informações nas linguagens dos humanos segue esta ordem de formação:

CARACTERE → PALAVRA → FRASES

Da mesma forma, a estrutura de informações nas linguagens dos computadores segue, respectivamente, a equivalente ordem de formação:

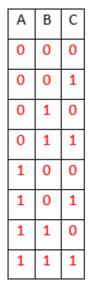
(Ref.: 202307935712)

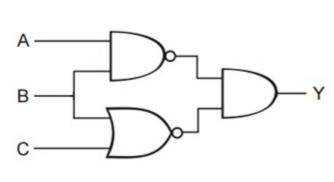
 \bigcirc Palavra \rightarrow Bit \rightarrow Byte

- \bigcirc Registro \rightarrow Arquivo \rightarrow Byte
- \bigcirc Banco de Dados \rightarrow Arquivo \rightarrow Registro
- O Bit → Byte → Palavra
- \bigcirc Byte \rightarrow Bit \rightarrow Arquivo

1 ponto

5. Assinale a alternativa que apresenta a sequência correta da saída (S) da Tabela Verdade para o circuito lógico, conforme a seguinte entrada de dados:





(Ref.: 202308206175)

- 0 10001000
- 01110111
- O 11100111
- O 11111100
- O 10101010

1 ponto

6. Usando as regras da álgebra booleana, selecione a alternativa que apresenta corretamente a simplificação da expressão a seguir:

$$(A.~B) + (B.(A+C))$$

(Ref.: 202309040240)

- A.B
- A + (B.C)
- A + B
- A.B+C
- A.(B+A).C

1 ponto

7. Um projetista está interessado em criar um processador de arquitetura híbrida, buscando combinar as melhores características das arquiteturas CISC e RISC.

Quais das seguintes características podem ser por ele empregadas?

(Rei	202300133320)	
\bigcirc	Endereçamento múltiplo e poucos registradores de uso geral.	
\bigcirc	Muitos registradores e pipeline eficiente para as instruções comuns.	
\bigcirc	Poucas instruções e poucos registradores.	
0	Variadas instruções e pipeline eficiente para as instruções mais comuns.	
0	Muitas instruções e muitos registradores.	
		1 p
	olocação de memória cache no projeto de um computador é um artifício para melhorar sua performa ento a essa memória, podemos afirmar que:	nce.
(Ref.:	202309037091)	
0	Fica presente em um cartão USB e permite guardar em segurança os arquivos.	
\bigcirc	Fica presente na Memória RAM e melhora a performance, porque consegue transferir dados mais para o processador.	rápid
	Fica presente no processador e aumenta a eficiência por ser mais rápida que a memória principal.	
0	Fica presente na placa-mãe e tem menor latência de transmissão.	
\bigcirc	Fica presente no disco rígido e melhora a velocidade de leitura do disco.	
		1 p
	rês principais componentes de hardware de um computador pessoal são:	
\bigcirc	Processador, Sistema Operacional e disco rígido. Processador, memória RAM e Browser.	
	Processador, placa de vídeo e placa de rede.	
	Memória RAM, processador e placa-mãe.	
\bigcirc	Disco rígido, Sistema Operacional e placa de rede.	
		1 p
Rela	acione as colunas:	
I - N	lulticore	
11 - 5	Superpipeline	
	Superescalar	
III -		
III - IV -	Superescalar	
III - IV -	Superescalar Pipeline dinâmico Multiprocessadores	
III - IV - V - N Con	Superescalar Pipeline dinâmico Multiprocessadores	
/-	Superescalar Pipeline dinâmico Multiprocessadores	

C - Pipelines com grande número de estágios.

D - Múltiplos processadores compartilhando um espaço de endereços.

E - Múltiplos processadores em um único encapsulamento.

Assinale a alternativa que contém a associação correta:

(Ref.: 202308195599)

- O I-C, II-A, III-B, IV-D, V-E.
- O I-D, II-E, III-B, IV-A, V-C.
- I-B, II-A, III-C, IV-E, V-D.
- I-E, II-C, III-A, IV-D, V-B.

VERIFICAR E ENCAMINHAR

Não respondida

Não gravada

Gravada