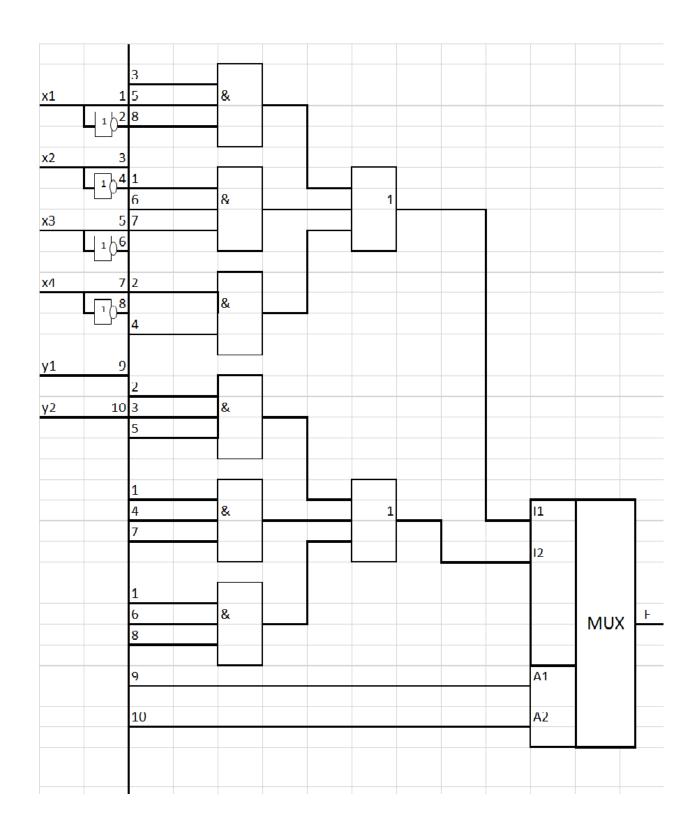
y1	1	y2	x1	x2	x3	x4	F	
уı	0	<u>y </u>			0		1	
	0	0			0		*	
	0	0			1	0	*	
	0	0			1		1	
	0	0	0	1	0	0	0	
	0	0	0	1	0	1	0	
	0	0	0	1	1	0	1	
	0	0	0	1	1	1	0	
	0	0	1	0	0	0	0	
	0	0			0		1	
	0	0			1		0	
	0	0			1	1	0	
	0	C			0		0	
	0	0			0		1	
	0	0			1	0	1	/ -/ -/ -/ -/ -/ -/
	0	0			1	1	0	
	0	1			0		0	
	0	1			0		0	
	0	1			1	0	0	
	0	1			0		0	
	0	1			0		0	
	0	1			1		1	
	0	1			1			
	0	1			0		*	
	0	1			0		*	
	0	1			1	0	0	
	0	1	. 1	0	1	1	1	
	0	1	. 1	1	0	0	1	
	0	1	. 1	1	0	1	0	
	0	1	. 1	1	1	0	0	
	0	1	. 1	1	1	1	0	(x1)x2x3 v x1(x2)x4 v x1(x3)(x4)
	1	0	0	0	0	0	0	
	1	C			0		0	
	1	0			1		0	
	1	C			1		0	
	1	C			0		0	
	1	0			0		0	
	1	0		1	1	0	0	
	1	0	0	1	1	1	0	
	1	0			0		0	
	1	0			0		0	
	1	0					0	
	1	0			0			
	1	0			0		0	
	1	0			1		0	
	1	0			1		0	
	1	1						
							0	
					1		0	
					0		0	
			0	1	0		0	
			0	1	1		0	
					1		0	
					0		0	
							0	
							0	
							0	
					0		0	
					0		0	
					1		0	
	1	1	. 1	1	1	1	0	0

В данной таблице () означают логический оператор "He"



ВАРИАНТ Г - ПОЛХОВСКИЙ

Схема для трёх адресных и восьми информационных полей будет аналогична схеме для двух и шести соответственно, НО у схемы для 3-ёх адресных входов, на входе в MUX будет

поступать не только входы A1 и A2, но и A3. Также прибавиться 4 входа на "общую шину", но они использоваться не будут, и, по факту, будут не нужны.