

Quiz #2: Diagramas Laboratorio 2

Jorge Agüero Zamora, Arturo Chinchilla Sánchez, Luis Murillo Rios
 georgeaz56@gmail.com mchinchilla11@gmail.com luismuelino@gmail.com
 Área Académica de Ingeniería en Computadores
 Instituto Tecnológico de Costa Rica

I. PROBLEMA 1

Cuadro I
 TABLA DE VERDAD DISPLAY 7 SEGMENTOS

Tabla de verdad							
$D_{3:0}$	S_a	S_b	S_c	S_d	S_e	S_f	S_g
0000	1	1	1	1	1	1	0
0001	1	0	0	1	1	1	1
0010	0	0	1	0	0	1	0
0011	0	0	0	0	1	1	0
0100	1	0	0	1	1	0	0
0101	0	1	0	0	1	0	0
0110	0	1	0	0	0	0	0
0111	0	0	0	1	1	1	1
1000	0	0	0	0	0	0	0
1001	0	0	0	1	1	0	0
1010	0	0	0	1	0	0	0
1011	1	1	0	0	0	0	0
1100	0	1	1	0	0	0	1
1101	1	0	0	0	0	1	0
1110	0	1	1	0	0	0	0
1111	0	1	1	1	0	0	0

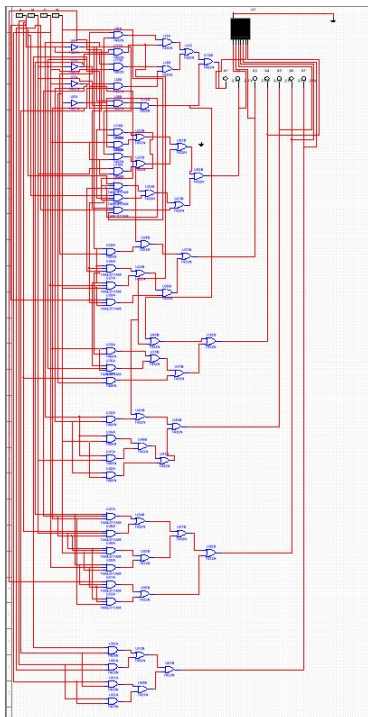


Figura 1. Display 7 segmentos

II. PROBLEMA 2

Para crear un sumador de 4 bit solo se pega los Cin con los Cout de los sumador anterior de un 1 bit y así sucesivamente hasta tener 4 sumadores de 1 bit, los cuales forman un sumador de 4 bits los elementos en A y B se pegan los bit en orden de menos significativo a mas significativo de los números que se desean sumar.

Cuadro II
 TABLA DE VERDAD SUMADOR 1 BIT

Tabla de Verdad				
Entradas			Salidas	
A	B	C_{in}	$Salida$	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Cuadro III
 MAPA DE KARNAUGH SALIDA

	AB	00	01	11	10
C_{in}					
0		0	1	0	1
1		1	0	1	0

Cuadro IV
 MAPA DE KARNAUGH COUT

	AB	00	01	11	10
C_{in}					
0		0	0	1	0
1		0	1	1	1

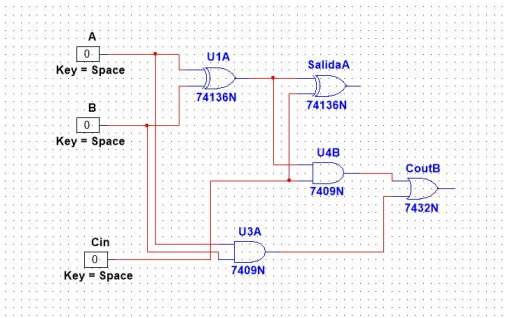


Figura 2. Sumador de 1 bit

III. PROBLEMA 3

Para el contador de N bits con reset sincrónico se utilizaron Flip Flops JK y algunas compuertas AND para lograr el comportamiento deseado de contador. La patilla de Reset debe mantenerse en ALTO (Logic 1) y cuando se desea hacer el reset, esta se pone en BAJO (Logic 0). En la figura se muestra un diagrama de un contador de 4 bits, pero este se puede extender a N bits con mas flip flops.

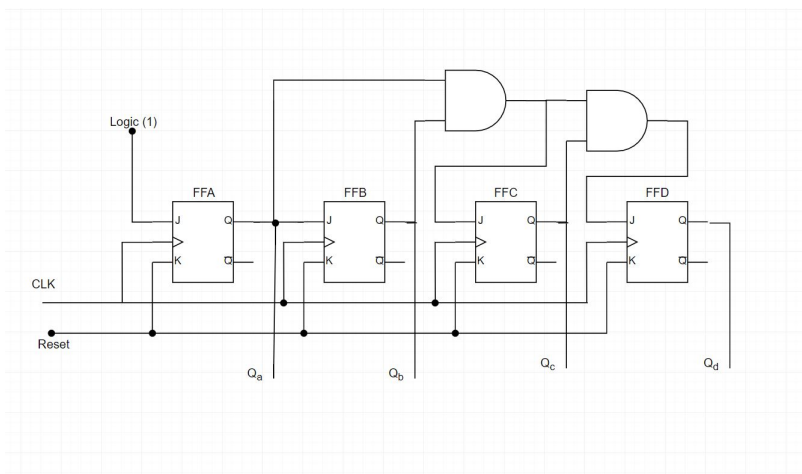


Figura 3. Diagrama contador de 4 bits sincronico