

# Laboratorio #5: Lógica Secuencial II

Jorge Agüero Zamora, Arturo Chinchilla Sánchez, Luis Murillo Rios  
georgeaz56@gmail.com mchinchilla11@gmail.com luismuelino@gmail.com

Área Académica de Ingeniería en Computadores  
Instituto Tecnológico de Costa Rica

**Resumen**—Este documento trata sobre el diseño y creación de un controlador VGA utilizando circuitos con lógica secuencial para monitores que trabajen con una resolución de 640x480 pixeles. En este laboratorio se aplican conceptos de diseño digital secuencial, en el diseño de un controlador para un monitor VGA, que eventualmente podría ser usado por un computador para la visualización de información. Adicionalmente, se implementará una aplicación simple que permita poner en uso el controlador diseñado, utilizando una máquina de estados finitos, como controlador general.

**Palabras clave**—Circuito secuencial, controlador VGA, máquina de estados finitos, DAC.

## I. INTRODUCCIÓN

Según [1] normalmente un controlador VGA está controlado por 5 señales, rojo, verde, azul, sincronización horizontal y sincronización vertical. Los pixeles de las señales son barridos de izquierda a derecha en cada fila y contabilizando las filas de arriba hacia abajo.

Las tres señales de color hacen referencia a una señal de tipo RGB y controlan el color de un píxel en una ubicación dada de la pantalla. Estas son señales análogas, con voltajes entre 0.7 V y 1V. Diferentes intensidades de colores se logran variando este voltaje. Sin embargo por simplicidad del circuito, estas señales se pueden tratar como señales digitales, con lo que se podrá simplemente apagar o encender la señal. Con estas 3 señales el circuito es capaz de representar 8 colores ( $2^3 = 8$ ).

Además, [1] menciona que las señales de sincronización vertical y horizontal son utilizadas para controlar el tiempo de la tasa de escaneo, estas dos señales a diferencia de las de color son señales digitales, en otras palabras toman valores de 0 o 1 lógicos. La señal de sincronización horizontal determina el tiempo que toma escanear un “row” mientras que la señal de sincronización vertical determina el tiempo que toma escanear la pantalla entera.

El controlador VGA también debe generar dos señales extra llamadas VGA\_SYNC\_N y VGA\_BLANK\_N que aunque no se conectan al monitor, son necesarias para la conversión digital-analógica o DAC por sus siglas en inglés. VGA\_BLANK\_N obliga a las tres salidas RGB del DAC a su nivel de negro, mientras que

VGA\_SYNC\_N obliga a la salida verde del DAC a un nivel de sincronización especial por debajo del nivel de negro normal.

En general, las conexiones entre la FPGA y el VGA se muestra en la imagen 1.

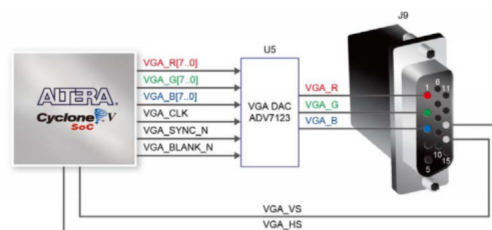


Figura 1. Conexiones entre la FPGA y el VGA (Imagen tomada de [2])

Debe existir una sincronización entre las señales HSync y VSync, la figura

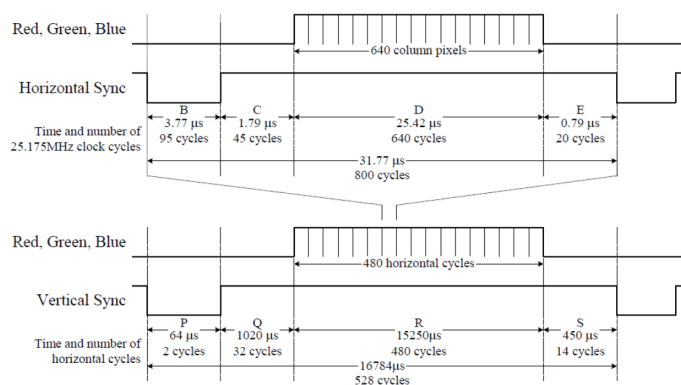


Figura 2. Diagrama de tiempos de las señales de sincronización de VGA para una resolución de 640x480 pixeles

Además, como caso práctico para el controlador VGA, se generó una aplicación, que consiste en dividir la pantalla en 4 secciones y con la ayuda de un botón ir pintando cada sección con un color aleatorio. Como controlador de pintado para cada sección se utilizó una máquina de estados finitos.

Este documento está estructurado de la siguiente manera, sección de resultados, sección de análisis de los resultados obtenidos, conclusiones y las referencias utilizadas durante este laboratorio.

## II. RESULTADOS

Para el módulo del controlador VGA .....

Para la generación del color aleatorio se utilizó un contador de 24 bits, al cual se le conectó un clock de 50MHz, estos 24 bits representan los 3 colores RGB concatenados,  $R = \text{Contador}[23:16]$ ,  $G = \text{Contador}[15:8]$  y  $B = \text{Contador}[7:0]$ . De esta manera, al aumentar el contador con cada ciclo del clock, los colores irán cambiando.

Como cada cuadrante debe ser pintado con un color diferente y ese color debe mantenerse hasta ser re-pintado, se utilizaron 4 registros para guardar el color de cada cuadrante, para ello se utilizó como controlador de pintado para los cuadrantes una máquina de estados finitos, la cuál cuenta con 4 estados, de manera que cuando cambia de un estado a otro, le genera una señal de clock a un registro específico que lo activará para que guarde el color a pintar para el cuadrante correspondiente.

También se implementó un módulo selector de cuadrante, de manera que según el número de fila y columna del píxel que se está pintando, este módulo le genera una señal de selección a un MUX que dejará pasar el color del cuadrante al que pertenece el píxel en cuestión.

Se utilizó un contador como módulo divisor de frecuencia, esto porque el clock de la FPGA es de 50MHz y para el controlador VGA se necesitaba uno de 25MHz.

## III. ANÁLISIS DE RESULTADOS

Para el módulo generador de color aleatorio, se conectó el clock de 50MHz, de manera que los bits fueran aumentando lo más rápido posible y el color cambiara de la misma manera. Ya que no se necesitaba que el color se reiniciara ya que se utilizan colores aleatorios el reset se conecto a la maquina de estados y a los registros, pero no a la selección de colores aleatorios.

Se utilizó un segundo contador de dos bits como divisor de frecuencia y se utilizó el cambio en el segundo bit como nueva señal de clock para 25MHz.

El funcionamiento del controlador fue probado mediante la implementación de archivos de *test-bench* en los que se simulan las posibles entradas de la aplicación y el comportamiento del controlador VGA ante dichas entradas y se analizan su salidas.

En la figura 3 se pueden observar la generación de señales por parte del controlador VGA ante posibles entradas por parte del usuario.

En la figura 4 se puede observar la aplicación de pintado de 4 cuadrantes para el controlador VGA.

## IV. CONCLUSIONES

AL utilizar lógica secuencial para realizar el circuito se debe mantener el control del clock,

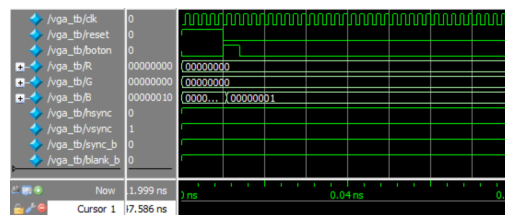


Figura 3. Testbench aplicado al controlador VGA

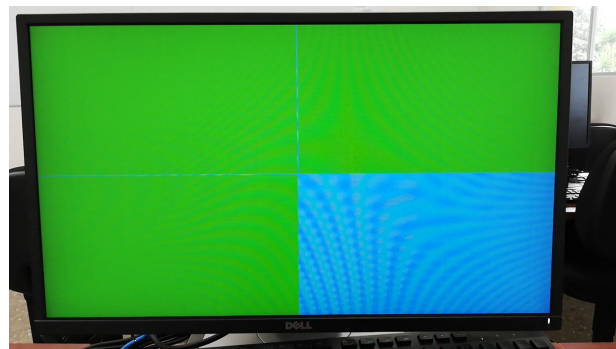


Figura 4. Aplicación de pintado para cuatro cuadrantes para el controlador VGA

para los distintos módulos ya que esto puede crear errores a la hora de la comunicación entre los mismos.

Los contadores proveen un mecanismo sencillo para poder dividir la frecuencia de un *clock* externo para así obtener las frecuencias deseadas.

El funcionamiento de la FPGA es con lógica negativa, por lo que es recomendable realizar la implementación en SystemVerilog de la misma forma. Eso facilita el proceso de montaje, y evita errores.

Los circuitos que reciben entradas desde dispositivos físicos deben tener en cuenta los conceptos del efecto de rebote, así como el *set up time* y el *hold time*, e implementar medidas para mitigar estos efectos y cumplir los requerimientos de tiempo, para poder garantizar el funcionamiento correcto de estos circuitos.

## REFERENCIAS

- [1] [2]E. Hwang, *Build a VGA monitor controller*, 2004.
- [2] S. Harris and D. Harris, *Digital design and computer architecture*. Amsterdam [i 11 pozostałych]; Elsevier / Morgan Kaufmann Publishers, 2016.