مد بان	بخشنده	اه ند	خدا	نام	ىە

پاییز ۱٤۰۰ آرین احدی نیا، ۹۸۱۰۳۸۷۸ طراحی سیستمهای دیجیتال تمرین ۲، سوال ۲

توجه کنید که حین تغییر مقدار ابتدا تاخیری صرف assign کردن مقدار جدید میشود سپس تاخیری صرف قرار گرفتن مقدار جدید روی سراسر wire میشود (این تاخیر را میتوان زمانی در نظر گرفته که طول میکشد سیگنال از این سر سیم به آن سر سیم برسد!). بنابرین در نهایت تاخیر برای قرار گیری مقدار جدید، برابر جمع تاخیر قرار گرفته روی assign و wire است. این مجموع برای هر دو سیم برابر ۷ است. بنابرین در حالت عادی اگر به C مقدار دهیم کنیم، هر دوی آنها پس از ۷ ثانیه به مقدار C خواهند رسید.

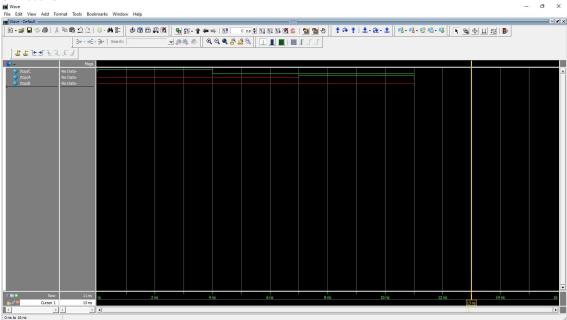
نکته ای که در رابطه با این تاخیرها وجود دارد، Inertial بودن آنها است. به این معنی که اگر در حین زمان تغییر، شرایطی رخ دهد که آن تغییر حالت نهایی را نمایان نکند، تغییر به طور کلی اتفاق نمی افتد. ما با استفاده از این موضوع می توانیم C را به گونه ای مقدار دهی کنیم که شکل موج A و B متفاوت باشد. C را به شکل زیر مقدار دهی میکنیم.

```
module top;
  reg C;

wire #4 A;
wire #2 B;

assign #3 A = C;
assign #5 B = C;

initial begin
  assign C = 1'b1;
  #4
  assign C = 1'b0;
end
endmodule
```



در ابتدا مقدار C برابر ۱ است. اتفاقی که می افتد این است که پس از ۳ واحد زمانی مقدار C به A نسبت (assign) داده می شود. و پس از ۴ واحد زمانی این assignment نمایان می شود.

اما برای B شرایط متفاوت است. چون در زمان صفر مقدار C برابر یک است، در زمان D مقدار D بسبت داده خواهد شد. اما چون در زمان D مقدار D تغییر می کند و به دلیل خاصیت Inertial بودن، این تغییر لغو خواهد شد و اگر شرایط مساعد باشد، در D واحد زمانی بعد مقدار جدید D به D نسبت داده و D واحد زمانی بعد این تغییر در wire نمایان میشود. همانگونه D در تصویر مشاهده میکنید. این اتفاق نیز می افتد در زمان D مقدار صفر به assign D میشود.