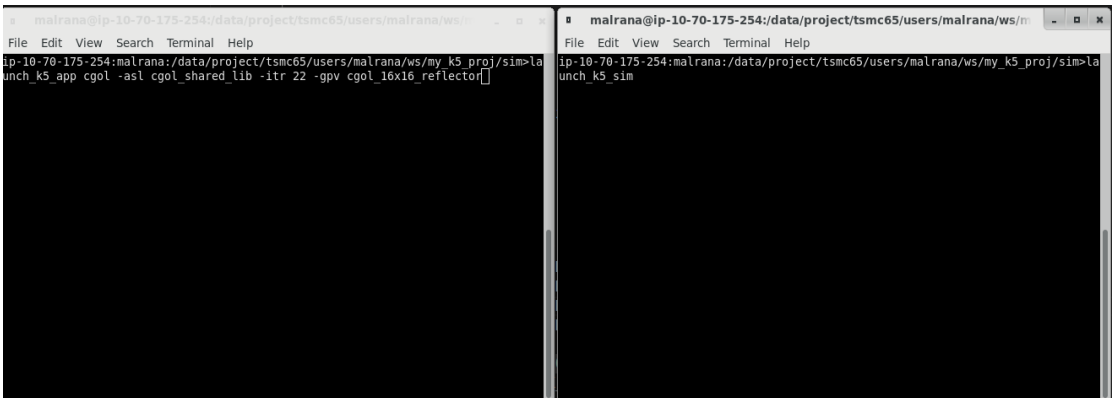
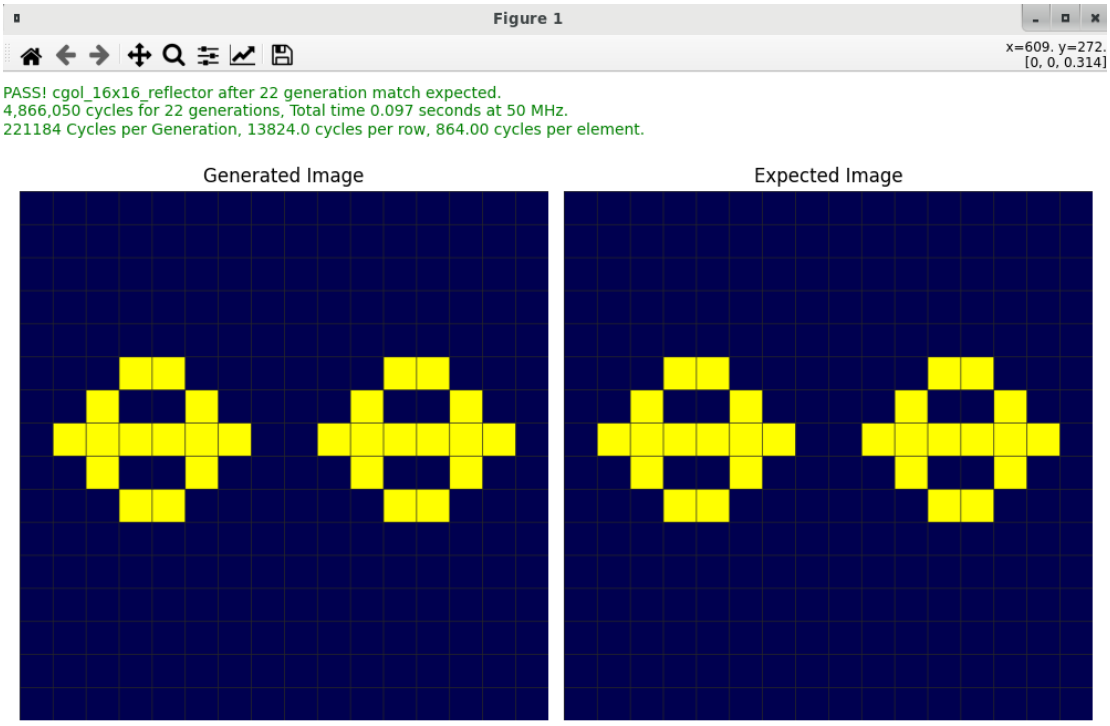
דוח סיכום – CGOL_XLR DDP25

ראשית, התחלנו בהרצה של התוכנה:

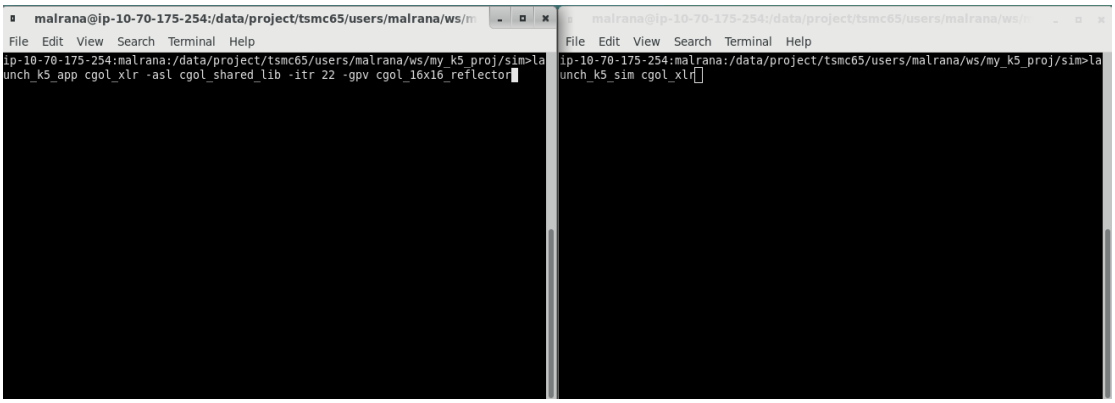


וקיבלנו:

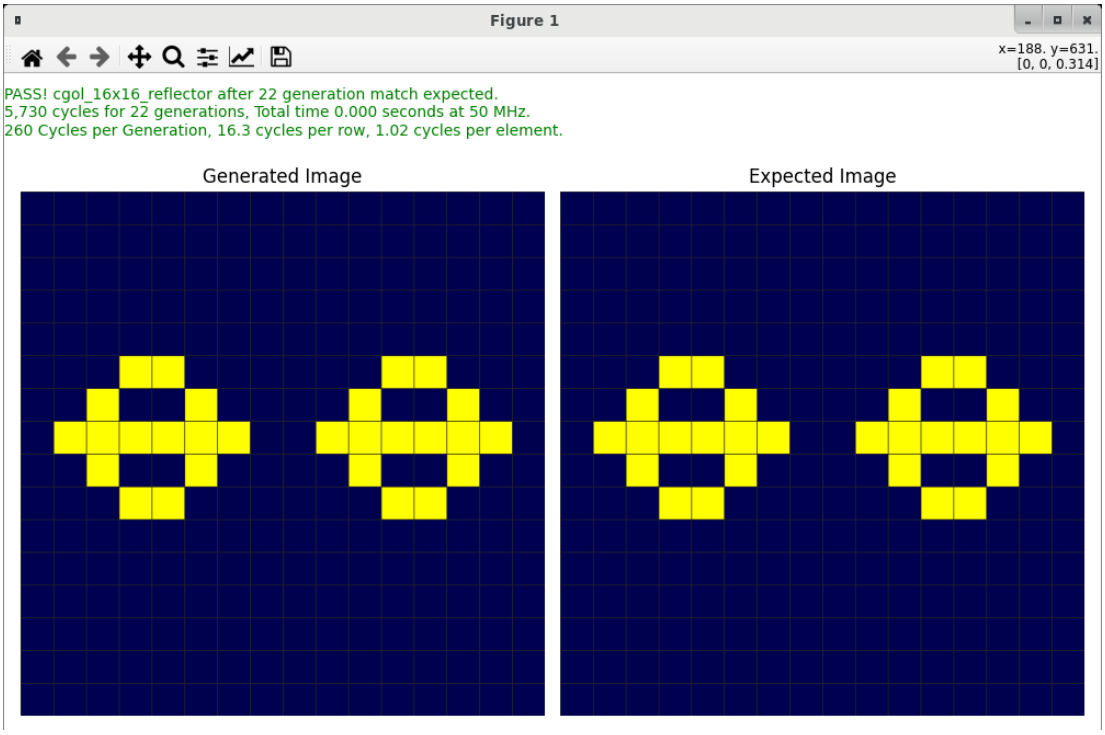


ניתן לראות שבריצת התוכנה חישוב כל ביט בודד לוקח 864 מחזורי שעון.

לאחר מכן הרצנו את החומרה עם הקוד שכתבנו למאיץ ה cgol:

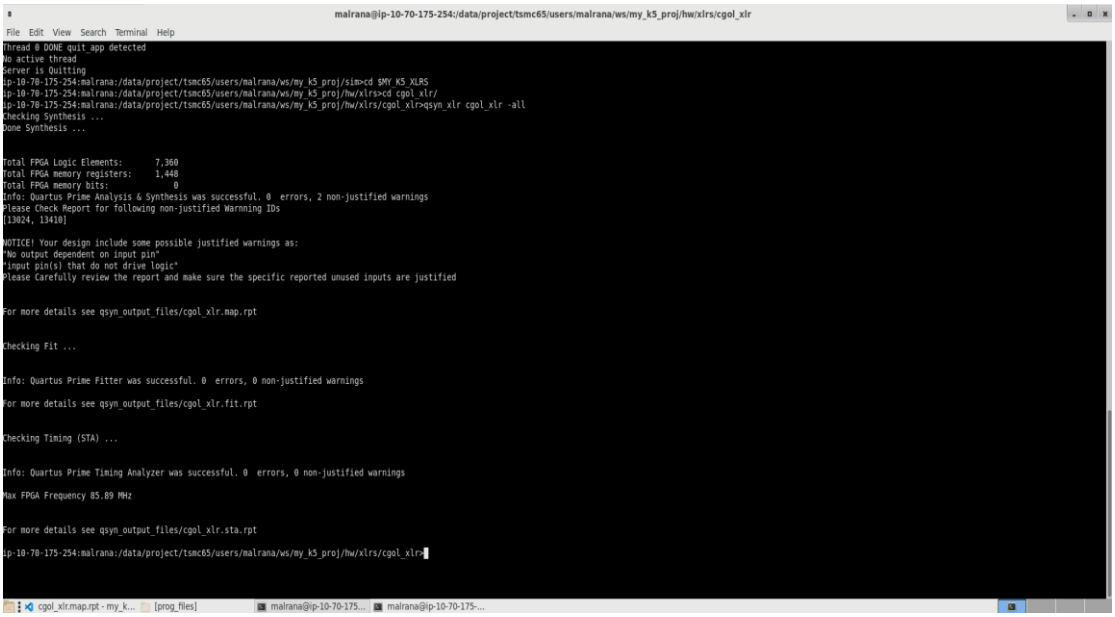


וקיבלנו:

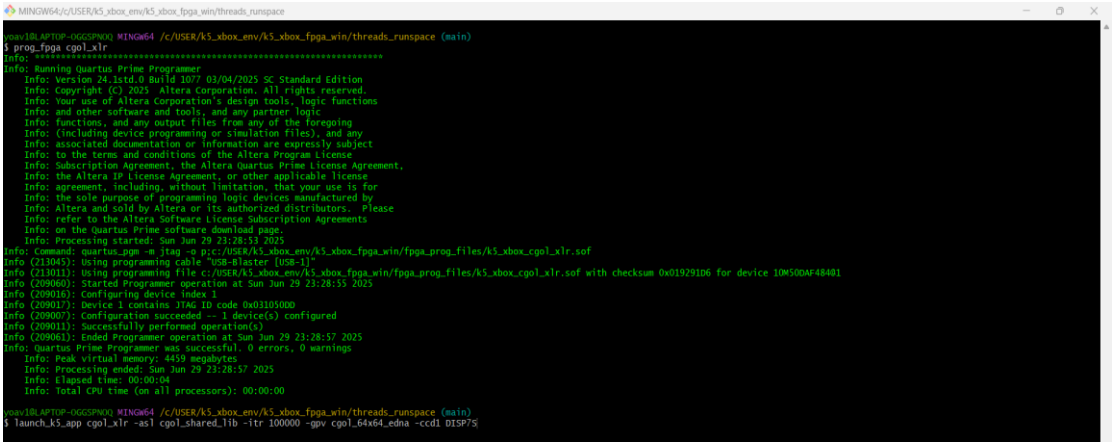


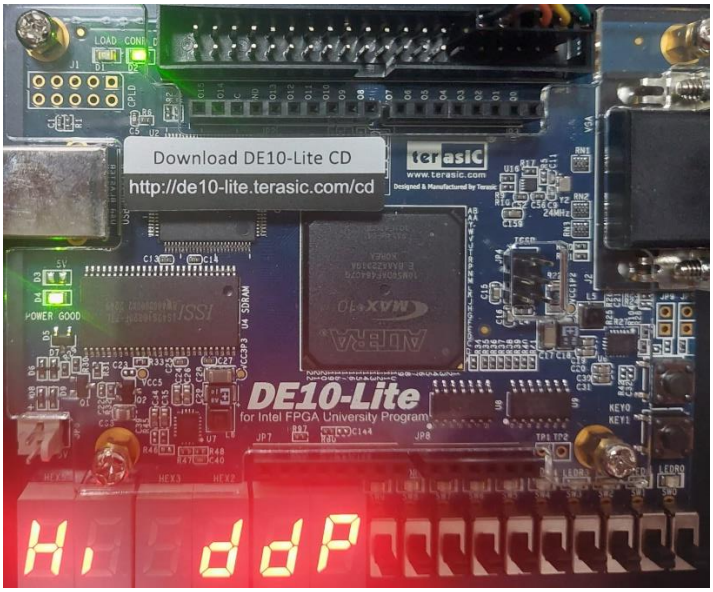
כעת, ניתן לראות שכאשר אנו מריצים את מאיץ החומרה, הוא מחשב כל ביט בתוך 1.02 מחזורי שעון, כלומר שיפרנו את זמן החישוב פי 847!

כעת, לאחר שהקוד רץ כמו שצריך, ביצענו בדיקת סינטזה כד לוודא שהקוד סינטזבילי, וקיבלנו הערות שלא מזיקות:

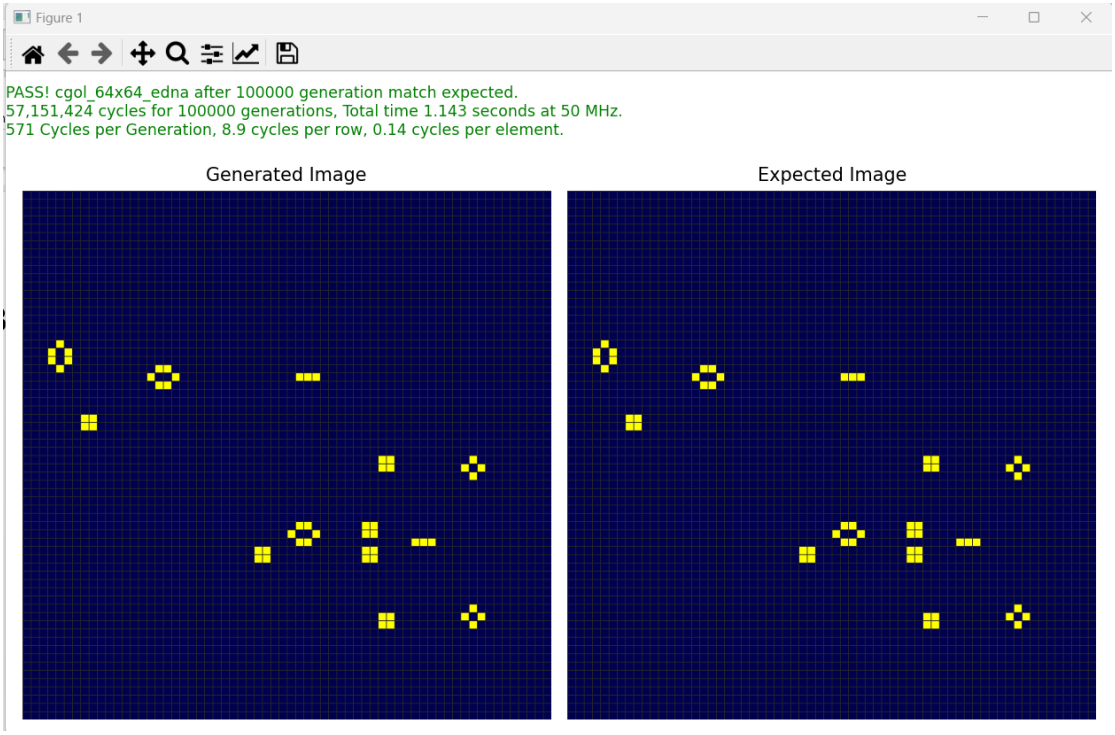


לבסוף הרצנו את הקוד על ה FPGA:





וקיבלנו:



כעת, זמן החישוב של ביט אחד הוא 0.14 מחזורי שעון, כלומר שיפרנו את זמן החישוב פי 7.3 מזמן החישוב של הרצת החומרה ללא FPGA, ופי 6183 מזמן החישוב של הרצת התוכנה!