

第三章 时序电路的分析与设计

3.1 时序电路基础

3.1.1 时序电路概述

3.1.2 时序电路的双稳态元件

3.2 同步时序电路的分析与设计

3.2.1 同步时序电路的分析

3.2.2 同步时序电路的设计

3.3 异步时序电路的分析与设计

3.3.1 脉冲异步时序电路概述

3.3.2 脉冲异步时序电路的分析步骤

3.3.3 脉冲异步时序电路的设计步骤

3.4 常用MSI时序逻辑器件及其应用

3.4.1 计数器

3.4.2 寄存器

3.4.3 节拍分配器

从历史上讲9个考试

考就考到这了，后面听个乐

双稳态：存储or解数器

组合·几个eg
MSI为重心
分析与设计发现无关

核心·(M-开始) 复杂都要能设计

163 169

模5. 3单元0-7

第三章 时序电路的分析与设计

Sequential Logic Circuit Analysis & Design

3.1 时序电路基础

3.1.1 时序电路概述 *Summarization*

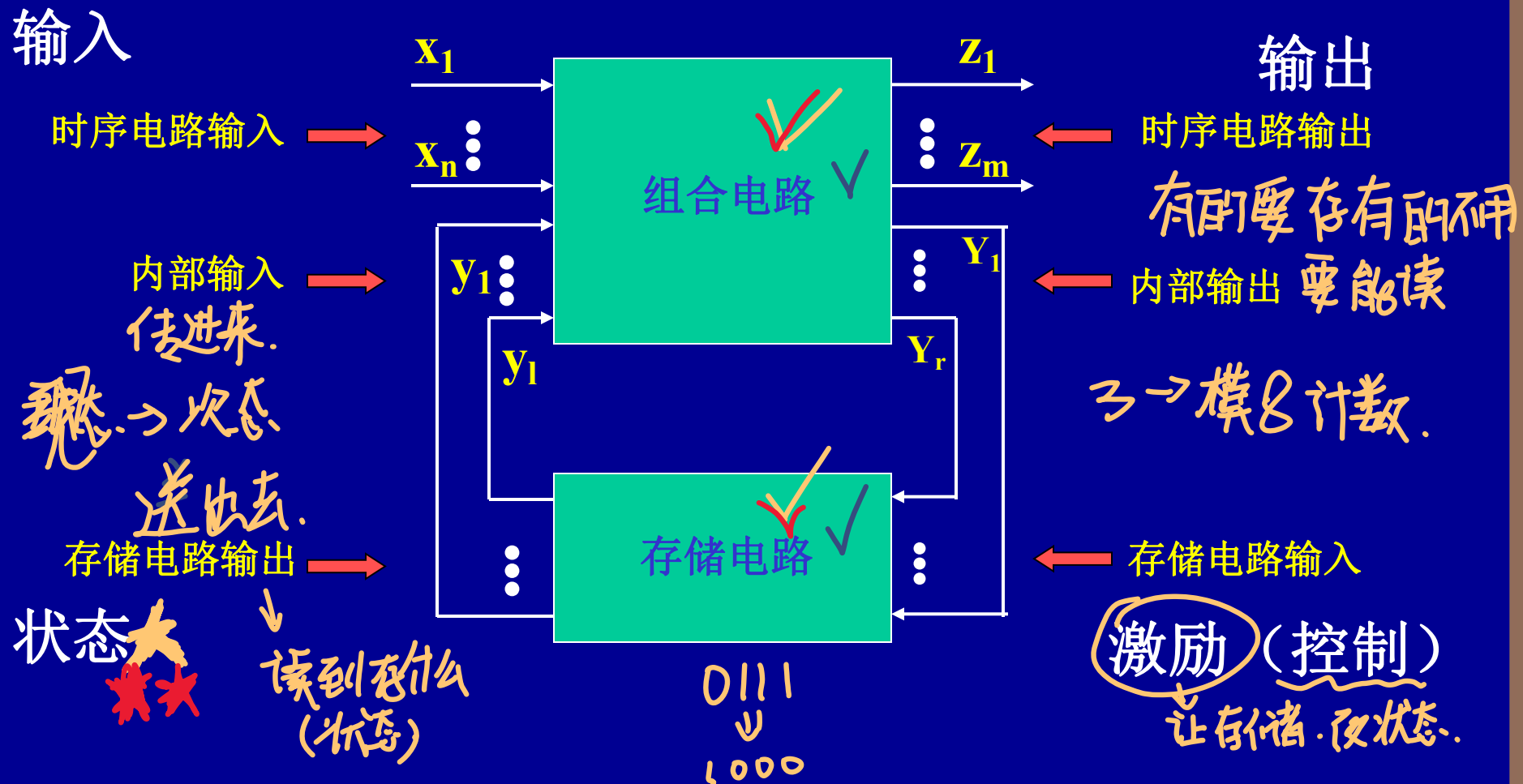
数字逻辑电路可分为两大类：

组合逻辑电路

时序逻辑电路

- 组合电路是指它的输出仅由当前输入决定。
- 时序电路是指它的输出不仅取决于当前输入，而且也取决于过去的输入序列，即过去输入序列不同，则在同一当前输入的情况下，输出也可能不同。

3.1.1.1 时序电路的一般形式 *Structure*



输出函数 $z_i = f_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_l)$

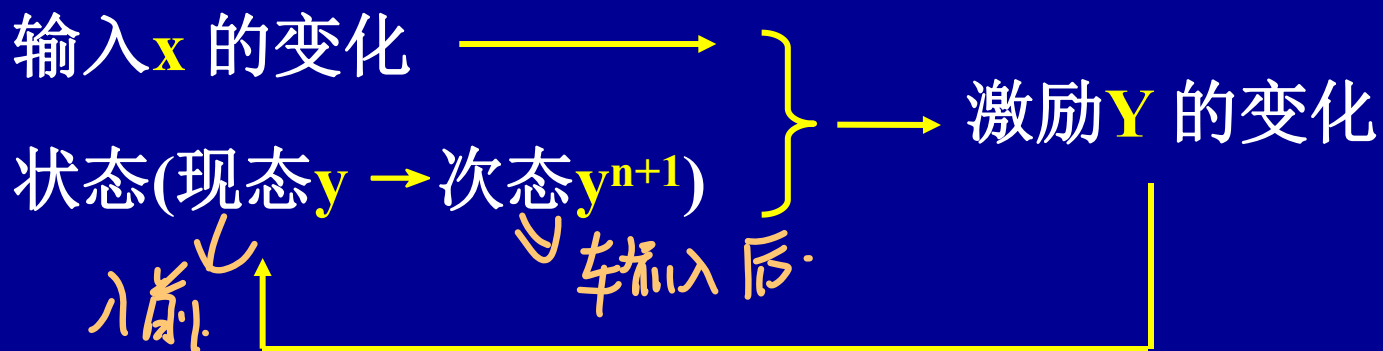
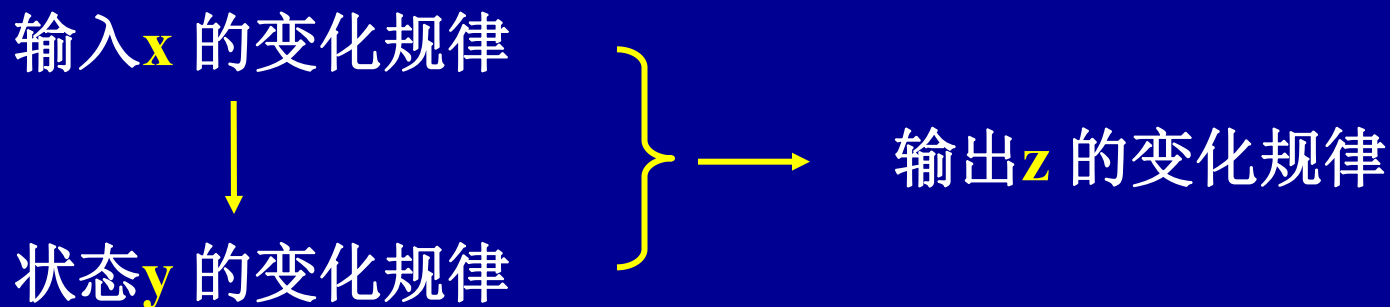
$i = 1, 2, \dots, m;$

激励 (控制) 函数 $Y_i = g_i(x_1, x_2, \dots, x_n, y_1, y_2, \dots, y_l)$ $i = 1, 2, \dots, r;$

3.1.1.1 时序电路的一般形式 *Structure*

$z_1 \sim z_m$: 为外部状态;

$y_1 \sim y_r$: 为内部状态, 即时序电路的状态, 简称“状态”。



时序电路的变化规律

输入 x 的变化规律



状态 y 的变化规律



输出 z 的变化规律

输入 x 的变化



状态(现态 $y \rightarrow$ 次态 y^{n+1})



激励 Y 的变化



状态变化的描述: **现态**——某一时刻输入变化前的电路状态;

次态——当输入变化后的电路状态(即电路将要进入的状态);

3.1.1.2 时序电路的分类 ★ 按时钟(引发原因)

1、按照引起状态发生变化的原因可分为：

同步时序电路：其状态的改变受同一个时钟脉冲的控制，且与时钟脉冲同步。即电路在**统一时钟控制CLK**（或CP）下，同步改变状态。

是否统一CLK.

异步时序电路：无统一的时钟脉冲使整个系统的工作同步，输入直接引起状态改变。

3.1.1.2 时序电路的分类

2、按输入信号x的特性可分为：脉冲输入和电平输入。

在同步时序电路中，输入信号x相对时钟脉冲CP的变化速度而言，如果输入信号x在两个时钟脉冲之间信号完成 $0 \rightarrow 1 \rightarrow 0$ (或 $1 \rightarrow 0 \rightarrow 1$) 两次变化则为脉冲输入，否则为电平输入。

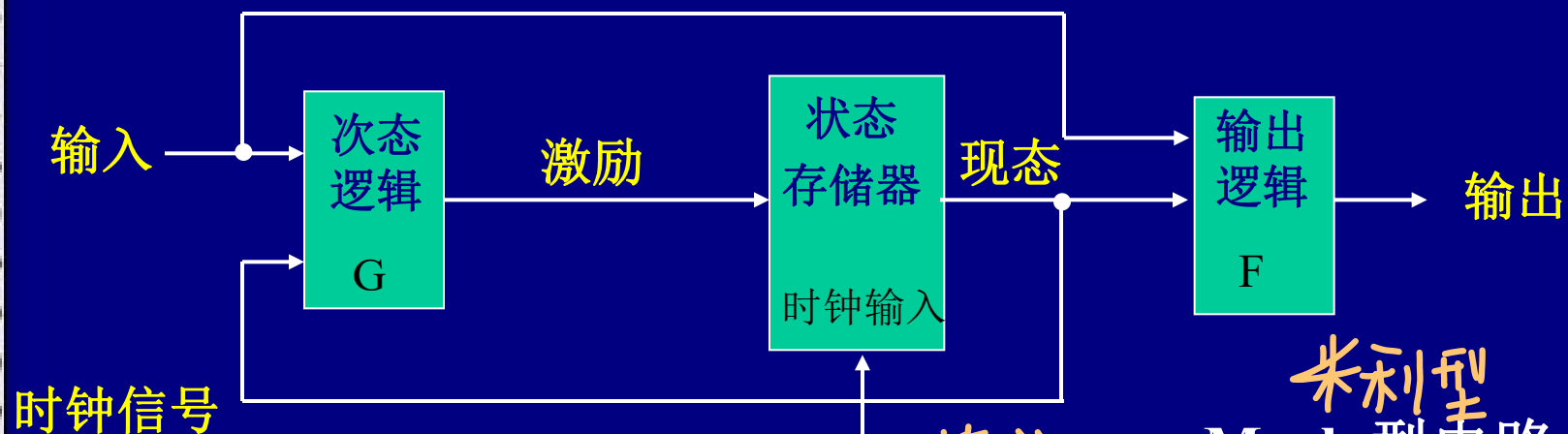
在异步时序电路中，输入信号x按照电路研究的目的区分：如果研究的是输入信号x完成 $0 \rightarrow 1 \rightarrow 0$ (或 $1 \rightarrow 0 \rightarrow 1$) 两次变化对电路的影响，则为脉冲输入，否则为电平输入。

即：脉冲输入：在两个时钟脉冲之间信号完成 $0 \rightarrow 1 \rightarrow 0$ (或 $1 \rightarrow 0 \rightarrow 1$) 两次变化后对电路的影响；电平输入：信号完成 $0 \rightarrow 1$ (或 $1 \rightarrow 0$) 一次变化对电路的影响。

电平输入：信号完成 $0 \rightarrow 1$ (或 $1 \rightarrow 0$) 一次变化对电路的影响。

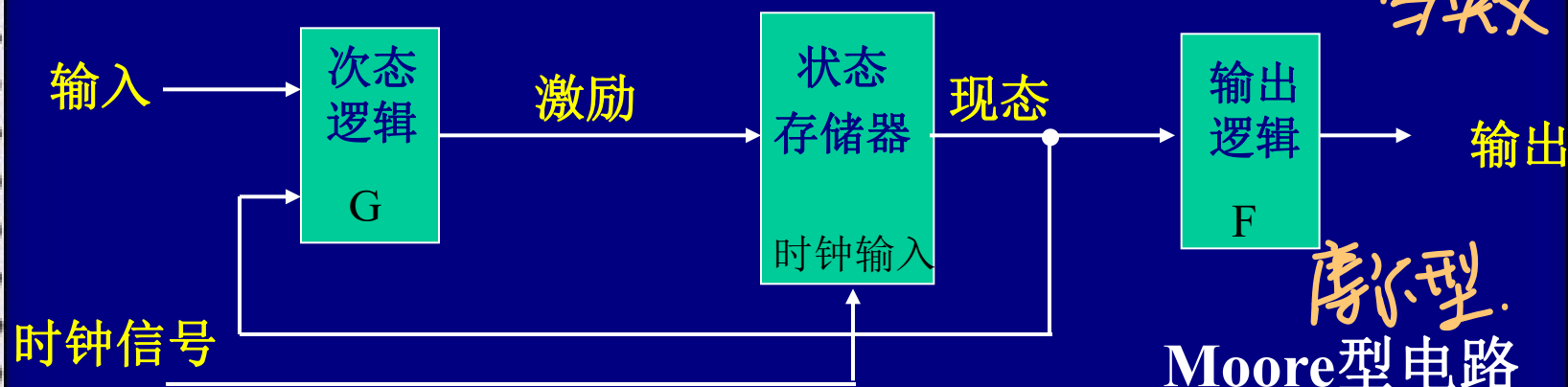
3.1.1.2 时序电路的分类

3、按输出特性可分为：**Mealy型**和**Moore型**。



下笔成文
就OK

米利型
Mealy型电路
——最好
写英文



摩尔型
Moore型电路

3.1.1.3 时序电路的描述方法

1、次态方程 *Characteristic Equation* 表达

$$\left. \begin{array}{l} \text{次态 } y^{n+1} = Q_a(\text{激励 } Y) \\ \text{激励 } Y = G(\text{输入 } x, \text{现态 } y) \end{array} \right\} \text{次态 } y^{n+1} = Q(\text{输入 } x, \text{现态 } y)$$

2、次态真值表

真值

将输入 x 及 现态 y 列在真值表左边，次态 y^{n+1} 列在右边。

3、次态卡诺图

卡诺

次态方程用卡诺图的形式表示出来，既次态卡诺图。

4、状态表 State-table ☆新描述工具 (真值变形) 有关 只与状态

无外部输出的状态表

Mealy 型状态表

Moore 型状态表↑

y \ x	0	1
y ₀	y ₁	y ₃
y ₁	y ₂	y ₀
y ₂	y ₃	y ₁
y ₃	y ₀	y ₂

y \ x	0	1
y ₀	y ₁ /0	y ₃ / 1
y ₁	y ₂ /0	y ₀ /0
y ₂	y ₃ /0	y ₁ /0
y ₃	y ₀ / 1	y ₂ /0

y \ x	0	1	z
y ₀	y ₁	y ₃	0
y ₁	y ₂	y ₀	0
y ₂	y ₃	y ₁	0
y ₃	y ₀	y ₂	1

y^{n+1} (次态)

y^{n+1}/z (次态/输出)

y^{n+1} (次态)

Mealy 型电路的读表 (或图) 的次序是:

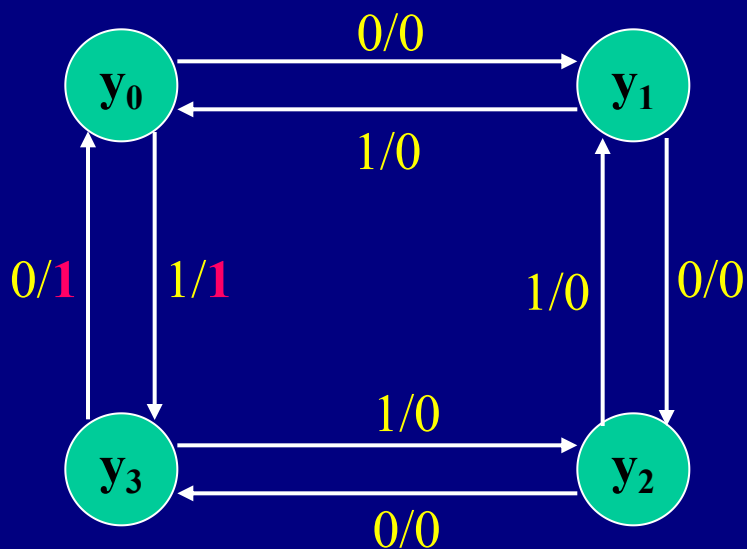
现态 $y \rightarrow$ 输入 $x \rightarrow$ 输出 $z \rightarrow$ 次态 y^{n+1}

Moore 型电路的读表 (或图) 的次序是:

现态 $y \rightarrow$ 输出 $z \rightarrow$ 输入 $x \rightarrow$ 次态 y^{n+1}

只是送来的控制信号。
可分析一步一步

5、状态图 *State-diagrams*



a. Mealy 型状态图

状态多 则表长 画图好看

可以挑

现在表/图选一个给分

Mealy 型状态表

$y \backslash x$	0	1
y_0	$y_1/0$	$y_3/1$
y_1	$y_2/0$	$y_0/0$
y_2	$y_3/0$	$y_1/0$
y_3	$y_0/1$	$y_2/0$

y^{n+1}/z (次态/输出)

4个0. 出1.

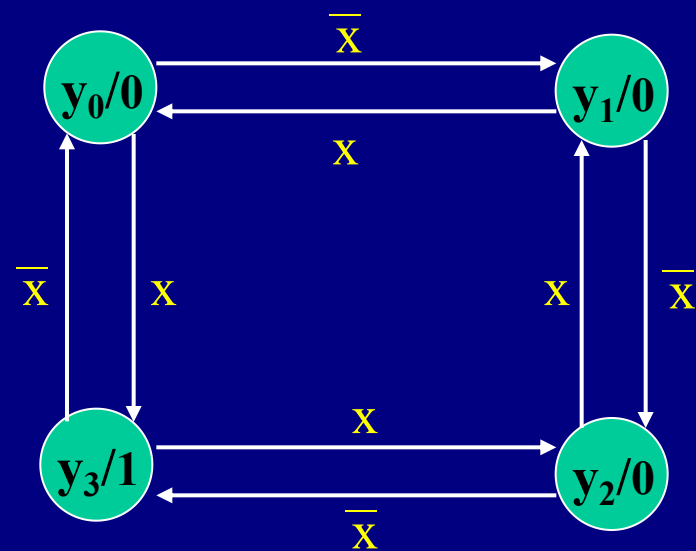
计数器可逆

5、状态图 *State-diagrams*

Moore 型状态表

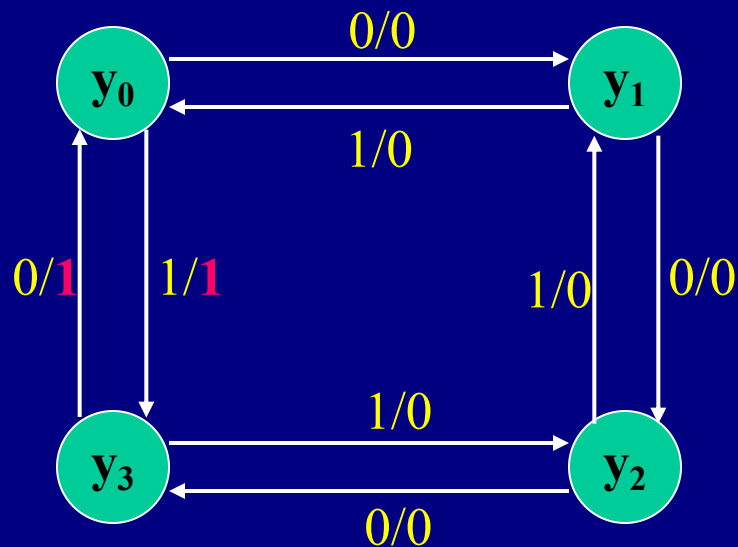
$y \backslash x$	0	1	z
y_0	y_1	y_3	0
y_1	y_2	y_0	0
y_2	y_3	y_1	0
y_3	y_0	y_2	1

y^{n+1} (次态)

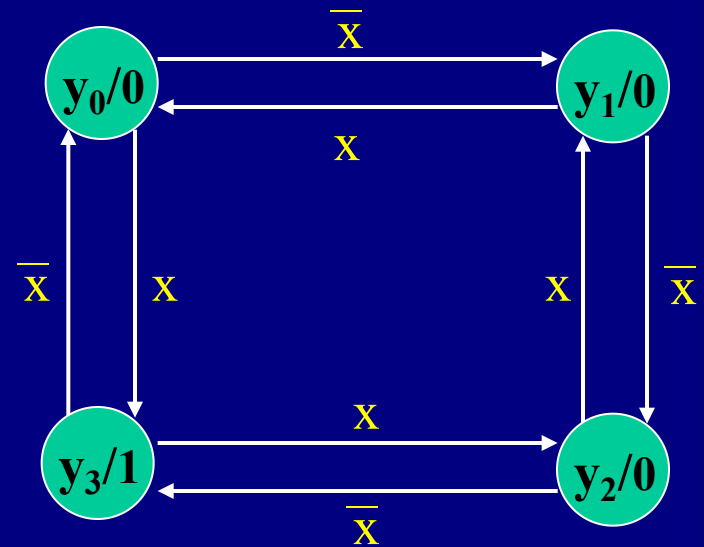


b. Moore 型状态图

5、状态图 *State-diagrams*



a. Mealy 型状态图



b. Moore 型状态图

Mealy 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输入 $x \rightarrow$ 输出 $z \rightarrow$ 次态 y^{n+1}

Moore 型电路的读表（或图）的次序是：

现态 $y \rightarrow$ 输出 $z \rightarrow$ 输入 $x \rightarrow$ 次态 y^{n+1}

- 时序电路和组合电路的区别
- 时序电路的变化规律(输入、输出、激励/控制、状态——研究状态的现态、次态转变)
- 时序电路的分类(3种分法)
 - 同步、异步; 脉冲输入、电平输入; Mealy、Moore
- 时序电路的描述方法
 - 次态表达式, 次态真值表, 次态卡诺图
 - 状态表
 - 状态图
 - 注意对Mealy型、Moore型电路的状态表及状态图的写法、读法

3.1.2 时序电路的双稳态元件 *Bistable Element*

★重要的 触发器

双稳态元件是构成存储电路的基本模块，通常指锁存器或触发器。双稳态元件的特点是：

- (1) 有两个稳定状态，分别表示存储数码 0 或 1。
- (2) 在一定的触发信号作用下，它可从一个稳态翻转到另一个稳态。有时钟沿

作用：每个双稳态元件可保存一位二进制数，对应一个状态变量。

每个双稳态元件有两个互反的输出端 Q 和 $/Q$ ，

分别被称为：1 态 ($Q = 1, /Q = 0$)

0 态 ($Q = 0, /Q = 1$) 保持或改变

触发器或锁存器翻转前的状态称为现态 $Q^n(Q)$ ，

翻转后的状态称为次态 Q^{n+1} 。

3.1.2.1 S-R 锁存器 (*Set-Reset Latch*)

右图(a)中，电路有两个稳态：

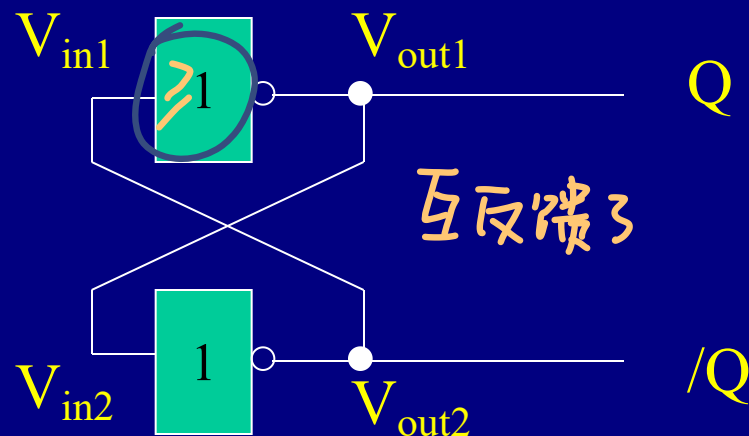
$$V_{out1} = V_{in2} = 1$$

$$V_{out2} = V_{in1} = 0$$

及

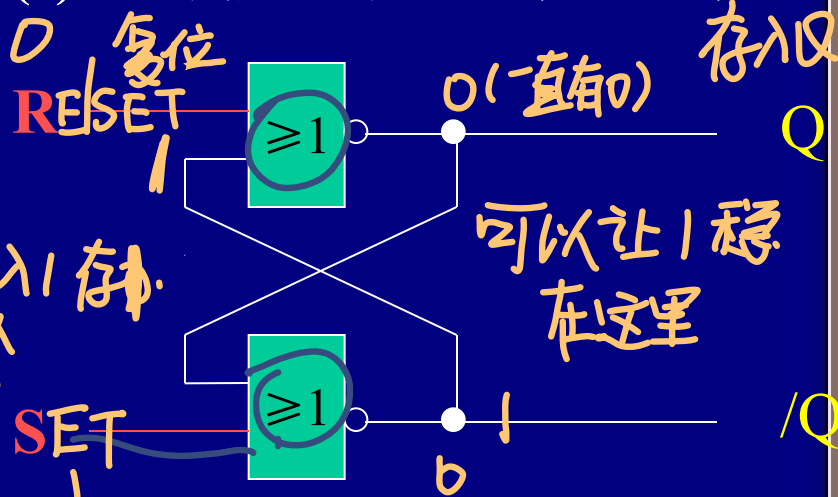
$$V_{out1} = V_{in2} = 0$$

$$V_{out2} = V_{in1} = 1$$



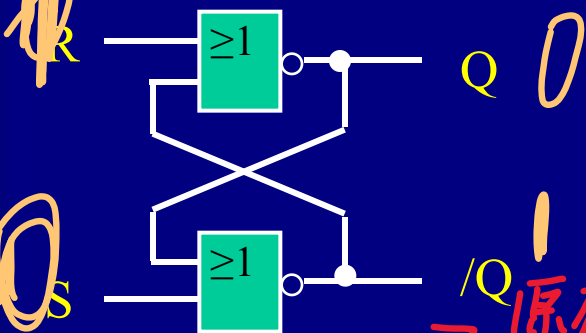
(a) 一对非门组成的双稳态电路

由于图(a)电路的两个稳态 Q 、 $/Q$ 不能由外部控制，为此增加两个输入端： S (置位)、 R (复位) 则得到 S - R 锁存器，如图 (b)。



(b) 一对或非门组成的 S - R 锁存器

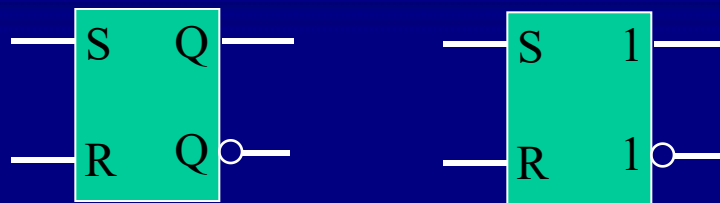
3.1.2.1 S-R 锁存器



a. 电路图

S	R	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

b. 次态真值表



f. 逻辑符号

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

→ 现状
→ RESET
→ 10置1
c. 简化的次态真值表

} 维持现状

} RESET主导

} 10置0

	00	01	11	10
0	0	0	d	1
1	1	0	d	1

d. 卡诺图

不行, 没用 (有问题, 到示波器看是禁忌)

e. 次态方程 $Q^{n+1} = S + R \cdot Q$

约束条件 $S \cdot R = 0 \rightarrow d$ 的位置

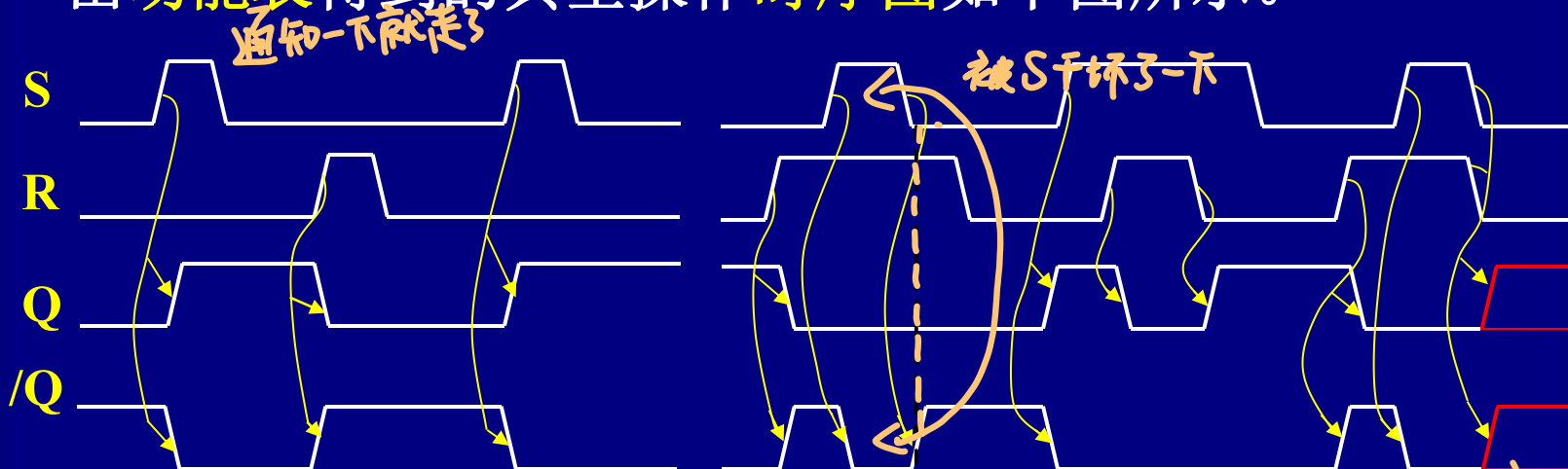
根据组合电路的分析方法
可得到**功能表**如右表。

S	R	Q	/Q
0	0	保持不变	
0	1	0	1
1	0	1	0
1	1	0	0

g. 功能表

$S=R=0 \rightarrow$ 维持。

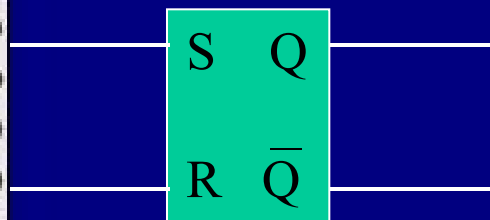
由**功能表**得到的典型操作**时序图**如下图所示。



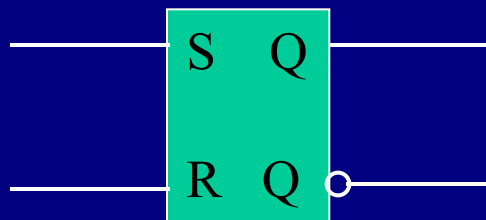
h. 正常输入

i. S 和 R 同时有效
这就坏了
别一起搞废了

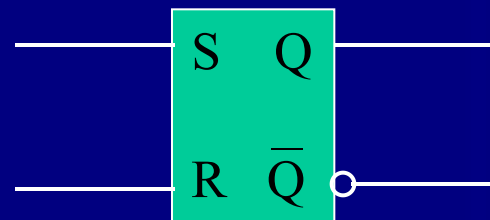
S-R 锁存器(*S-R Latch*)的逻辑符号如下图所示。



(a) 旧的逻辑符号



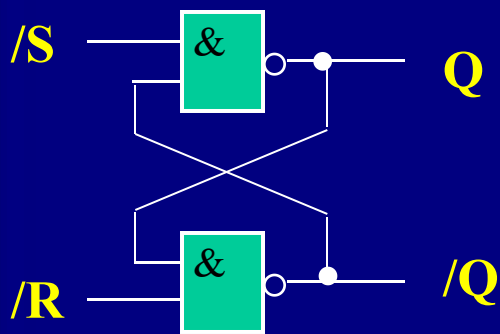
(b) 改进的逻辑符号



(c) 不正确的逻辑符号

说明：图(b)的表示方法较好；
图(a)的表示方法不太好，但可以使用；
图(c)的表示方法完全错了，因为它的低有效输出端出现了两次非，因而导致含义错。

3.1.2.2 \overline{S} - \overline{R} 锁存器(\overline{S} - \overline{R} Latch)



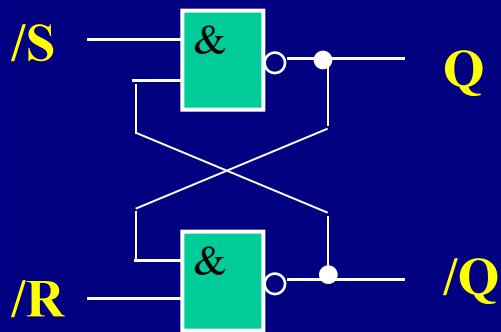
\overline{S} - \overline{R} 锁存器是由与非门构成的具有低有效置位及复位输入端的电路。

\overline{S} - \overline{R} 锁存器与S-R锁存器的主要区别是：

(1) \overline{S} 及 \overline{R} 都是低有效，因此当 $\overline{S}=\overline{R}=1$ 时，电路输出保持不变。

(2) 当 \overline{S} 及 \overline{R} 同时有效时，前者的输出 Q 及 \overline{Q} 都变为 1；而后者是当 S 及 R 同时有效时，输出 Q 及 \overline{Q} 都变为 0。这两种情况的输出都不满足 Q 与 \overline{Q} 的互补关系，这是不允许的。

3.1.2.2 /S - /R 锁存器



a. 电路图

/S	/R	Q	Q^{n+1}
0	0	0	d
0	0	1	d
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

b. 次态真值表

解决3.1.2.1
印刷危险

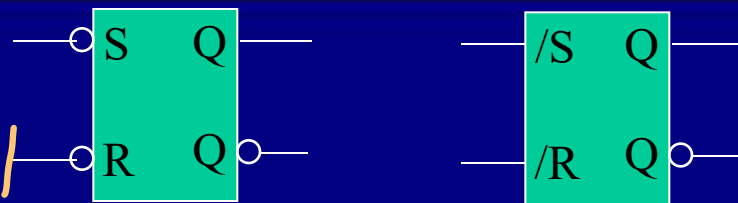
c. 简化的次态真值表

/S	/R	Q^{n+1}
0	0	d
0	1	1
1	0	0
1	1	Q

d. 功能表

/S /R	Q /Q
0 0	1 1
0 1	1 0
1 0	0 1
1 1	保持不变

g. 逻辑符号



/S/R	00	01	11	10
0	d	1	0	0
1	d	1	1	0

e. 卡诺图

f. 次态方程 $Q^{n+1} = \bar{S} + /RQ$

约束条件 $\bar{S} \cdot \bar{R} = 0$ 任何

3.1.2.3 带使能端的S- R 锁存器

S-R latch with enable

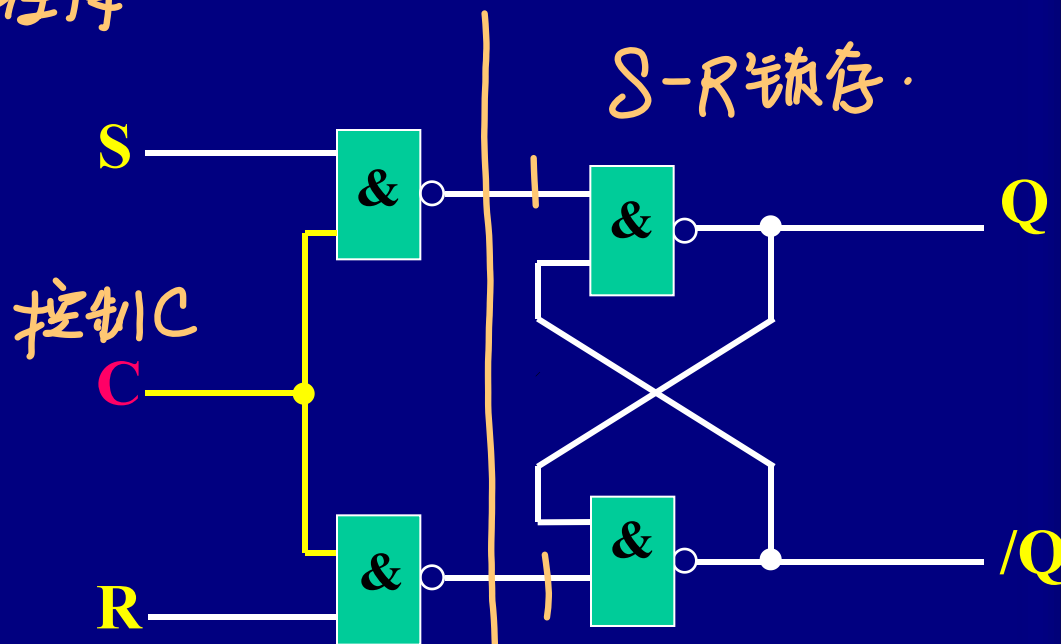
利用使能输入端信号 **C** 进行控制，即当使能信号 **C** 有效时，输入才影响输出。如电路图所示：

$S \setminus R \rightarrow$ 不动维持

$\swarrow \searrow$

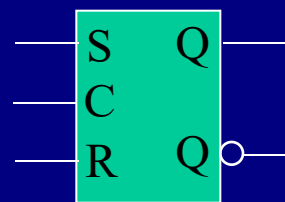
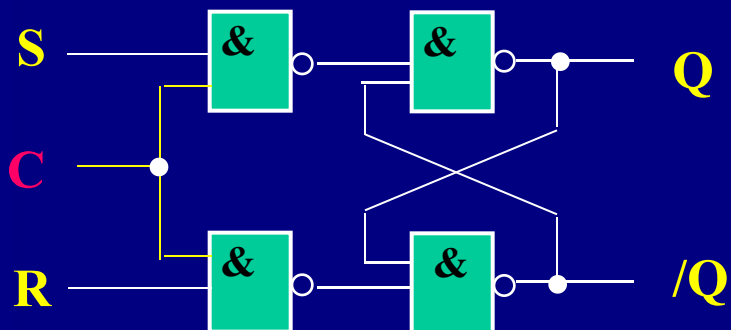
$C=0 \Rightarrow$ S-R不行

$C=1 \Rightarrow$ S-R动



a. 用与非门实现的电路

3.1.2.3 带使能端的S-R 锁存器



d. 逻辑符号

S	R	C	Q	/Q
0	0	1	保持不变	
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
d	d	0	保持不变	

b. 功能表

c. 次态方程:

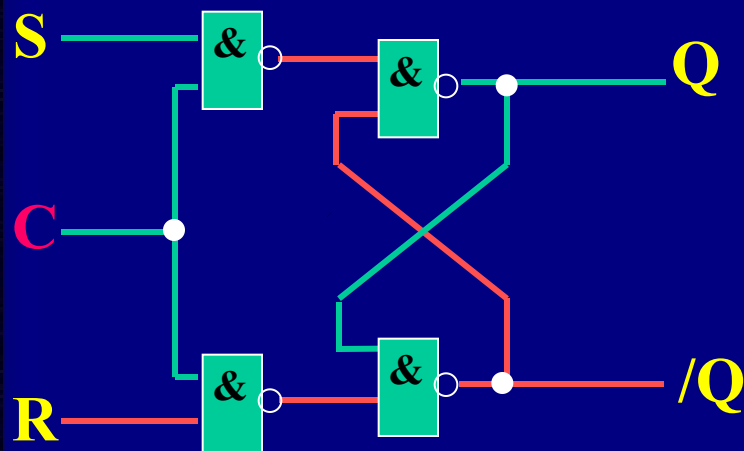
$$Q^{n+1} = S + \overline{R} \cdot Q$$

约束条件 $S \cdot R = 0$

维持

没开机

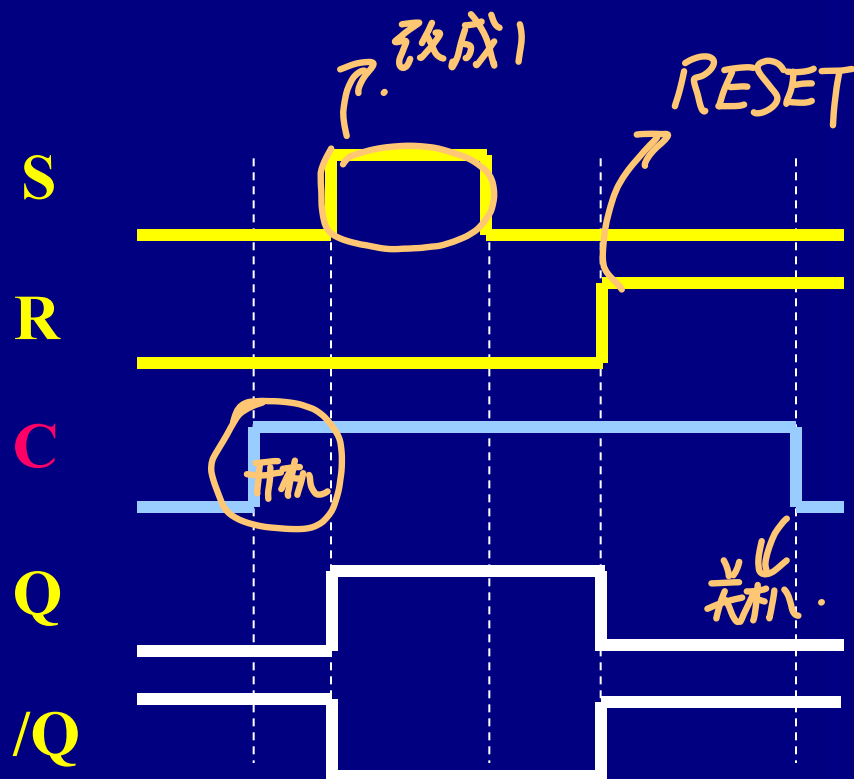
带使能端的S-R 锁存器的工作过程



电路图

还没解决耦合 (一起关SR) /Q

锁存器不好

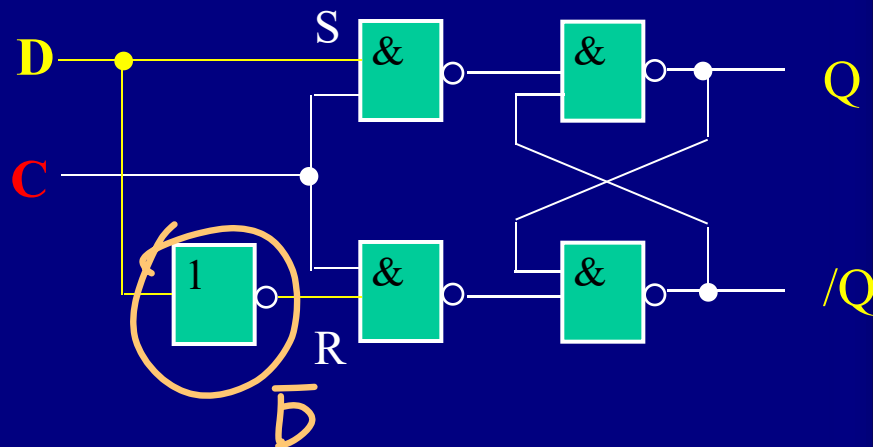


3.1.2.4 D 锁存器 *D Latch*

S-R 锁存器由于能够独立地控制**置位端**及**复位端**，因此，它可应用在根据某些条件置位而在某些条件下复合的场所，但这需要置位复位二根输入线。在实际工作中经常需要简单地锁存一位二进制，这时应用**D锁存器**更方便些。

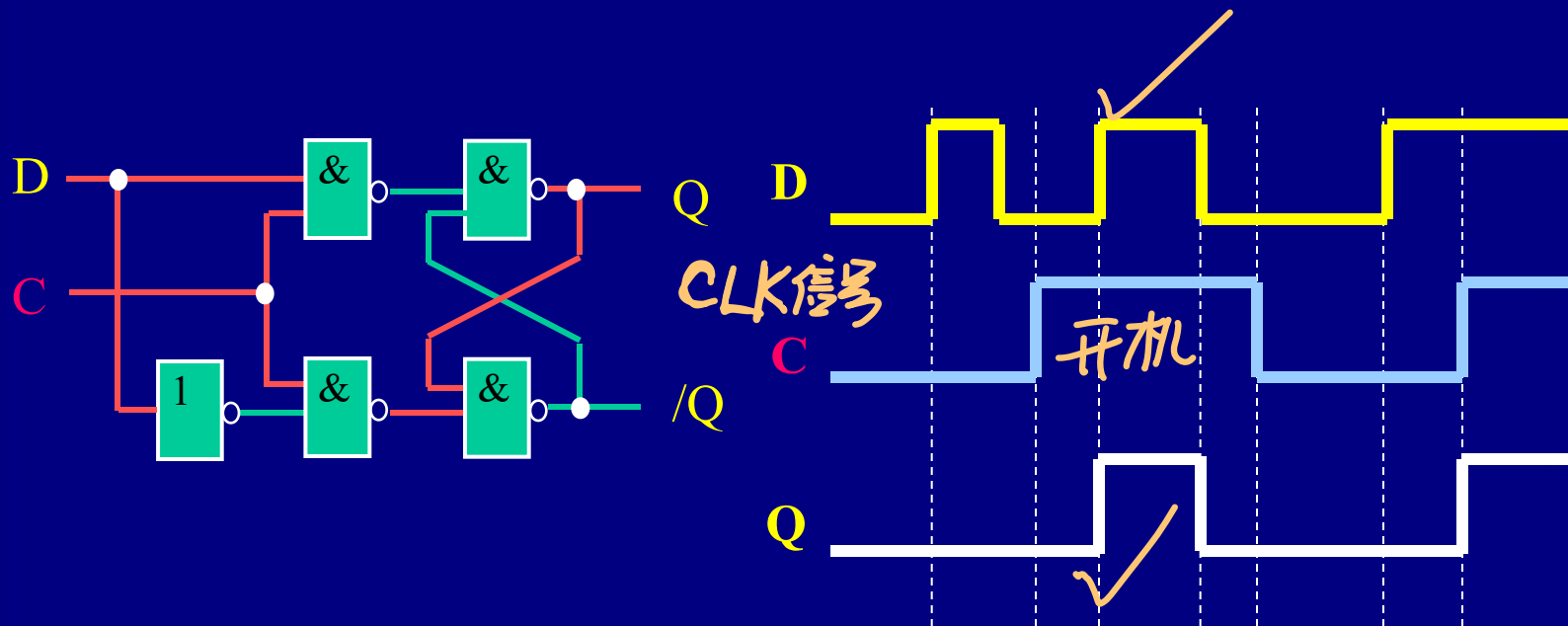
别都来 11/00 \Rightarrow 互反可解禁止

S-R 换成 D + 非门
 $S = D$ $R = \overline{D}$ (有源)

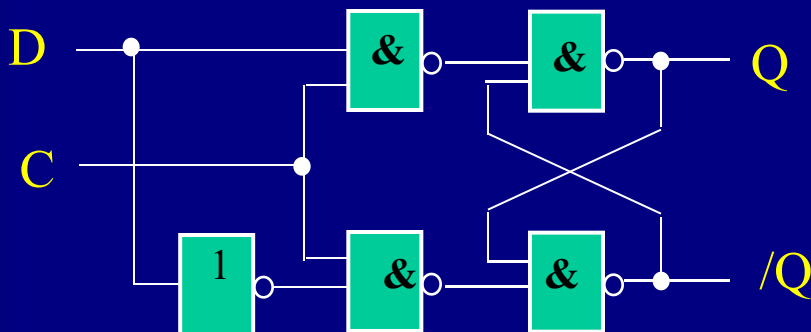


(a) 用与非门实现D锁存器

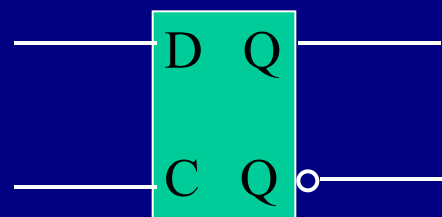
D 锁存器的工作过程



D 锁存器小结



a. 电路图



e. 逻辑符号

D	Q	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

b. 次态真值表

D	Q_{n+1}
0	0
1	1

c. 简化的次态真值表

D	0	1
Q		
0	0	1
1	0	1

d. 次态方程

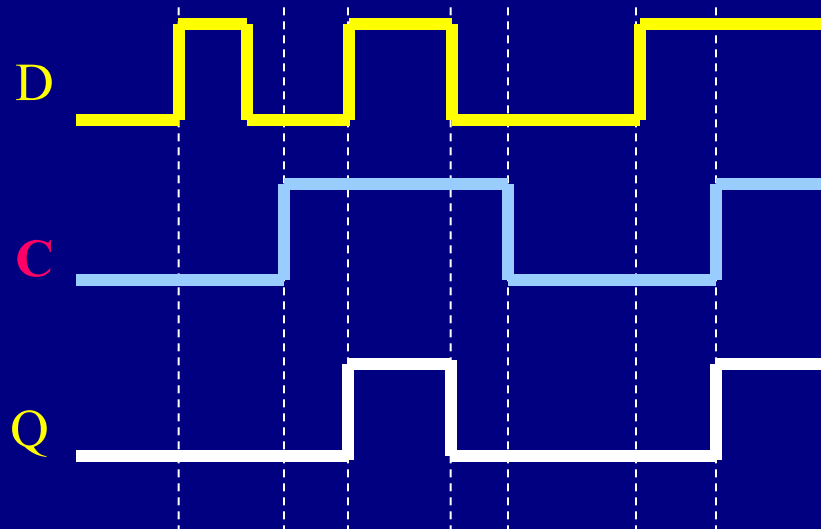
太简单了, 还能不记?
 $Q_{n+1} = D$

3.1.2 双稳态元件

锁存器 Latch

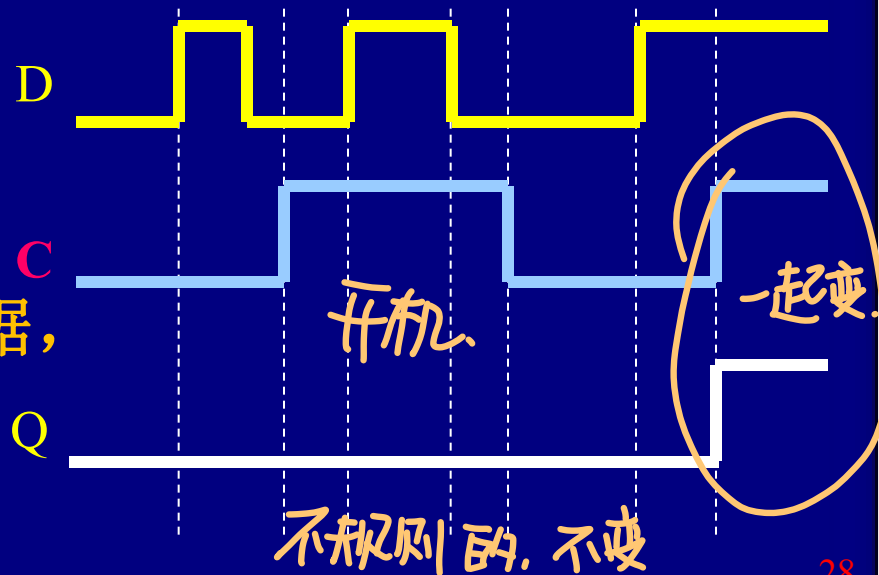
3.1.2.4 D锁存器

C低保持，C高跟随



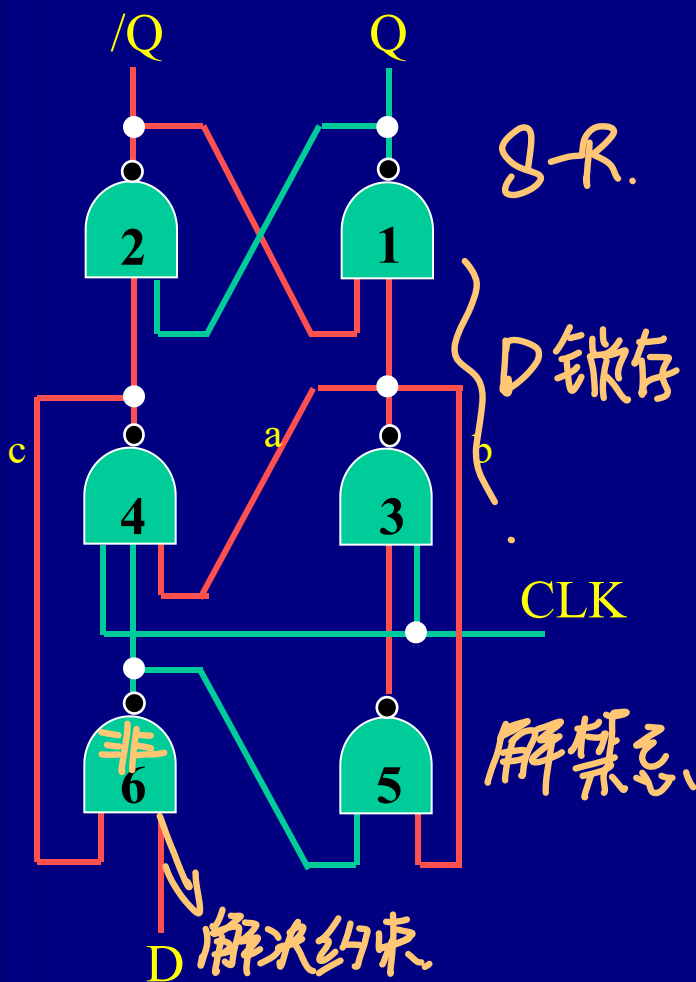
触发器 Flip-Flop

边沿触发D触发器：
器件在控制信号的有效边沿(前沿或后沿)时接收数据，
改变电路状态。



3.1.2.5 边沿触发D触发器

Edge-triggered D Flip-flop



D 触发器包括:

① 一个带使能控制的SR锁存器
(由门1,门2,门3和门4组成)

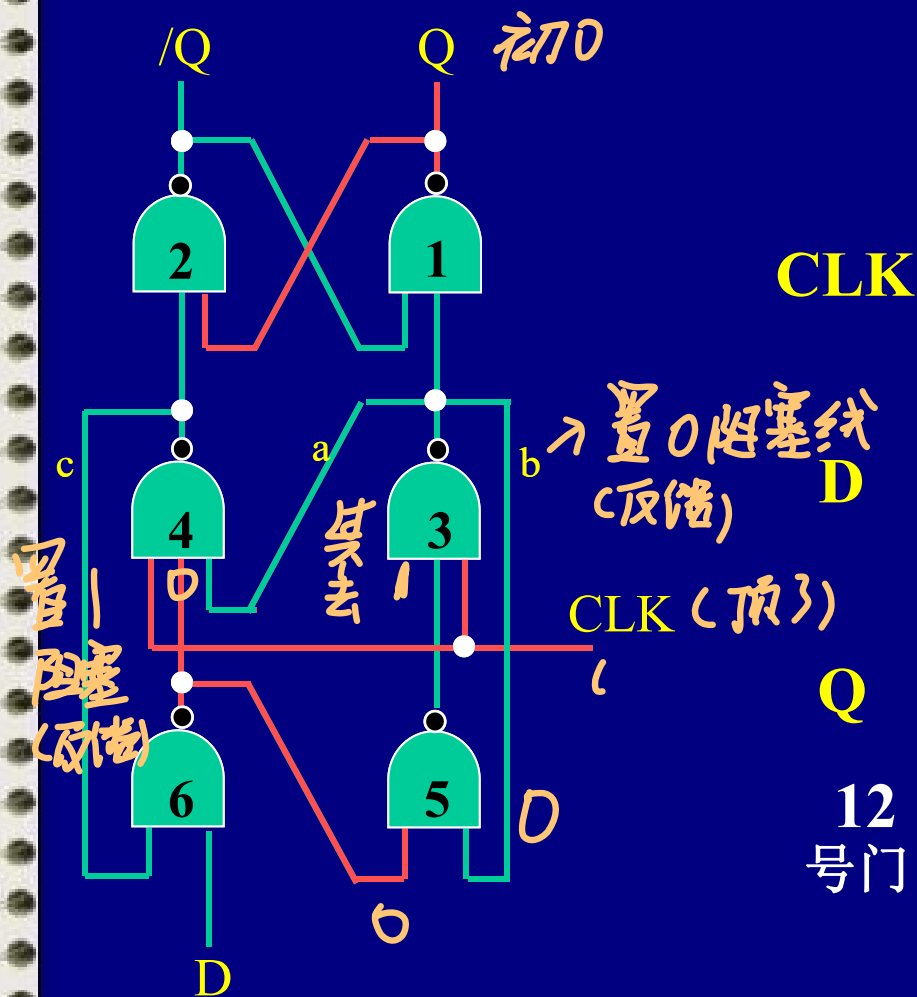
② 两个信号接收门(门5和门6)

门5和门6是为了生成互补数据 D 和 \bar{D} ，并加在门3、门4的输入端上。绿线决定沿的变化
 abc

D 是数据输入端;

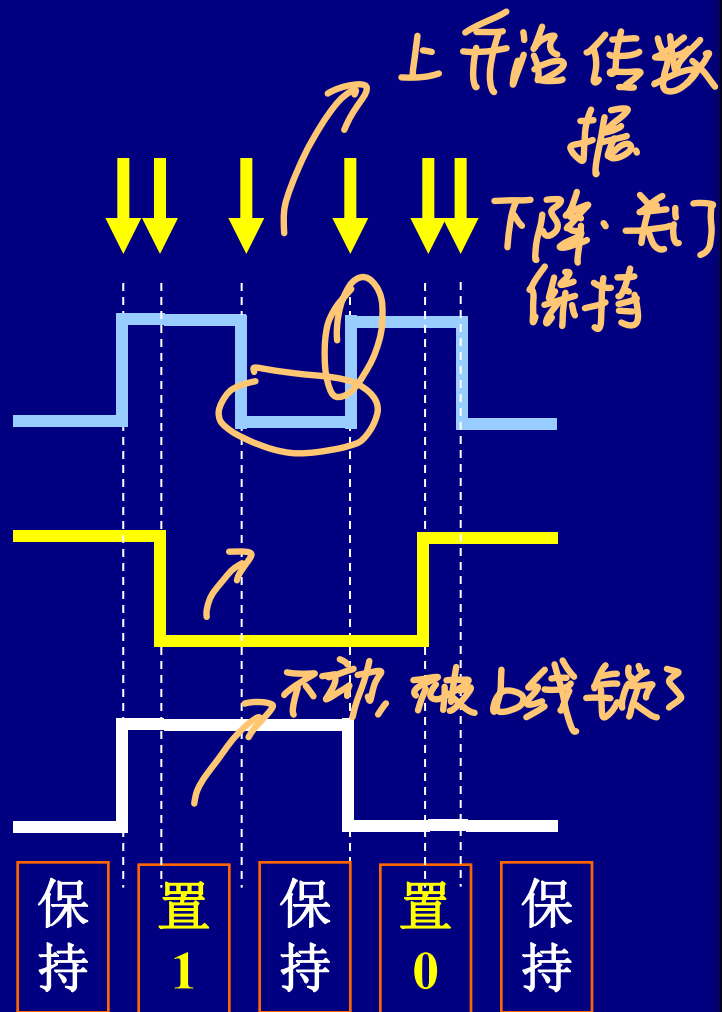
a 、 b 、 c 三条线是内部反馈线。

D 触发器的工作过程：初态 $Q = 0$



CLK

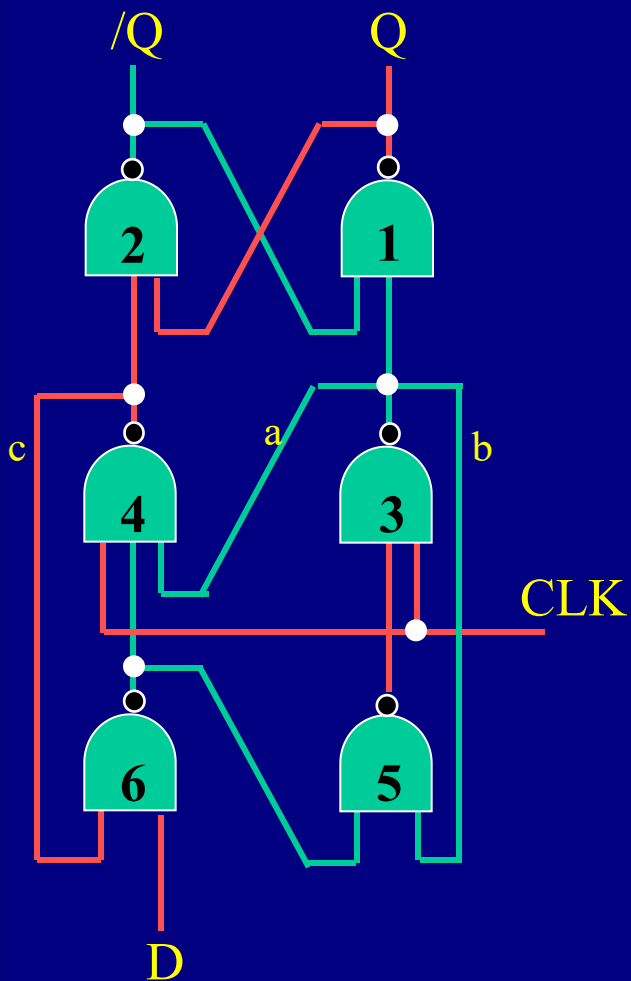
Q
12号门



——: 0电平, ——: 1电平

D 触发器的工作过程(1):

b 反馈线被称为置1维持线
可以



CLK

D

Q

12
号门

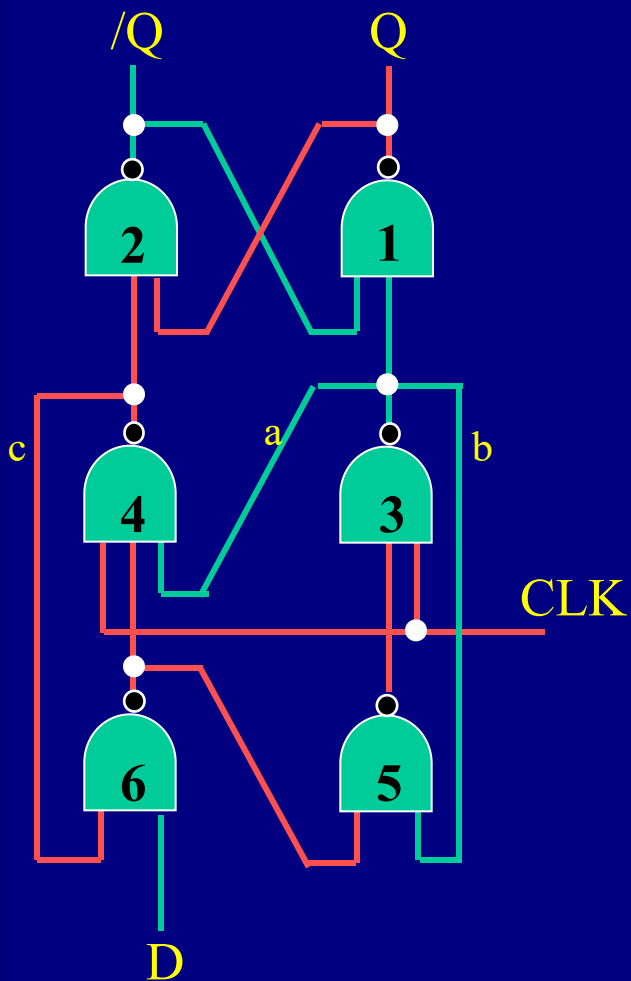
保持

置
1

——: 0电平, ——: 1电平

D 触发器的工作过程(2):

a 反馈线被称为置0阻塞线



CLK

D

Q

12
号门

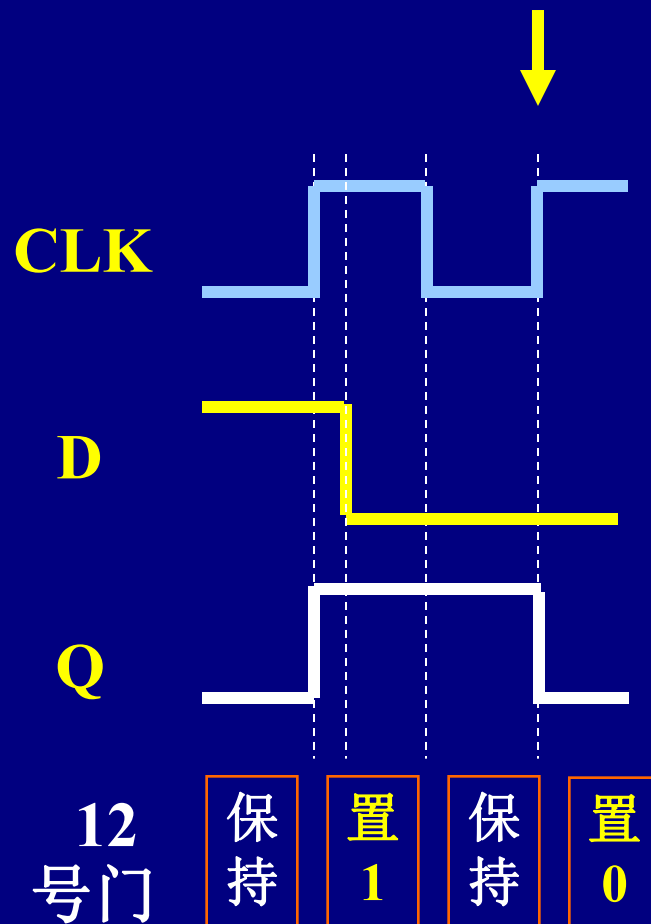
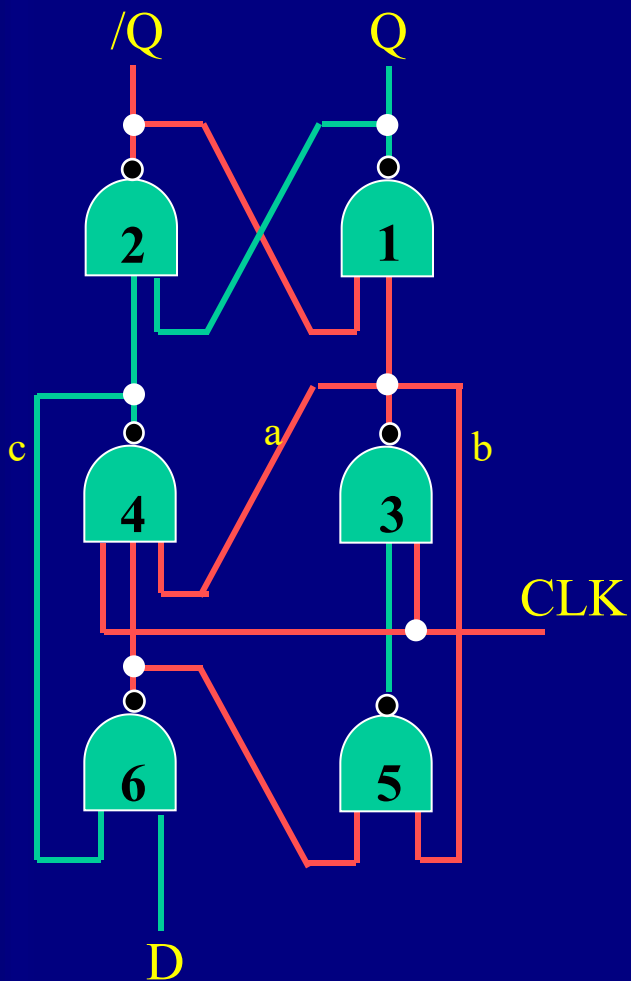
保持

置
1

——: 0电平, ——: 1电平

D 触发器的工作过程(3):

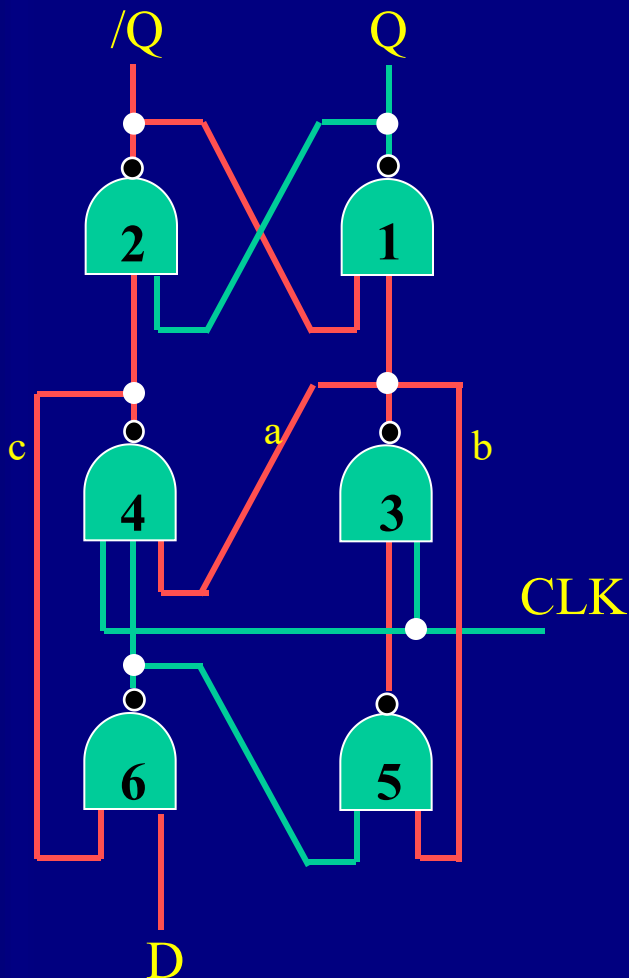
c反馈线被称为置0维持线



——: 0电平, ——: 1电平

D 触发器的功能分析

可改成后沿触发。



a 反馈线被称为置0阻塞线

b 反馈线被称为置1维持线

c 反馈线被称为置0维持线

C 低保持，C 高反馈，前沿触发

D 触发器的状态改变只发生在
CLK 脉冲的上升沿。

因此D触发器被称为

边沿触发的维持-阻塞D触发器。

前/后

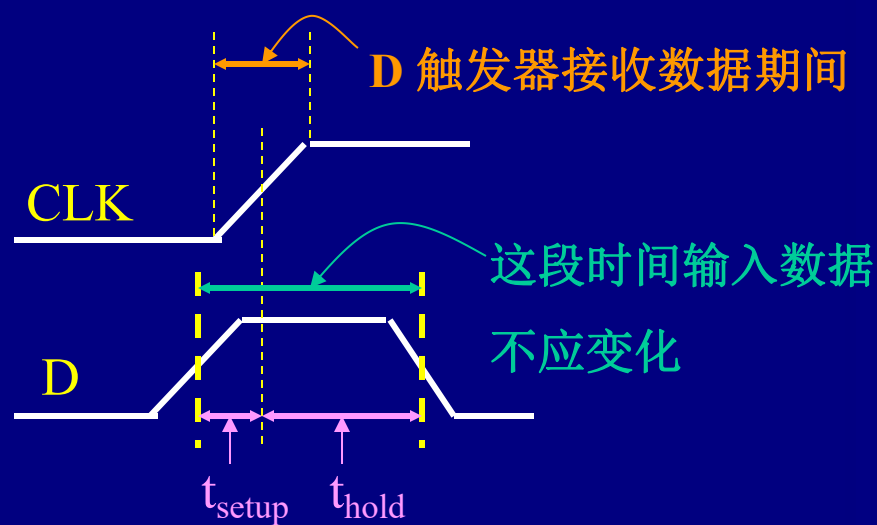
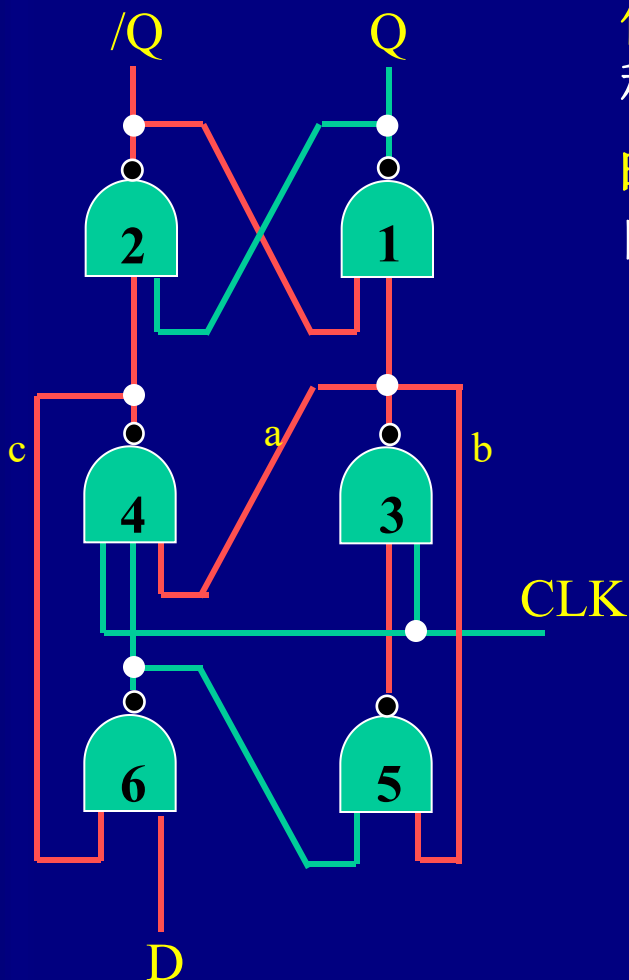
D 触发器建立保持时间

建立时间：从时钟变低到1、2门输出稳定的时间，两级与非门延时。

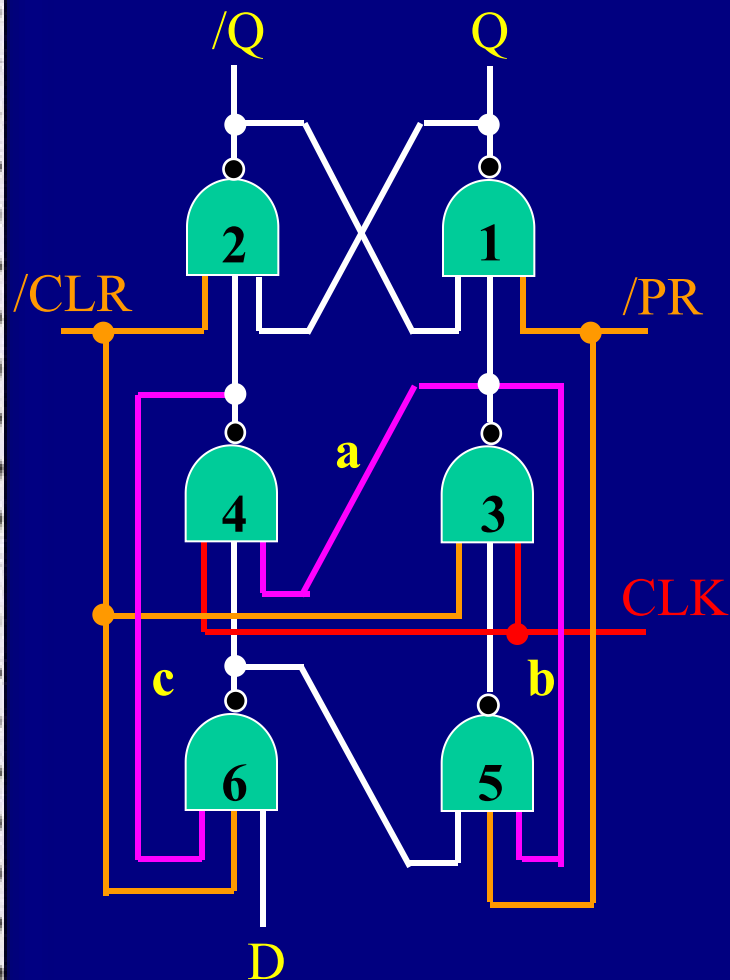
保持时间：从时钟变高到a、b、c反馈线稳定的时间，一级与非门延时。

时钟高电平最小时间：从时钟变高到5、6门输出稳定的时间，三级与非门延时。

f_{\max} ：建立时间+时钟高电平最小时间，五级与非门延时。

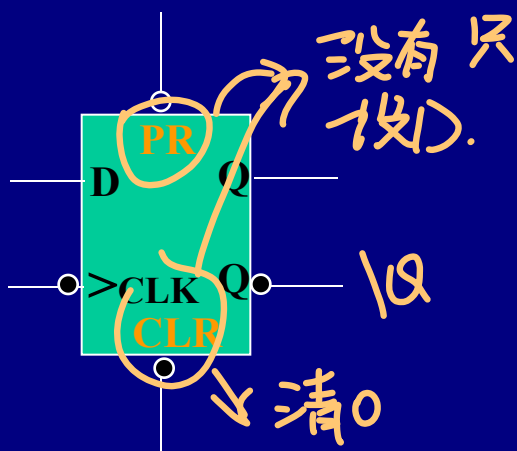


完整的D触发器:



\overline{PR} 是强制置1端
 \overline{CLR} 是强制置0端
一般在系统初始化时使用

D 触发器小结



a. 后沿触发D触发器

D	CLK	Q	/Q
0	\downarrow	0	1
1	\downarrow	1	0
d	0	保持不变	
d	1	保持不变	

b. 功能表

D	Q^{n+1}
0	0
1	1

c. 次态真值表

Q \ D	0	1
0	0	1
1	0	1

d. 次态方程

$$Q^{n+1} = D$$

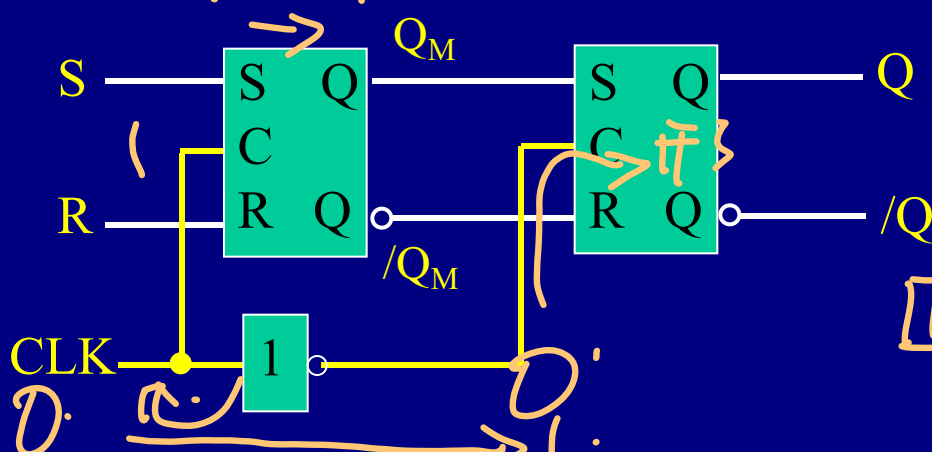
3.1.2.6 主从S-R 触发器 无反馈型

Master/slave S-R Flip-flop

主从触发器由主触发器和从触发器两部分构成。
主从触发器是在脉冲下降沿改变输出：
即：

① 在触发脉冲C作用时间(C为高电平期间)，S、R状态的变化将记入主触发器；

② 在C下降沿时间，从触发器接收此刻的主触发器状态。
CLK=1 进来。 1→0 后开，下沿→Q出。



让下降沿有变化

即 到CLK那 变成上升沿触发

a. 用两个带使能端 S-R 锁存器构成的触发器

主从S-R 触发器的特性:

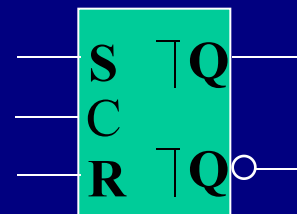
由于主从触发器的输出在触发脉冲上升边时并不马上改变, 因此在逻辑符号上, 输出端应加输出限定符号“ \downarrow ”表示延迟输出。

此外, 主从触发器虽然是在触发信号的下降沿改变输出, 但它并不是后沿触发的边沿触发器, 因此在逻辑符号中控制输入端 C 上即没有动态输入限定符号, 也没有逻辑非符号(延迟输出符号“ \downarrow ”表示了下降沿改变输出的特性)。

S-R不用会

S	R	C	Q	/Q
d	d	0	保持不变	
0	0	\downarrow	保持不变	
0	1	\downarrow	0	1
1	0	\downarrow	1	0
1	1	\downarrow	不确定	

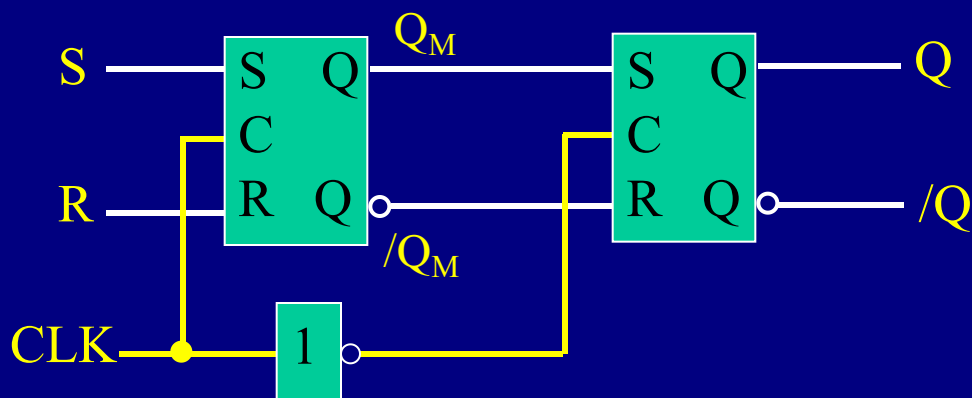
c. 功能表



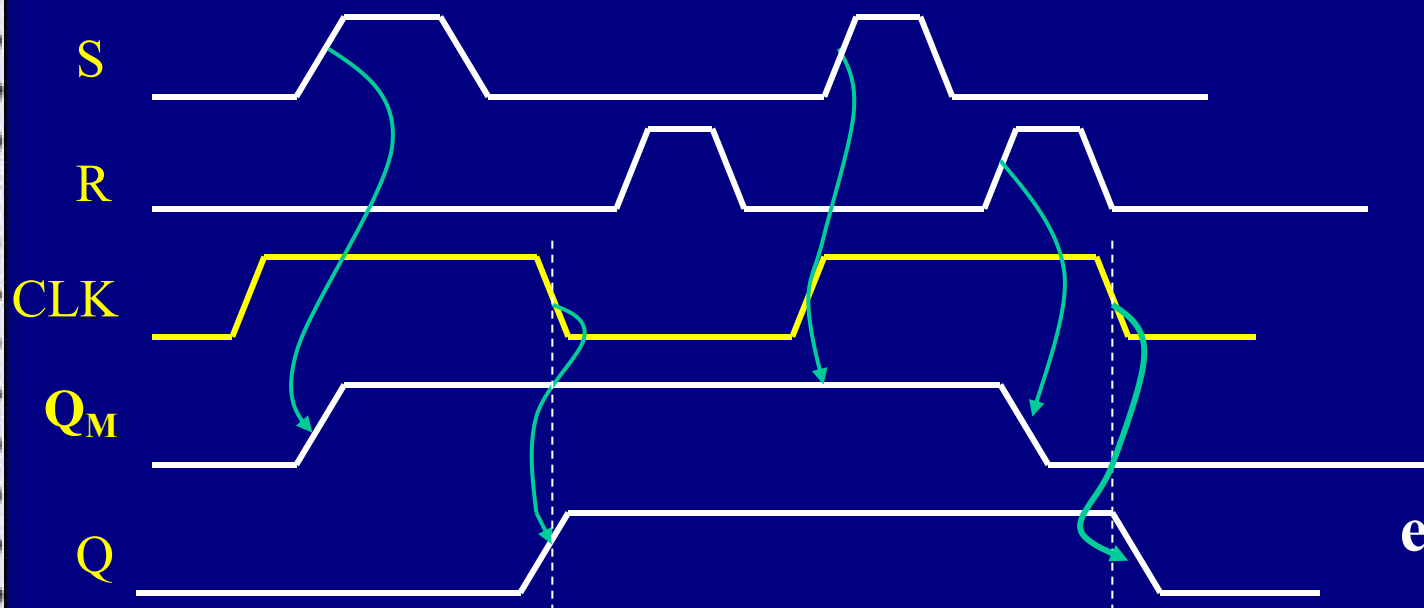
d. 逻辑符号

主从S-R触发器的次态真值表即次态方程于带使能端的 S—R 锁存器相同。

主从S-R 触发器工作过程时序图:



a. 电路图

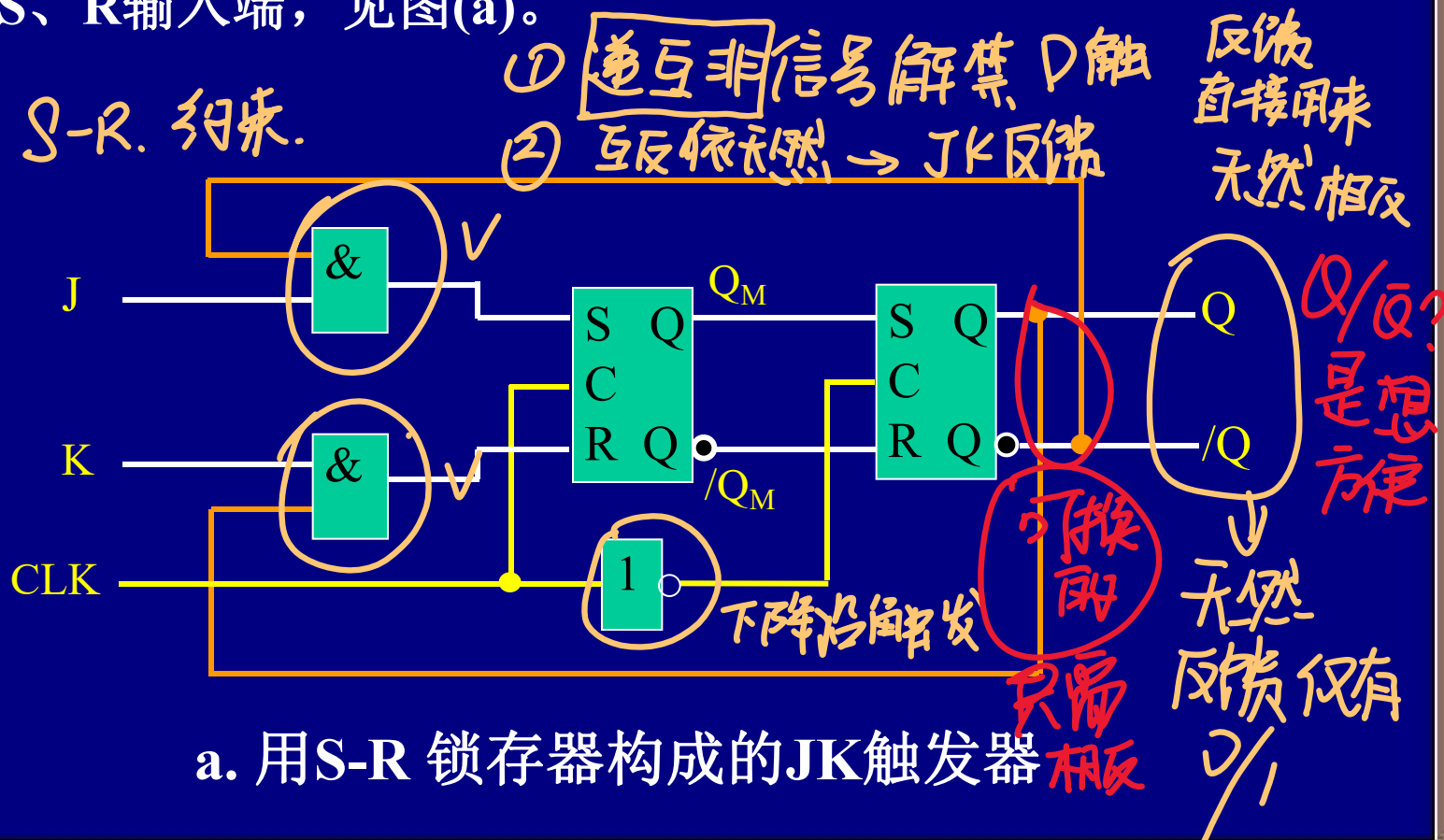


e. 时序图

3.1.2.7 主从J-K 触发器

有反馈的SR触发器 Master/slave J-K Flip-flop

J-K 触发器利用输出Q及/Q不会同时为1或0这一特性，将输入端J、K先分别同/Q及Q“相与”后再输入到主触发器的S、R输入端，见图(a)。



主从J-K触发器的特性:

J	K	C	Q	/Q
d	d	0	保持不变	
0	0	⌋	保持不变	
0	1	⌋	0	1
1	0	⌋	1	0
1	1	⌋	变反	

b. 功能表

J	K	Q_{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

d. 简化的次态真值表

J	K	Q	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

J主

D 1置1 0置0

c. 次态真值表

JK JK: 01置0 10置1 00不变 11反

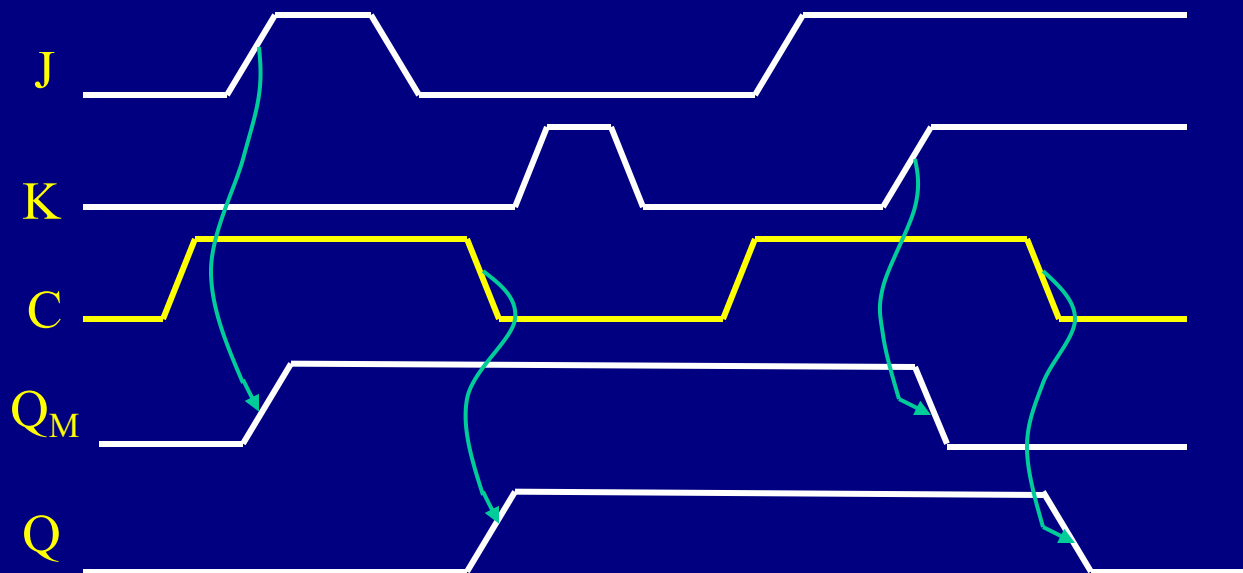
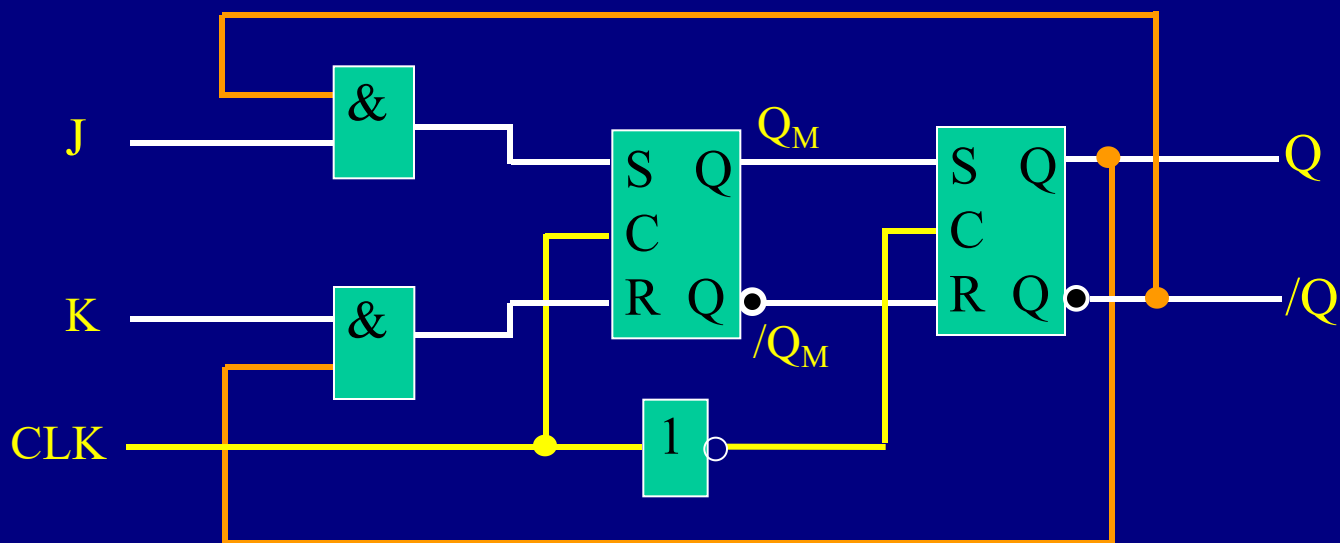
Q ^{JK}	00	01	11	10
0	0	0	1	1
1	1	0	0	1

d. 卡诺图

次态方程

$$Q_{n+1} = J \cdot Q + K \cdot \overline{Q}$$

主从J-K 触发器工作过程时序图:



e. 时序图

主从J-K触发器的逻辑符号：

当 $J=K=0$ 时，触发器处于保持状态；

当 $J=K=1$ 时， $Q^{n+1} = \bar{Q}$ 。触发器具有计数功能。

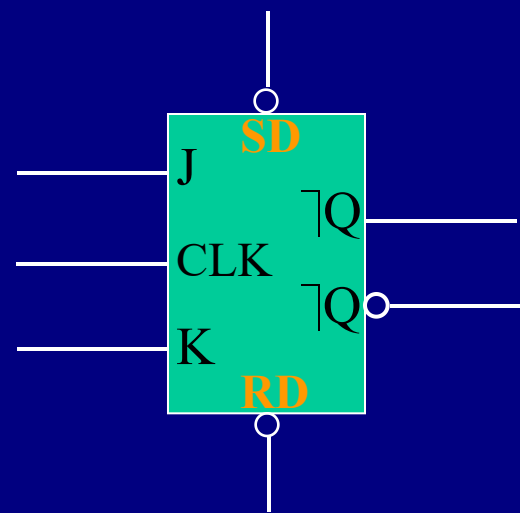
反转→计数

为使触发器稳定工作，要求触发脉冲的最小宽度需大于主触发器的状态转换稳定时间，即大于4个门的传输时间。

与主从S-R 触发器一样，在触发脉冲后沿到达前一段时间，输入J、K信号值应持续不变。

为了使触发器预先置于某一初始状态，在电路中还设置了一个直接置位端SD及直接复位端RD，

如右图所示。



f. 逻辑符号

3.1.2.8 边沿触发J—K 触发器

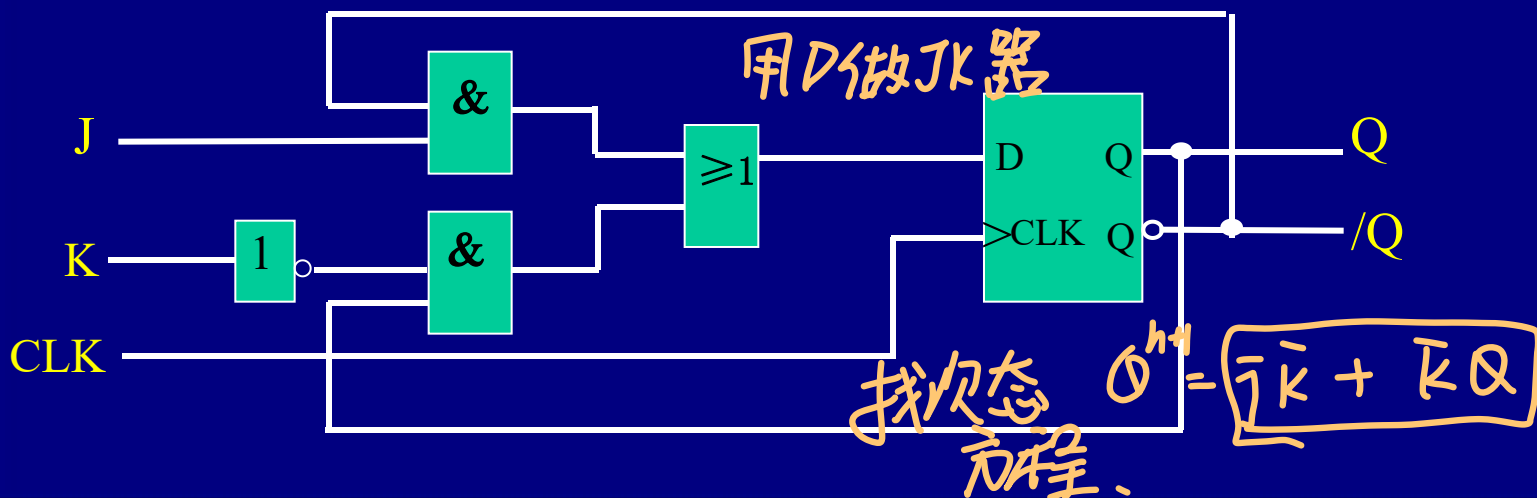
Edge-triggered J-K Flip-flop

边沿触发 J-K 触发器类似于 D 触发器也要求有建立时间和保持时间，但其建立时间较脉冲触发的 JK 触发器为短，因此应用更为广泛。

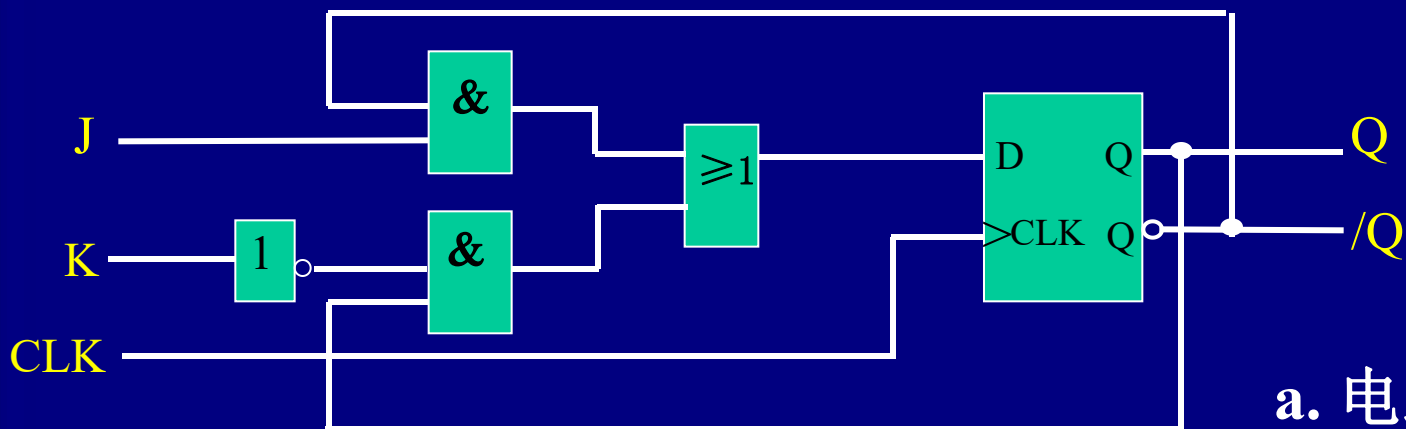
用 D 设计 JK?

JK 触发器常用于同步时序电路中，不过大部分时序电路采用的是 D 触发器。这是由于 D 触发器只需一个数据输入端，使得设计出的电路更加简单。

$$Q^{n+1} = D$$



边沿触发J-K 触发器(由D触发器构成的等价电路)



其中：D 输入端的逻辑表达式为

$$D = J \cdot \bar{Q} + \bar{K} \cdot Q$$

而 D 触发器的次态方程为：

$$Q^{n+1} = D$$

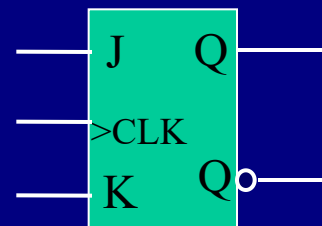
因此，有：

$$Q^{n+1} = J \cdot \bar{Q} + \bar{K} \cdot Q$$

边沿触发J-K 触发器的特性:

J	K	CLK	Q	/Q
d	d	0	保持不变	
d	d	1	保持不变	
0	0	↑	保持不变	
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	变反	

b. 功能表



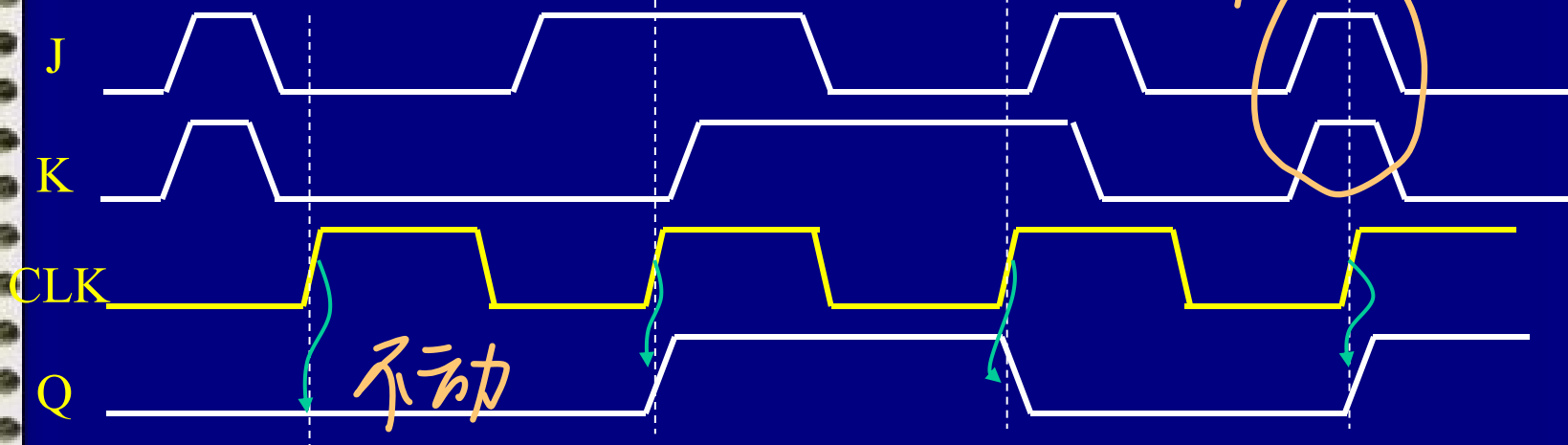
c. 逻辑符号

看J

10置1

01置1

同变反

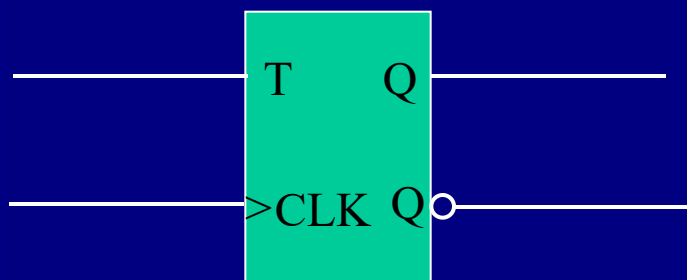


d. 工作时序图

3.1.2.9 T触发器 *T Flip-flop*

T触发器是一个计数触发器，其功能为：

当 $T = 1$ 时，每来一个计数脉冲CLK，输出就变反一次。



a. 逻辑符号

T	Q	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

不反

反

c. 次态真值表

T	CLK	Q / \bar{Q}
d	0	保持不变
d	1	保持不变
0	d	保持不变
1		变反

b. 功能表

T	Q_{n+1}
0	Q
1	\bar{Q}

d. 简化次态真值表

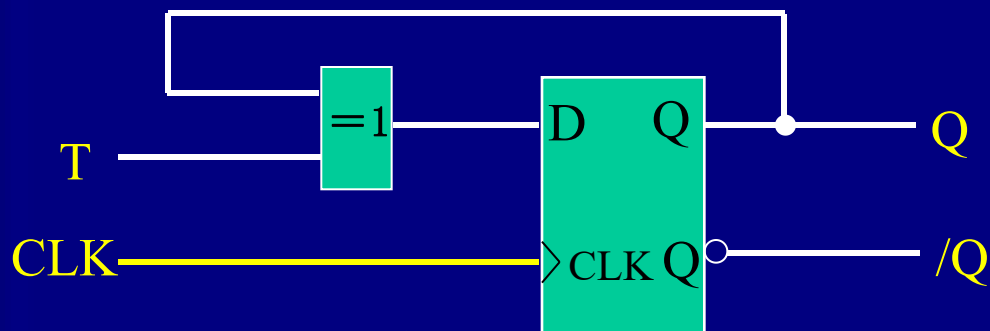
e. 次态方程

记忆 异或 $T \oplus Q$

$$Q_{n+1} = T \cdot Q + \bar{T} \cdot \bar{Q}$$

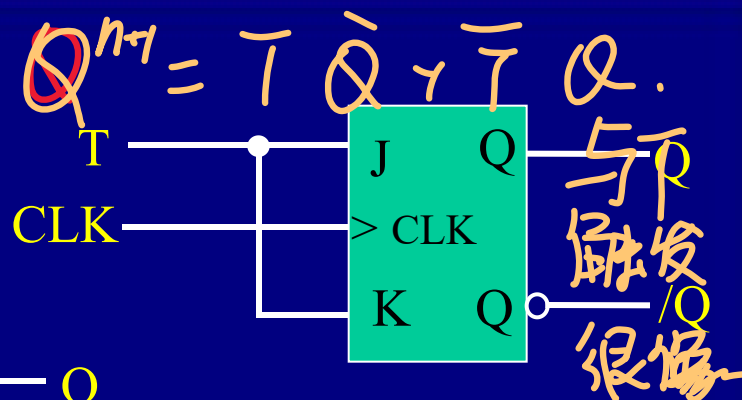
	T	0	1
Q	0	0	1
	1	1	0

T 触发器的实现



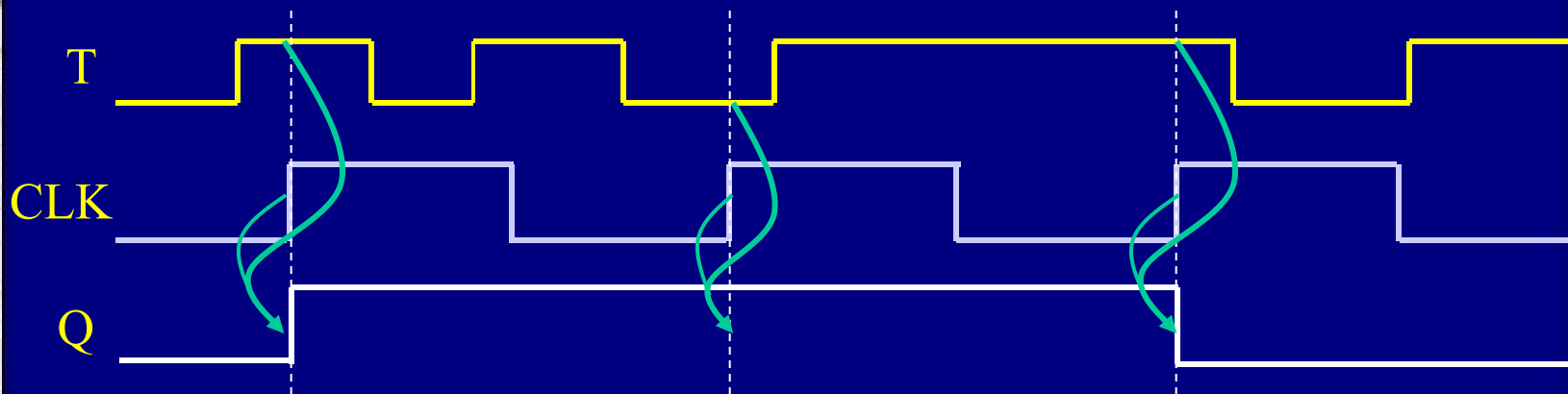
a. 用 D 触发器实现

外国复杂



b. 用 J-K 触发器实现

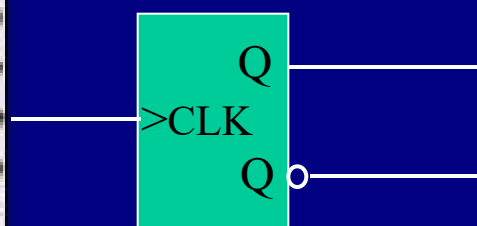
外国简单



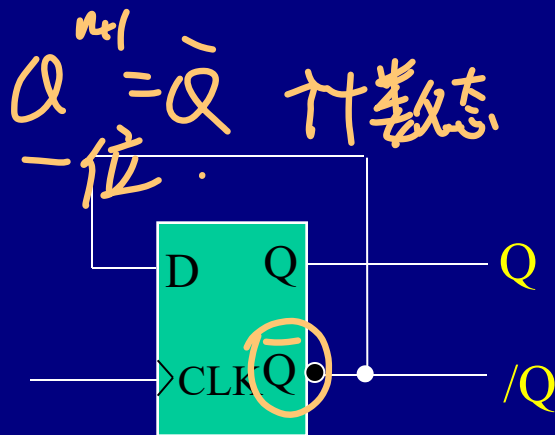
c. T 触发器典型时间图

无使能控制的 T 触发器

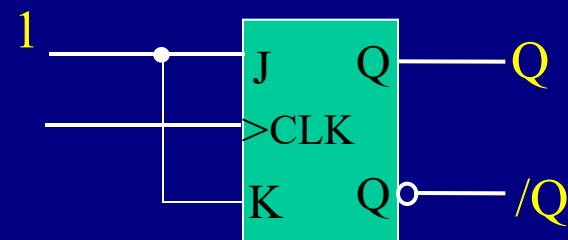
T触发器的 T 端实际是一个使能控制端，当 $T=1$ 时，触发器 T 才处于计数状态。在一些应用场合无需使能控制，这种 T 触发器很容易用 D 触发器及 JK 触发器构成，下图给出了无使能控制端的 T 触发器的逻辑符号、电路构成及工作时序图。



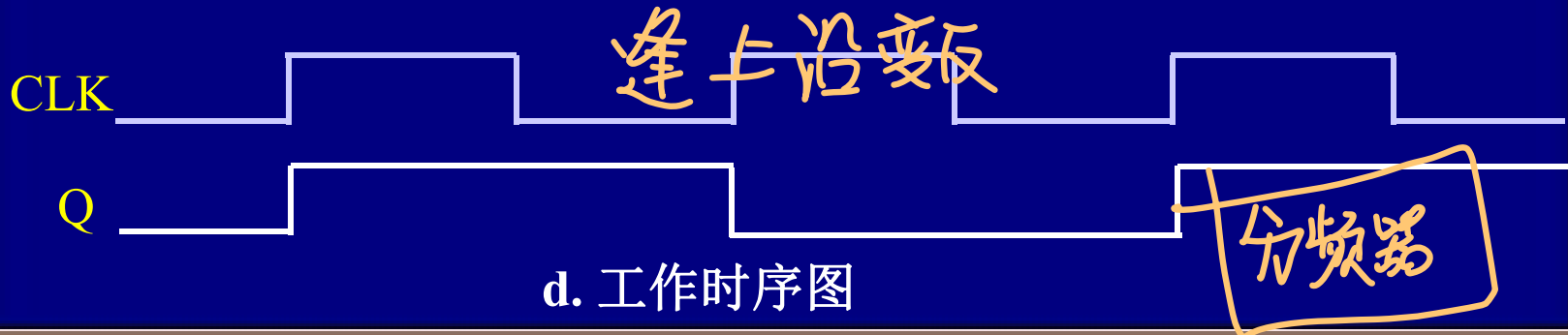
a. 逻辑符号



b. 由D触发器构成

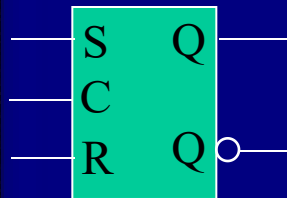


c. 用J-K触发器构成



触发器的激励表 *Excitation-tables*

S-R锁存器



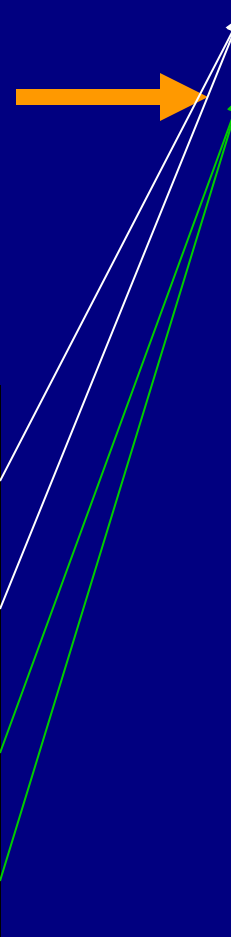
次态真值表

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

S	R	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

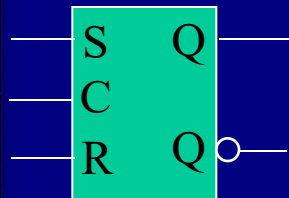
激励表

Q	Q^{n+1}	S	R
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0



触发器的激励表 *Excitation-tables*

S-R锁存器



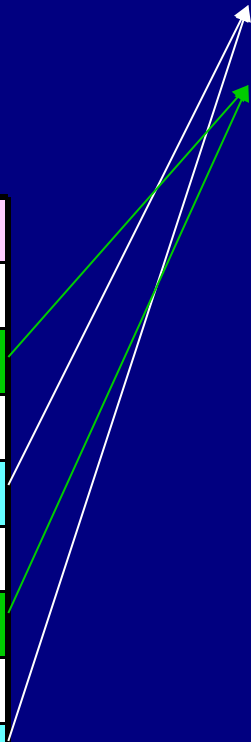
次态真值表

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

S	R	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	d
1	1	1	d

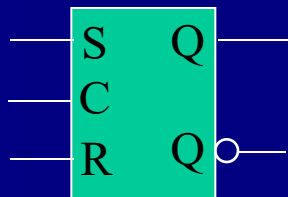
激励表

Q	Q^{n+1}	S	R
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0



触发器的激励表 *Excitation-tables*

S-R锁存器



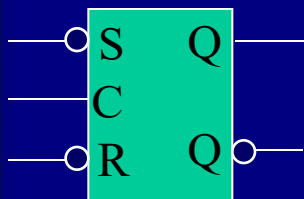
次态真值表

S	R	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	d

激励表

Q	Q^{n+1}	S	R
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

/S-/R锁存器

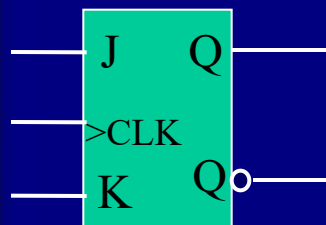


/S	/R	Q^{n+1}
0	0	d
0	1	1
1	0	0
1	1	Q

Q	Q^{n+1}	S	R
0	0	1	d
0	1	0	d
1	0	d	0
1	1	d	1

触发器的激励表(续)

J K 触发器



次态真值表

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}

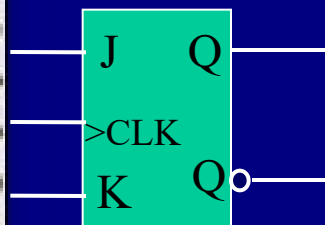
激励表

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

J	K	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

触发器的激励表(续)

J K 触发器



次态真值表

J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

J	K	Q	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

激励表

Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

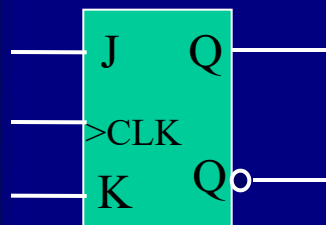


触发器的激励表(续)

次态真值表

其实也算含Q激励表
但并非那么具体

J K 触发器

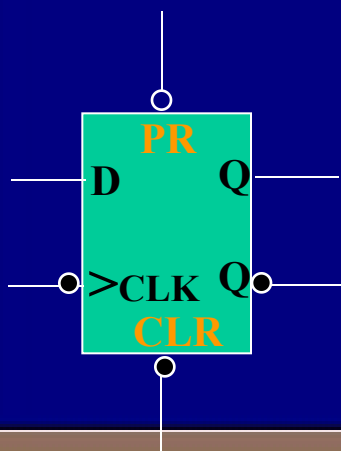


J	K	Q^{n+1}
0	0	Q
0	1	0
1	0	1
1	1	\overline{Q}



Q	Q^{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

D 触发器



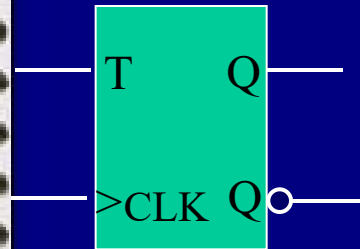
D	Q	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1



Q	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

触发器的激励表(续)

T 触发器



次态真值表

T	Q	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0



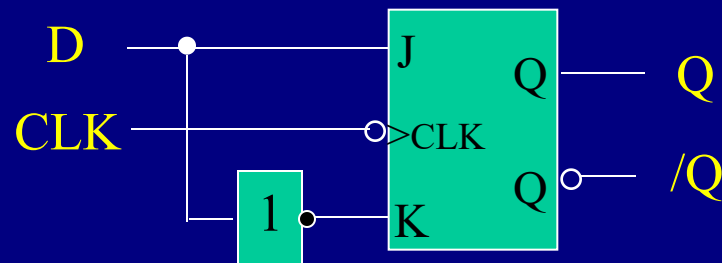
激励表

Q	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

触发器的类型转换 *Scan Flip-flop* (1)

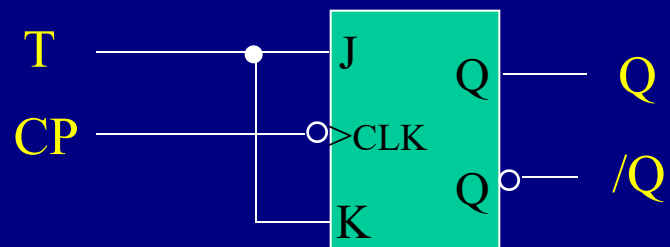
J K触发器转换为**D**触发器:

$$J = D \quad K = \overline{D}$$



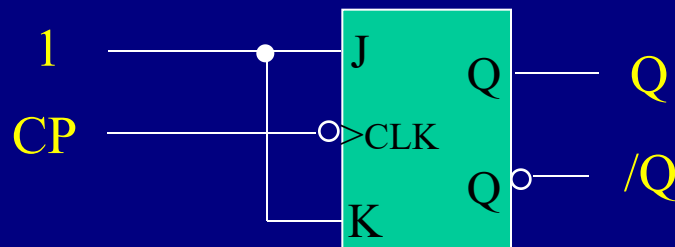
J K触发器转换为**T**触发器:

$$J = K = T$$



J K触发器转换为**无使能控制的T**触发器:

$$J = K = 1$$

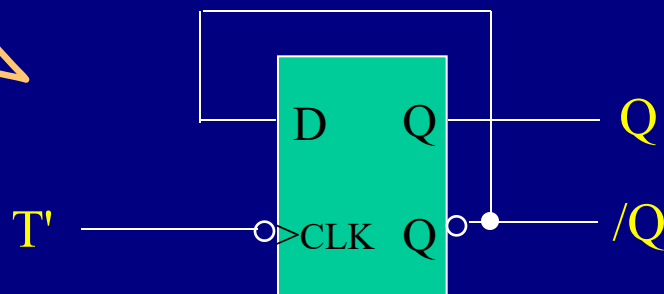


什么意思

触发器的类型转换 (2)

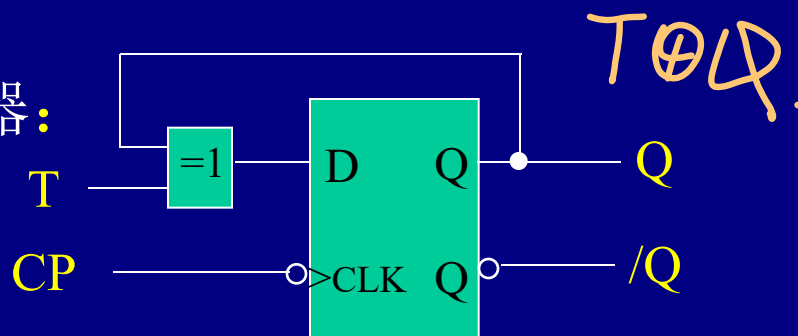
D 触发器转换为
无使能控制的 **T** 触发器:

$$D = \bar{Q}$$



D 触发器转换为 **T** 触发器:

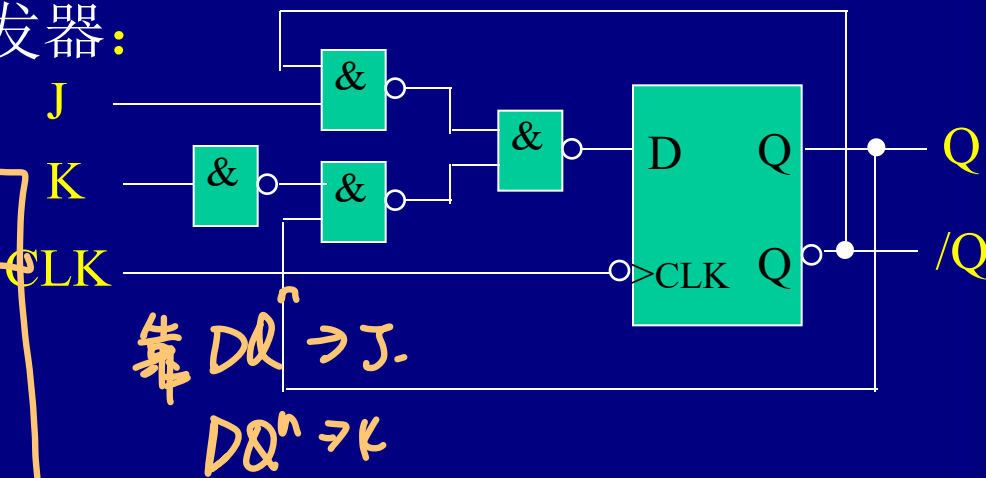
$$D = Q \oplus T$$



D 触发器转换为 **JK** 触发器:

$$D = J \cdot \bar{Q} + \bar{K} \cdot Q$$

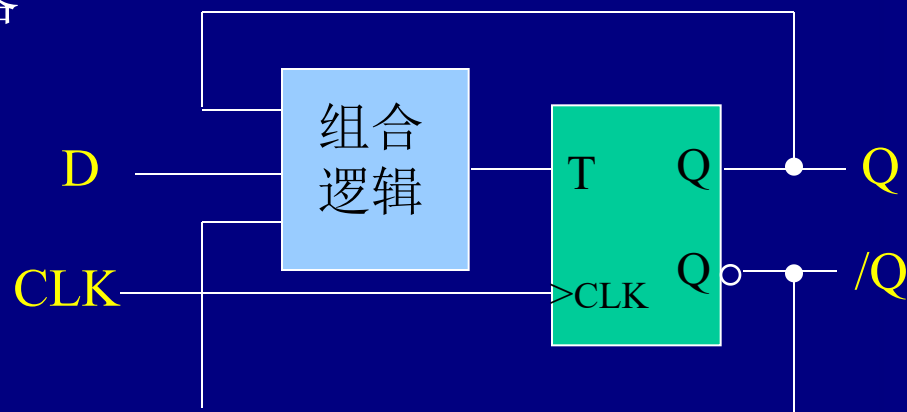
D	Q^n	Q^{n+1}	J	K
0	0	0	0	d
1	0	1	1	d
0	1	0	d	1
1	1	1	d	0



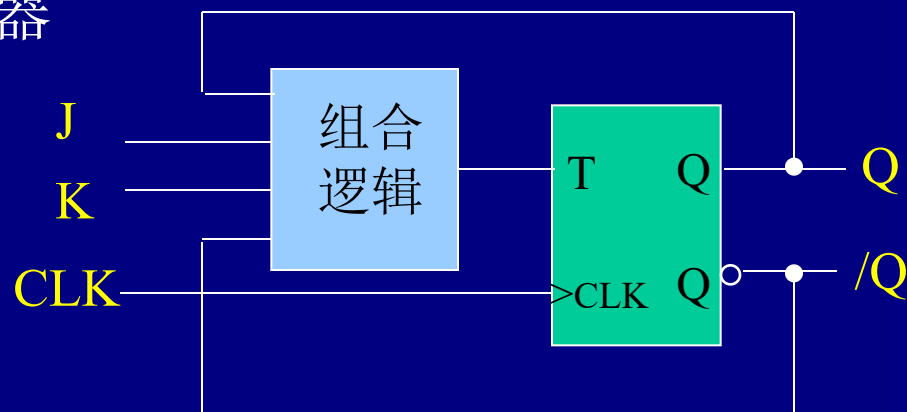
触发器的类型转换 (3)

T 触发器转换为 **D** 触发器

D	Q	Q_{n+1}	T
0	0	0	
0	1	0	
1	0	1	
1	1	1	



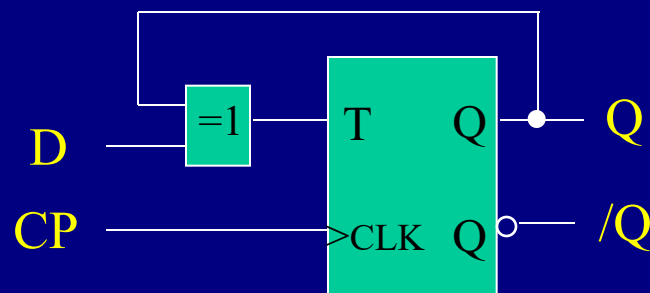
T 触发器转换为 **JK** 触发器



触发器的类型转换 (3)

T 触发器转换为 D 触发器

D	Q	Q ⁿ⁺¹	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

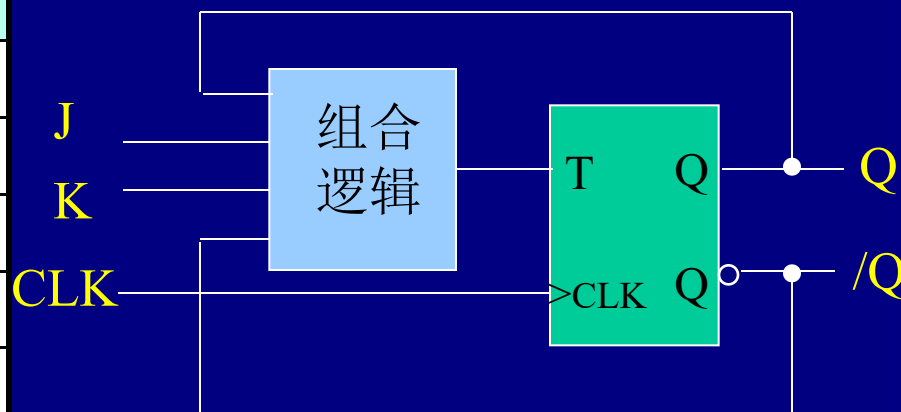


由卡诺图可得:

$$T = D \oplus Q$$

T 触发器转换为 JK 触发器

J	K	Q	Q ⁿ⁺¹	T
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	0	
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	



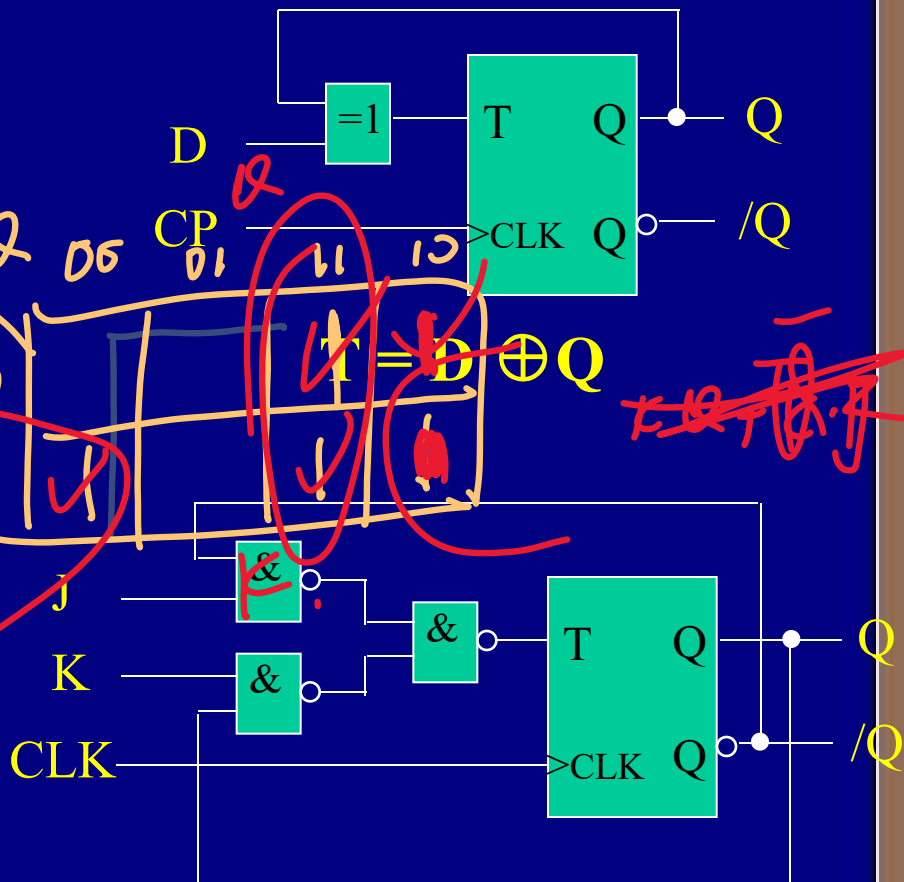
触发器的类型转换 (3)

T 触发器转换为 D 触发器

D	Q	Q ⁿ⁺¹	T
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

T 触发器转换为 JK 触发器

J	K	Q	Q ⁿ⁺¹	T
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1



由卡诺图可得:

$$T = J \cdot \bar{Q} + K \cdot Q$$

双稳态元件一览表

基本型 (无时钟信号输入)	与非门构成 /S /R 锁存器	输入信号低有效
	或非门构成 SR 锁存器	输入信号高有效
带时钟信号的锁存器	与非门构成的SR、D锁存器	输入信号高有效
带时钟的触发器 SR、D、JK、T	上升边沿触发（前沿触发）	输入信号高有效
	下降边沿触发（后沿触发）	输入信号高有效
	主从式触发	输入信号高有效

双稳态元件一览表（续）

	SR	JK	D	T																																																																
逻辑符号																																																																				
次态真值表	<table><tr><th>S</th><th>R</th><th>Qⁿ⁺¹</th></tr><tr><td>0</td><td>0</td><td>Q</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>d</td></tr></table>	S	R	Q ⁿ⁺¹	0	0	Q	0	1	0	1	0	1	1	1	d	<table><tr><th>J</th><th>K</th><th>Qⁿ⁺¹</th></tr><tr><td>0</td><td>0</td><td>Q</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>Q̄</td></tr></table>	J	K	Q ⁿ⁺¹	0	0	Q	0	1	0	1	0	1	1	1	Q̄	<table><tr><th>D</th><th>Qⁿ⁺¹</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	D	Q ⁿ⁺¹	0	0	1	1	<table><tr><th>T</th><th>Qⁿ⁺¹</th></tr><tr><td>0</td><td>Q</td></tr><tr><td>1</td><td>Q̄</td></tr></table>	T	Q ⁿ⁺¹	0	Q	1	Q̄																						
S	R	Q ⁿ⁺¹																																																																		
0	0	Q																																																																		
0	1	0																																																																		
1	0	1																																																																		
1	1	d																																																																		
J	K	Q ⁿ⁺¹																																																																		
0	0	Q																																																																		
0	1	0																																																																		
1	0	1																																																																		
1	1	Q̄																																																																		
D	Q ⁿ⁺¹																																																																			
0	0																																																																			
1	1																																																																			
T	Q ⁿ⁺¹																																																																			
0	Q																																																																			
1	Q̄																																																																			
次态方程	<table><tr><th>SR</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>d</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>d</td><td>1</td></tr></table> <p>Qⁿ⁺¹ = S + R̄ • Q 约束条件 S • R = 0</p>	SR	00	01	11	10	Q					0	0	0	d	1	1	1	0	d	1	<table><tr><th>JK</th><th>00</th><th>01</th><th>11</th><th>10</th></tr><tr><th>Q</th><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr></table> <p>Qⁿ⁺¹ = SQ̄ + RQ</p>	JK	00	01	11	10	Q					0	0	0	1	1	1	1	0	0	1	<table><tr><th>D</th><th>0</th><th>1</th></tr><tr><th>Q</th><td></td><td></td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr></table> <p>Qⁿ⁺¹ = D</p>	D	0	1	Q			0	0	1	1	0	1	<table><tr><th>T</th><th>0</th><th>1</th></tr><tr><th>Q</th><td></td><td></td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table> <p>Qⁿ⁺¹ = T ⊕ Q</p>	T	0	1	Q			0	0	1	1	1	0
SR	00	01	11	10																																																																
Q																																																																				
0	0	0	d	1																																																																
1	1	0	d	1																																																																
JK	00	01	11	10																																																																
Q																																																																				
0	0	0	1	1																																																																
1	1	0	0	1																																																																
D	0	1																																																																		
Q																																																																				
0	0	1																																																																		
1	0	1																																																																		
T	0	1																																																																		
Q																																																																				
0	0	1																																																																		
1	1	0																																																																		
激励表	<table><tr><th>Q</th><th>Qⁿ⁺¹</th><th>SR</th></tr><tr><td>0</td><td>0</td><td>0 d</td></tr><tr><td>0</td><td>1</td><td>1 0</td></tr><tr><td>1</td><td>0</td><td>0 1</td></tr><tr><td>1</td><td>1</td><td>d 0</td></tr></table>	Q	Q ⁿ⁺¹	SR	0	0	0 d	0	1	1 0	1	0	0 1	1	1	d 0	<table><tr><th>Q</th><th>Qⁿ⁺¹</th><th>JK</th></tr><tr><td>0</td><td>0</td><td>0 d</td></tr><tr><td>0</td><td>1</td><td>1 d</td></tr><tr><td>1</td><td>0</td><td>d 1</td></tr><tr><td>1</td><td>1</td><td>d 0</td></tr></table>	Q	Q ⁿ⁺¹	JK	0	0	0 d	0	1	1 d	1	0	d 1	1	1	d 0	<table><tr><th>Q</th><th>Qⁿ⁺¹</th><th>D</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	Q	Q ⁿ⁺¹	D	0	0	0	0	1	1	1	0	0	1	1	1	<table><tr><th>Q</th><th>Qⁿ⁺¹</th><th>T</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	Q	Q ⁿ⁺¹	T	0	0	0	0	1	1	1	0	1	1	1	0				
Q	Q ⁿ⁺¹	SR																																																																		
0	0	0 d																																																																		
0	1	1 0																																																																		
1	0	0 1																																																																		
1	1	d 0																																																																		
Q	Q ⁿ⁺¹	JK																																																																		
0	0	0 d																																																																		
0	1	1 d																																																																		
1	0	d 1																																																																		
1	1	d 0																																																																		
Q	Q ⁿ⁺¹	D																																																																		
0	0	0																																																																		
0	1	1																																																																		
1	0	0																																																																		
1	1	1																																																																		
Q	Q ⁿ⁺¹	T																																																																		
0	0	0																																																																		
0	1	1																																																																		
1	0	1																																																																		
1	1	0																																																																		