



2025

西安交通大学 信通学院

电子技术实验2

张翠翠

zhangcuicui@mail.xjtu.edu.cn

8 数字钟



C 目录

CONTENTS

忠 果 敦 精
恕 毅 笃 勤
任 力 励 求
事 行 志 学

01

总结

02

实验内容：数字钟

03

实验报告要求



Part 01

总结



课程安排 | Plan for Course



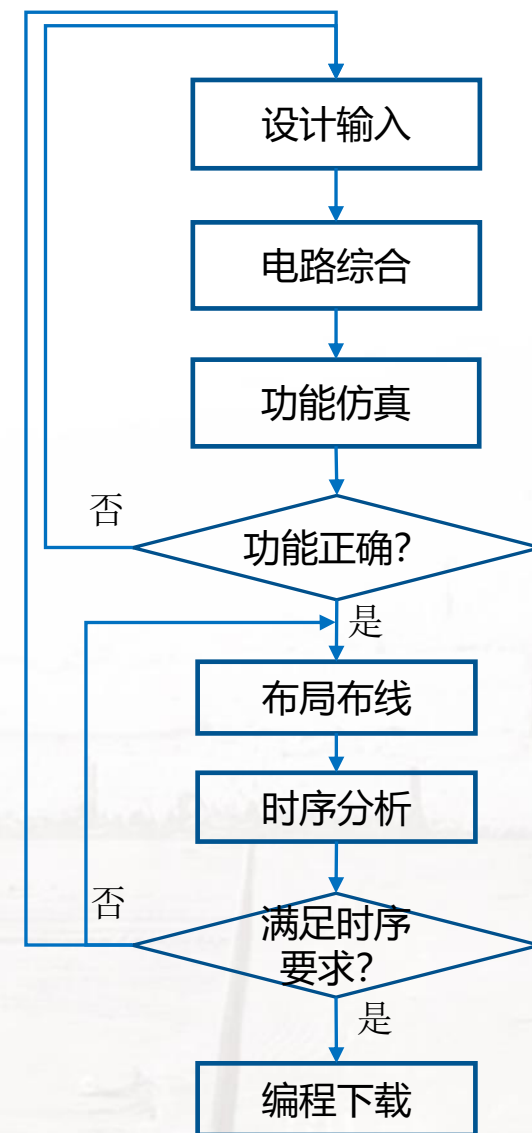
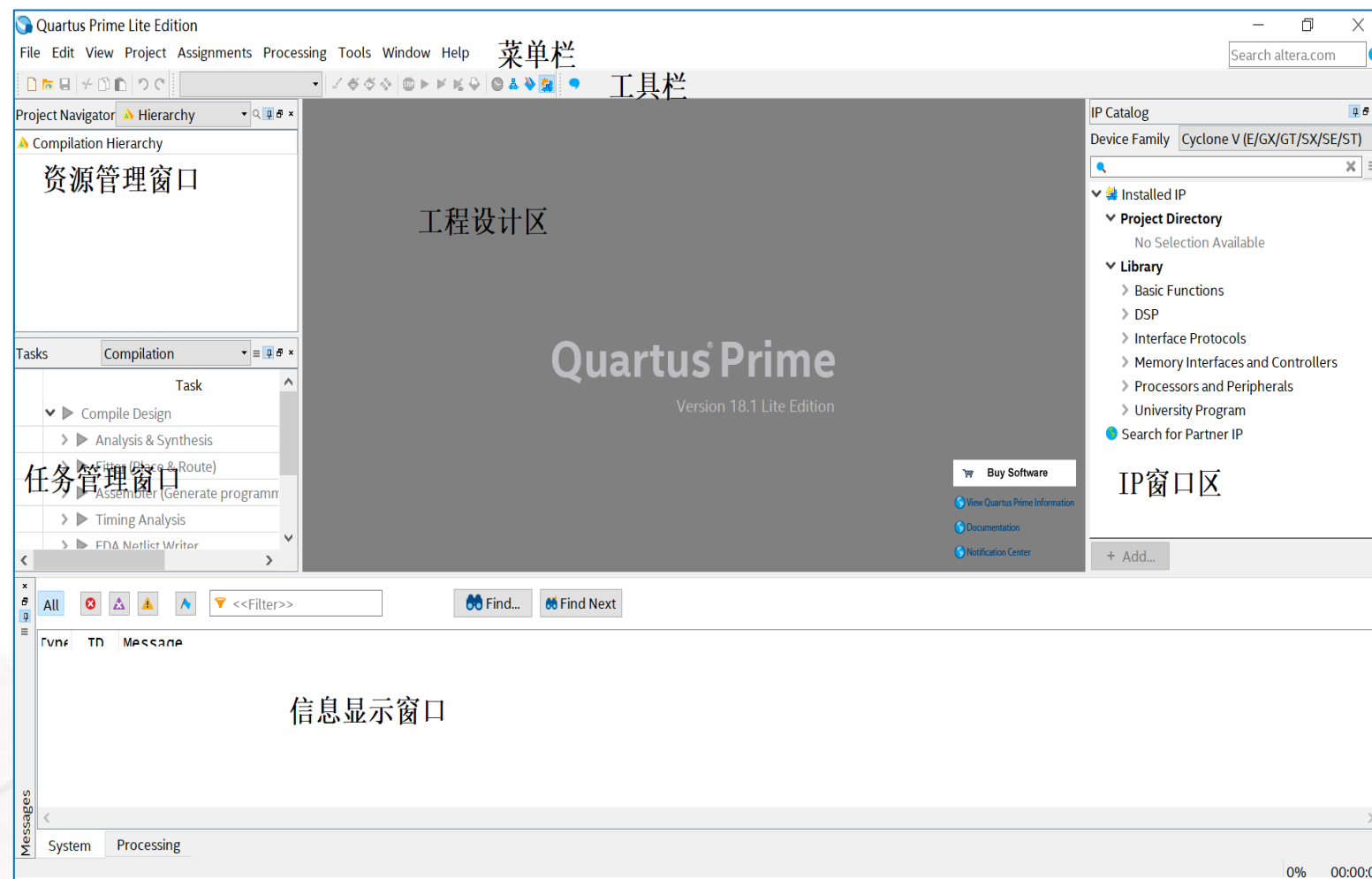
西安交通大学
XI'AN JIAOTONG UNIVERSITY

4

| 序号 | 实验内容 | 周次 | 考核内容和方式 | 分类 |
|----|-------------|----|----------------------|--------------|
| 1 | 仪器的基础使用 | 5 | 实验室里学生操作仪器 | 仪器基础 |
| 2 | 竞争与险象的分析与观测 | 7 | 搭建电路观测竞争与险象 | 组合逻辑电路设计 |
| 3 | 译码器电路设计与应用 | 8 | Quartus 图形化编程 3-8译码器 | |
| 4 | Verilog语法基础 | 9 | Quartus 程序设计, If 语句 | EDA工具和硬件描述语言 |
| 5 | 七段数码管 | 11 | Case语句 管脚分配和下载 | |
| 6 | 计数器设计与应用 | 12 | 计数器和分频器实现秒计数 | 时序逻辑电路设计 |
| 7 | 时序逻辑电路设计 | 13 | 任意模值计数器,动态扫描数码管 | |
| 8 | 数字系统设计 | 14 | 数字钟 | 数字系统 |



- Quartus Prime使用
- Verilog语言
- 实验箱
- 仪器使用





- 常见问题

- 1.如何打开工程，而不是打开一个文件
- 2.更换芯片
- 3.更换顶层实体
- 4.关掉了某些窗口不知如何打开
- 5.仿真工具设置
- 6.仿真Endtime设置

✓ 将设计综合为电路网表、生成适配于可编程器件的电路配置的文件（pof）、下载到芯片中固化芯片内部的电路，从而使芯片表现出我们想要的数字电路的功能



● 电路单元module

模块定义 端口定义 内部逻辑实现

● 数据类型

常数: 4' b0010 == 4' h2 == 4' d2

线网wire: assign

寄存器reg: 在过程块 (always) 里赋值

● Verilog操作符

&& ||、 & |、 >= <=、 {2' b00, 2' b11}

● 过程块和过程赋值

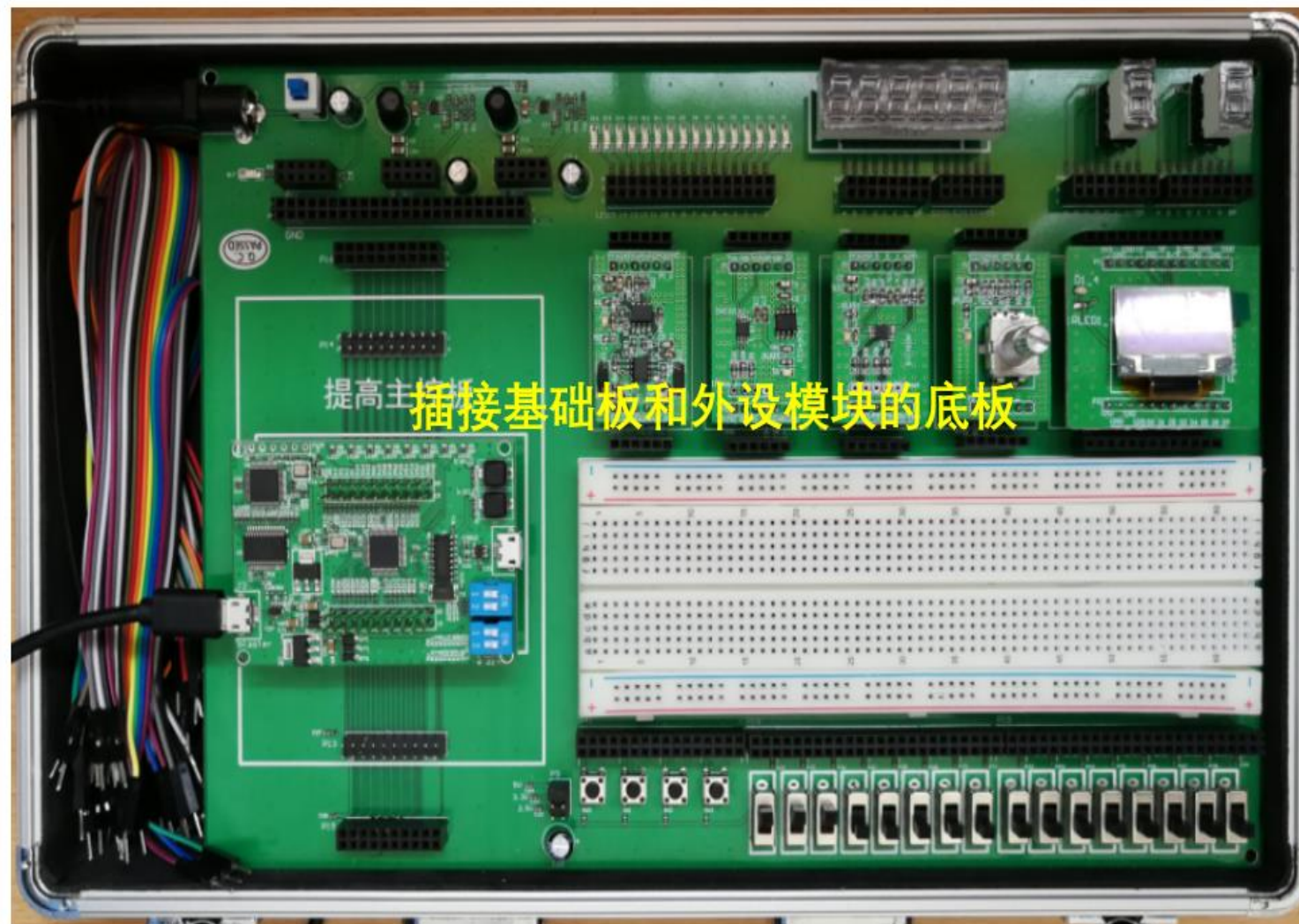
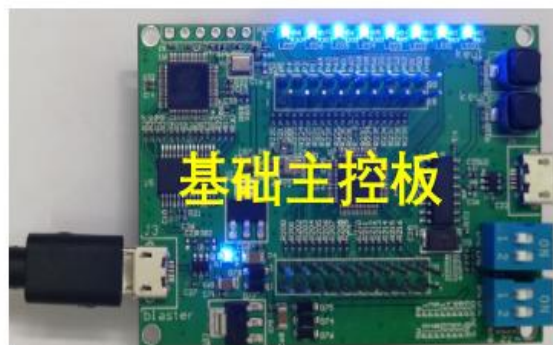
always @ (*)

always @ (posedge clk)

● 条件语句——if语句 和 case语句

● 常见问题

1. 一定要和C的顺序执行区别理解
2. 硬件描述语言 综合后是电路模块
3. 线网型变量用assign赋值
4. 寄存器型变量在过程块中赋值
5. 一个变量在一个过程块里驱动，用多条分支语句尽量涵盖完所有的情况
6. 运算和赋值时，注意位宽的匹配
7. 不要用过多的条件嵌套语句 会影响电路的速度
8. 注意缩进和多写注释

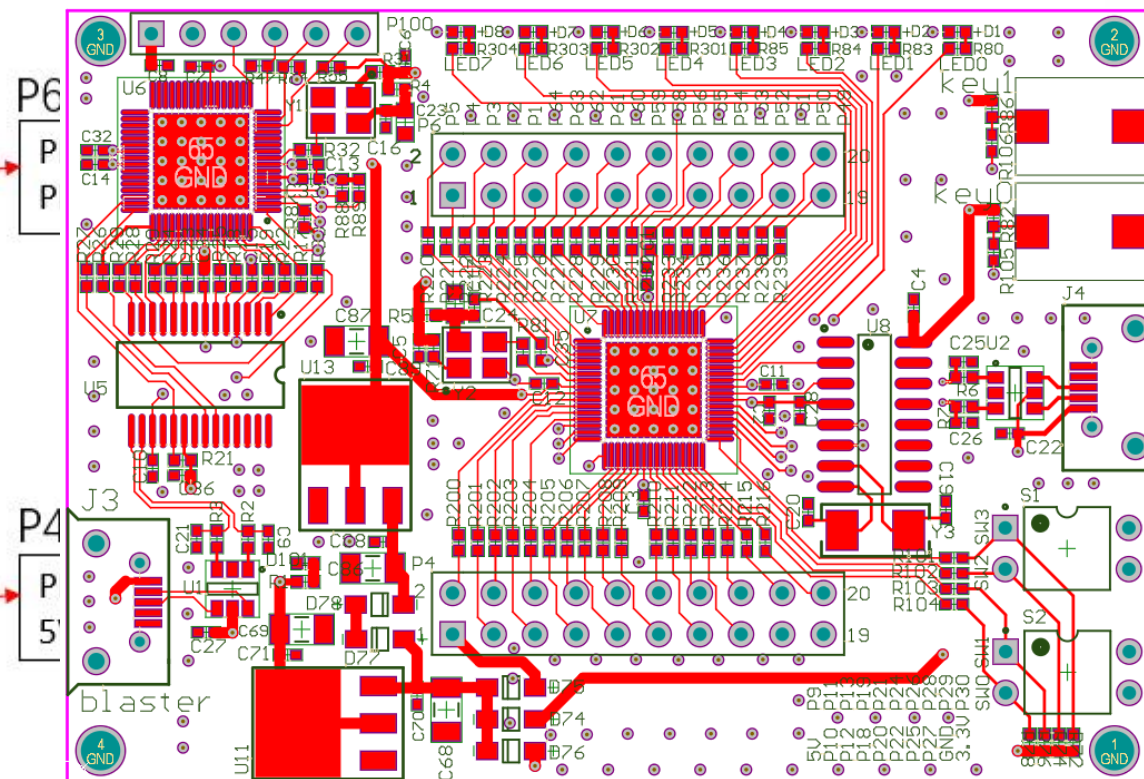
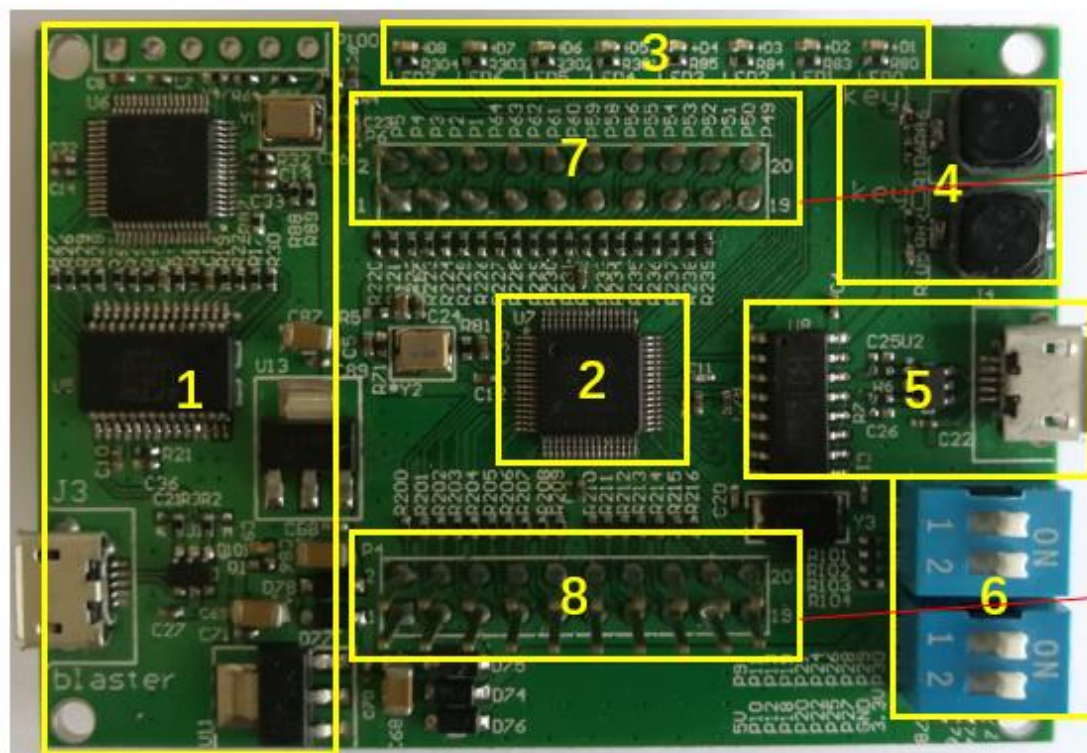


1.3

实验箱

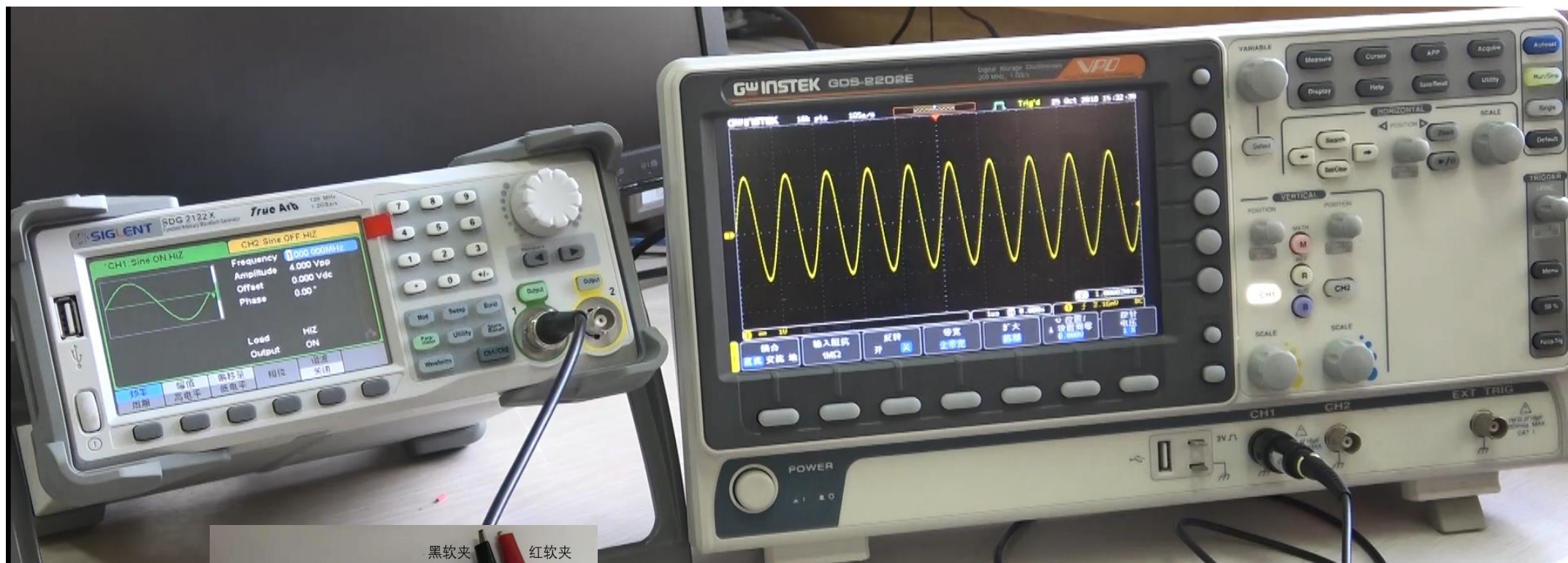
CPLD型号: 5M160ZE64C5N

5M: MAX V 系列的命名
160Z: 含有的逻辑单元的多少, 即容量大小
E: 封装类型
64: 管脚数目
C: 工作温度
4: 速度等级
N: 多功能后缀, N表示无铅封装





| 编号 | 名称 | 和5M160E64C8N的管脚连接 | 说明 |
|----|--------------------|--|--|
| 1 | USB Blaster | TMS: PIN 14 TDI: PIN 15 TCK: PIN 16 TDO: PIN 17 | 板载USB Blaster编程器。 通过JTAG管脚和CPLD器件相连,通过JTAG协议配置CPLD器件。 |
| 2 | 5M160E64C5N | | CPLD器件 |
| 3 | 8个LED灯 | LED7: PIN 48 LED6: PIN 47 LED5: PIN 46 LED4: PIN 45 LED3: PIN 44 LED2: PIN 43 LED1: PIN 38 LED0: PIN 37 | 3.3V电平标准。 控制信号为高时, 点亮。 |
| 4 | 2个按键 | Key0: PIN 35 key1: PIN 36 | 3.3V电平标准。 按下时输出低电平, 松开时输出高电平。 |
| 5 | USB-UART串口 | RXD: PIN 42 TXD: PIN 40 | 3.3V电平标准 RXD: 信号输入到基础板 TXD: 信号从基础板输出 |
| 6 | 4位拨码开关 | SW0: PIN 31 SW1: PIN 32 SW2: PIN 33 SW3: PIN 34 | 3.3V电平标准 拨向左输出为高电平 拨向右输出为低电平 |
| 7 | P6: 通用IO | 见图所示 | 3.3V电平标准 |
| 8 | P4: 通用IO | 见图所示 | 3.3V电平标准 |





Part 02

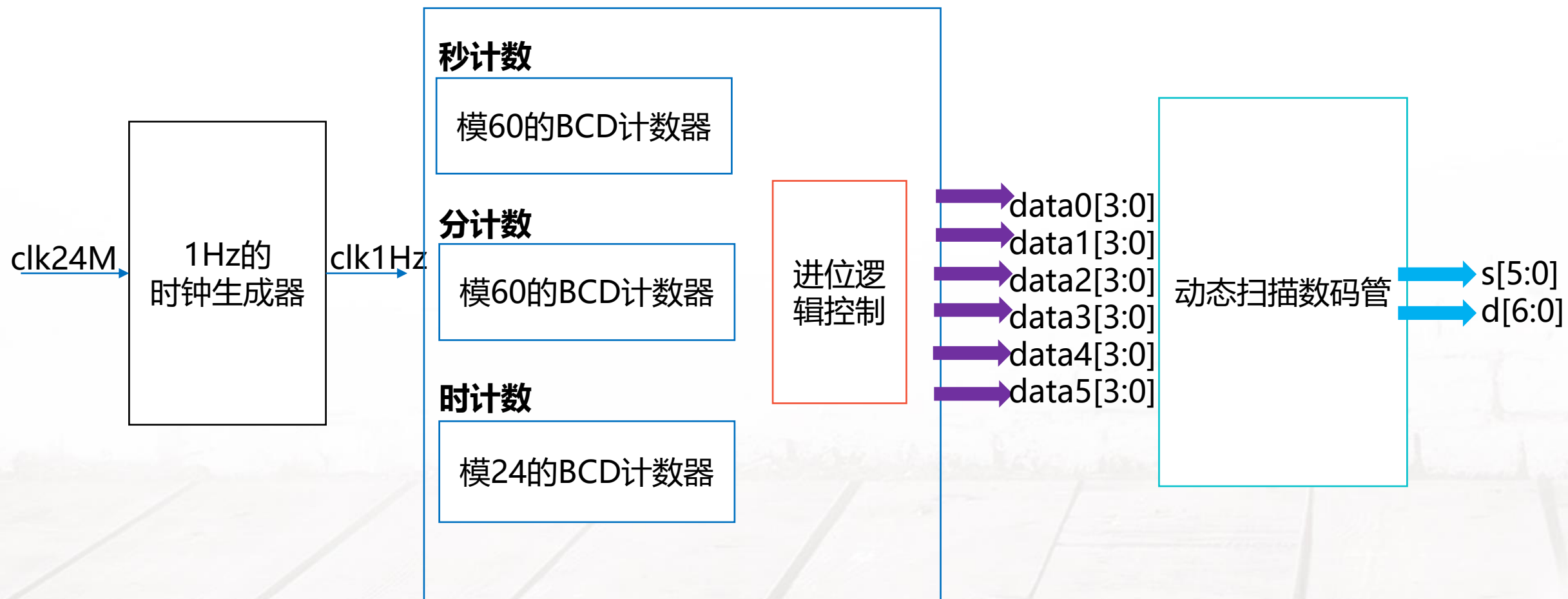
数字钟



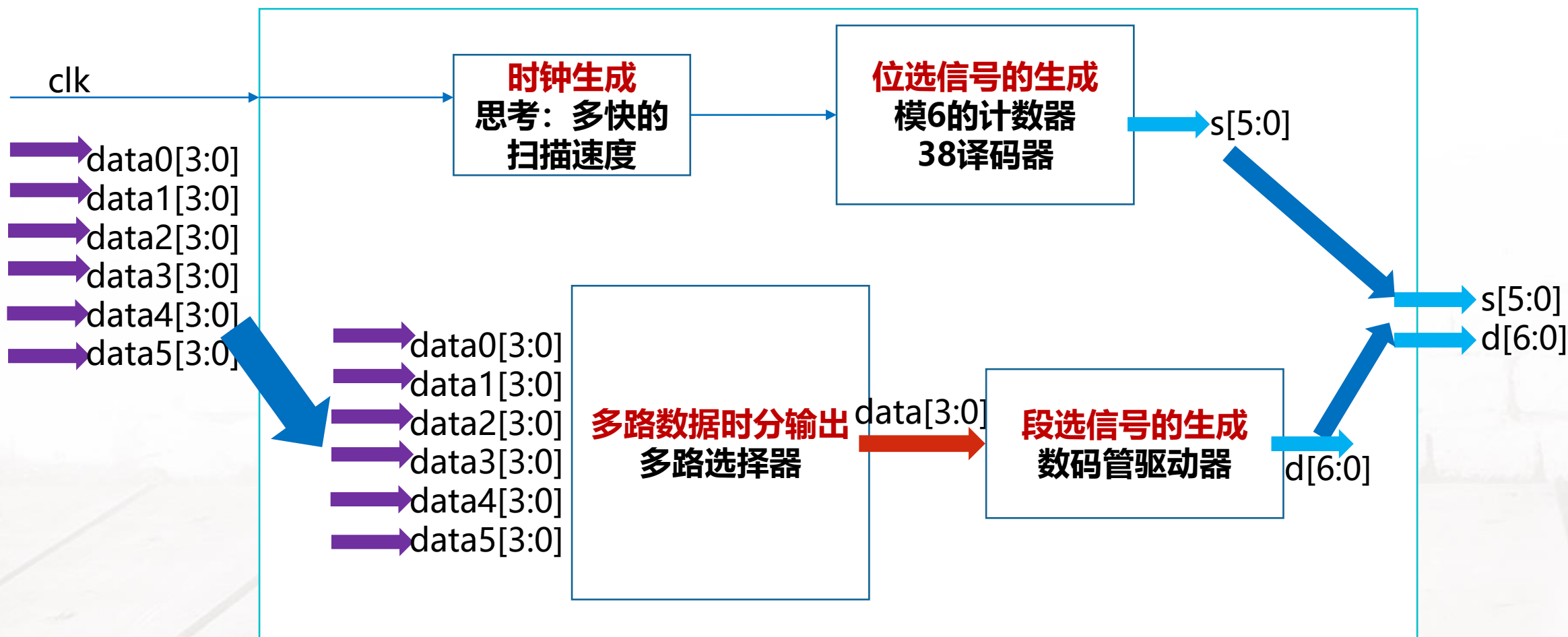


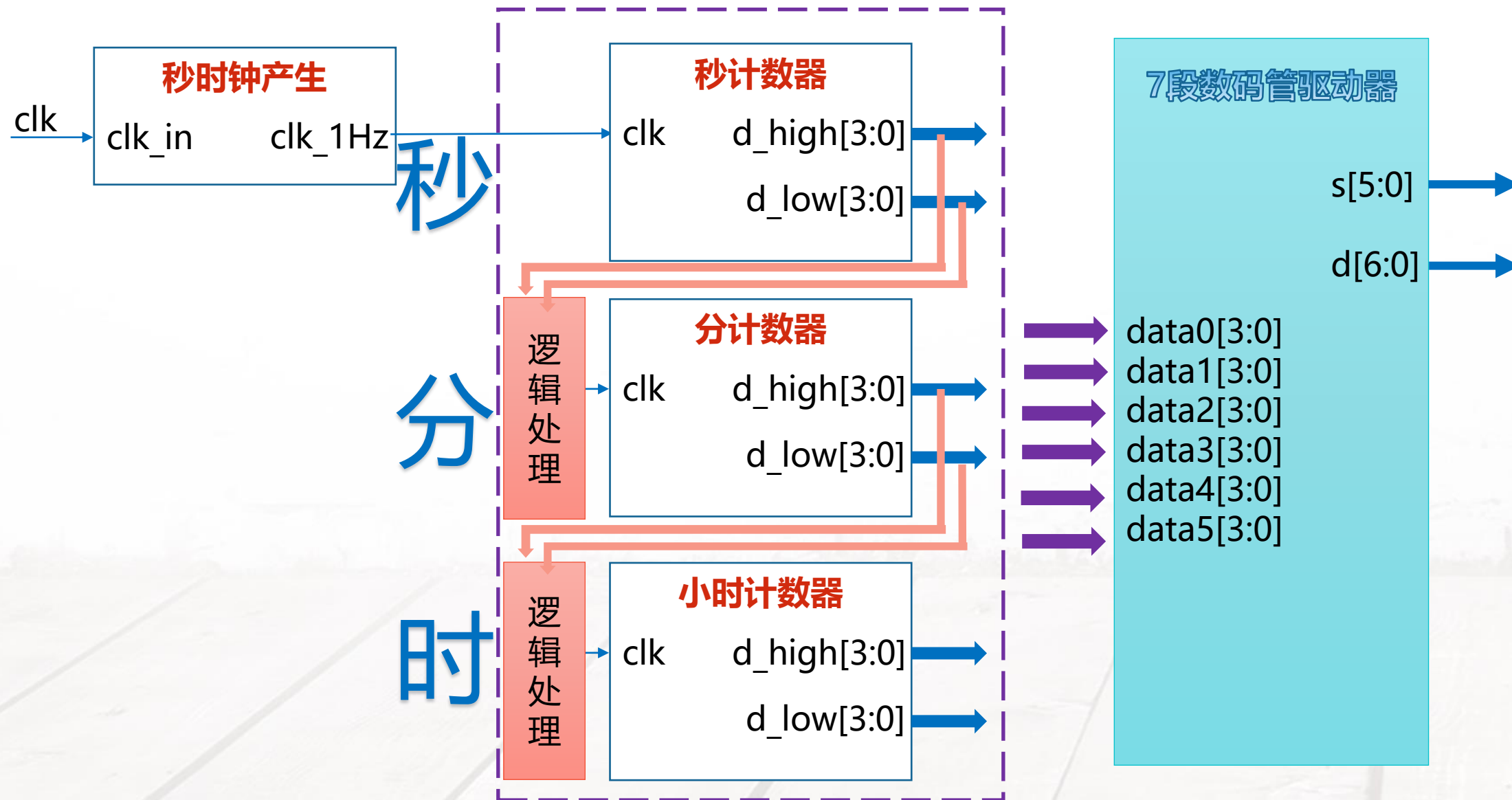
1. BDF实现
2. Verilog实现
3. BDF+Verilog
4. 自顶向下、自底向上

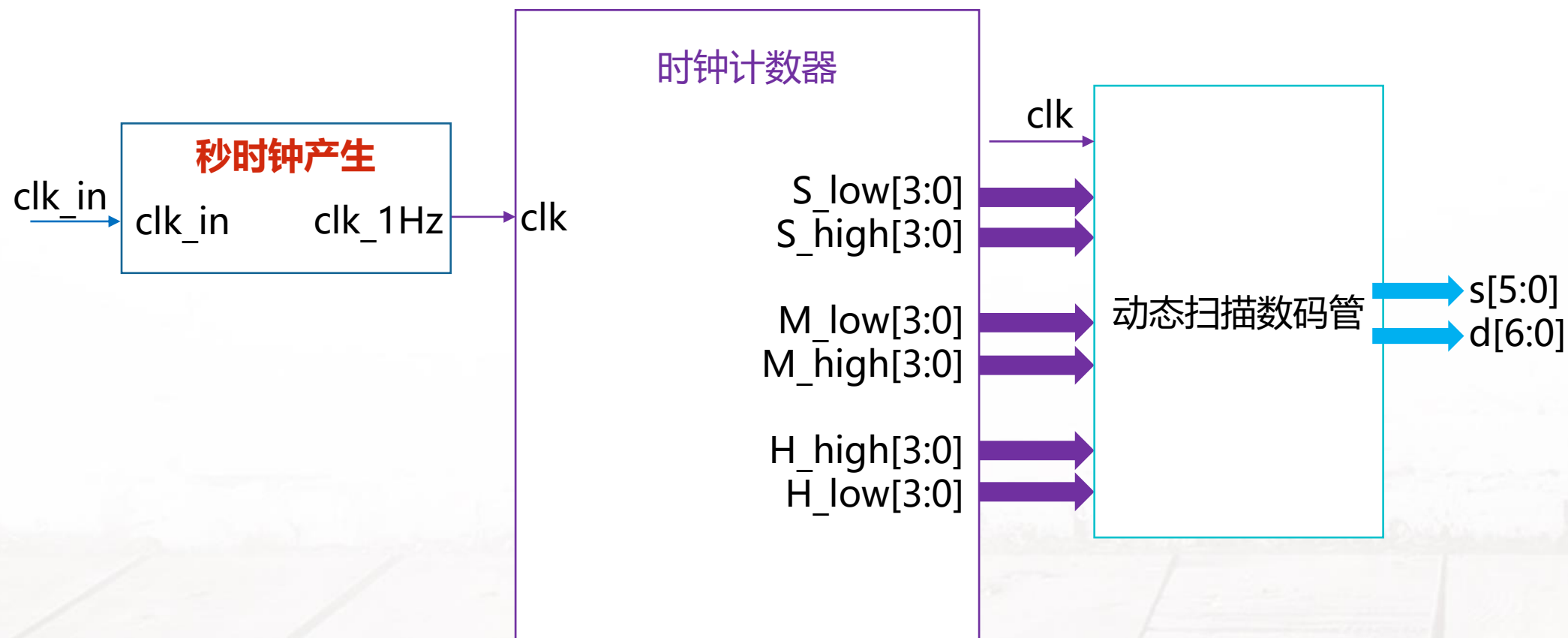
注意：优化设计 保证有限的资源下能够放下你的电路！

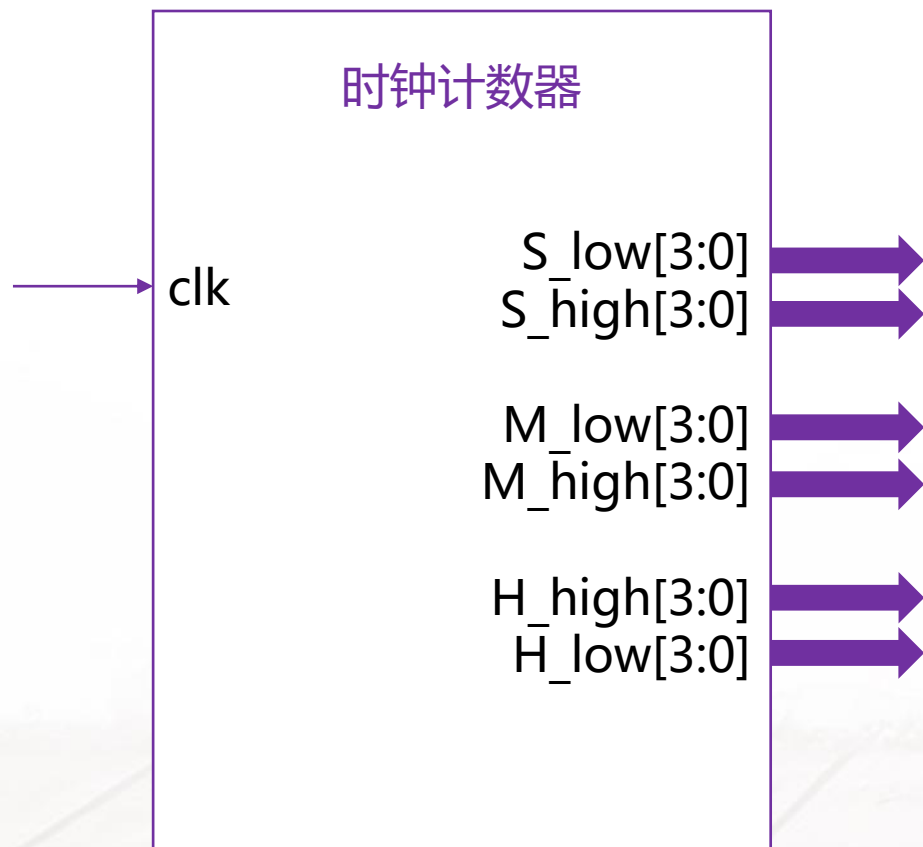


动态扫描数码管









```

1 module shuzizhong(
2     input clk,
3
4     output reg [3:0] s_low,
5     output reg [3:0] s_high,
6     output reg [3:0] m_low,
7     output reg [3:0] m_high,
8     output reg [3:0] h_low,
9     output reg [3:0] h_high
10 );
11
12 always @(posedge clk) begin
13     if(s_low == 4'd9) begin
14         s_low <= 4'd0;
15     end
16     else begin
17         s_low <= s_low + 4'd1;
18     end
19 end
20 always @(posedge clk) begin
21     if((s_low == 4'd9) && (s_high < 4'd5)) begin
22         s_high <= s_high + 4'd1;
23     end
24     else if((s_low == 4'd9) && (s_high == 4'd5)) begin
25         s_high <= 4'd0;
26     end
27     else begin
28         s_high <= s_high;
29     end
30 end
31 /*
32 仿照以上例句，继续完成分钟和小时的计数输出
33 */
34 endmodule

```



1. 新建工程lab8;
2. 采用自顶向下或自底向上的设计方法, 使用BDF或Verilog或者两者相结合完成数字钟的设计;
3. 对设计的各模块进行仿真;
4. 分配管脚, 全编译;
5. 下载验证。

注意: 尽量优化, 使得资源不超出芯片的资源

可以更改芯片型号为**EP4CE15F17C8N**, 仅作仿真



Part 03

实验报告要求

- 实验内容
- 电路设计
- 实验过程
- 实验结果



◆ 实验报告应至少包含

1. 实验内容
2. 实验原理
3. 实验过程
4. 实验结果
5. 总结

实验报告模板 →

电子技术实验 2 实验报告

学号:

班级:

姓名:

8 数字系统设计

一 题目描述

描述要实现的题目和设计目标

二 实验原理

按照自顶向下或自底向上的设计思路，描述整个设计原理。

如果是自底向上，先描述各模块具体设计、再描述各模块如何组装成完整的系统

如果是自顶向下，先描述整个设计的方案和系统的模块划分、再描述各模块的具体电路设计原理

三 实验过程

实验中的过程记录，特别要注意设计文件 和 管脚分配的截图或说明。

四 实验结果

包括仿真结果和下载验证结果

五 总结

1. 描述数字系统的设计方法
2. 本次实验中遇到的问题及解决方法
3. 这门实验课程的学习体验和建议