

3.8 (3) 用带使能端的 T 触发器和组合逻辑构成 D 触发器。

(4) 用带使能端的 T 触发器和组合逻辑构成 J-K 触发器。

3.13 分别作出下列两种方式的 “101” 序列检测器的 Mealy 型和 Moore 型状态图。该同步时序电路有一个输入 x ，一个输出 Z 。

(1) “101” 序列可以重叠，例如：

x : 10100101011

Z : 00100001010

(2) “101” 序列不可以重叠，例如：

x : 10100101011

Z : 00100001000

3.14 化简习题图 3.10 所示原始状态表。

3.15 化简习题图 3.11 所示原始状态表。

x_2x_1 y	00	01	11
A	$D/1$	$C/0$	$E/1$
B	$D/0$	$E/0$	$C/1$
C	$A/0$	$E/0$	$B/1$
D	$A/1$	$B/0$	$E/1$
E	$A/1$	$C/0$	$B/1$

$y^n \rightarrow Z$

习题图 3.10

x_2x_1 y	00	01	11	10
1	1/0	d/d	2/1	3/0
2	d/d	4/0	5/1	2/0
3	1/0	d/d	2/1	1/0
4	3/0	4/0	5/1	4/0
5	6/1	1/0	2/1	d/d
6	5/1	3/0	d/d	2/0

y^{n+1}/Z

习题图 3.11

3.16 分别用 D 触发器、J-K 触发器和 T 触发器设计习题图 3.12 所示状态表所对应的电路，两个状态变量为 Q_2, Q_1 ，且状态分配为： $A=00, B=01, C=11, D=10$ 。

x S	0	1	Z
A	B	D	0
B	C	B	0
C	B	A	0
D	B	C	1

S^{n+1}

习题图 3.12

3.18 试设计一个串行数据 1111 序列检测器。当连续输入 4 个或 4 个以上的 1 时，检测器输出为 1，否则输出为 0。

3.19 试设计一个五进制可逆计数器。

3.22 试设计一个能产生 011100111001110 的序列脉冲发生器。

3.23 设计一个串行乘法器电路，该电路具有控制开关 $K_3K_2K_1K_0$ ，当输入一串二进制 x 时，输出 $Z=Kx$ 。其中， $0 \leq K \leq 15$ ， $K = K_3K_2K_1K_0$ 。