

第三章 时序电路的分析与设计

3.1 时序电路基础

3.1.1 时序电路概述

3.1.2 时序电路的双稳态元件

3.2 同步时序电路的分析与设计

3.2.1 同步时序电路的分析

3.2.2 同步时序电路的设计

3.3 异步时序电路的分析与设计

3.3.1 脉冲异步时序电路概述

3.3.2 脉冲异步时序电路的分析步骤

3.3.3 脉冲异步时序电路的设计步骤

3.4 常用MSI时序逻辑器件及其应用

3.4.1 计数器(可逆)

3.4.2 寄存器

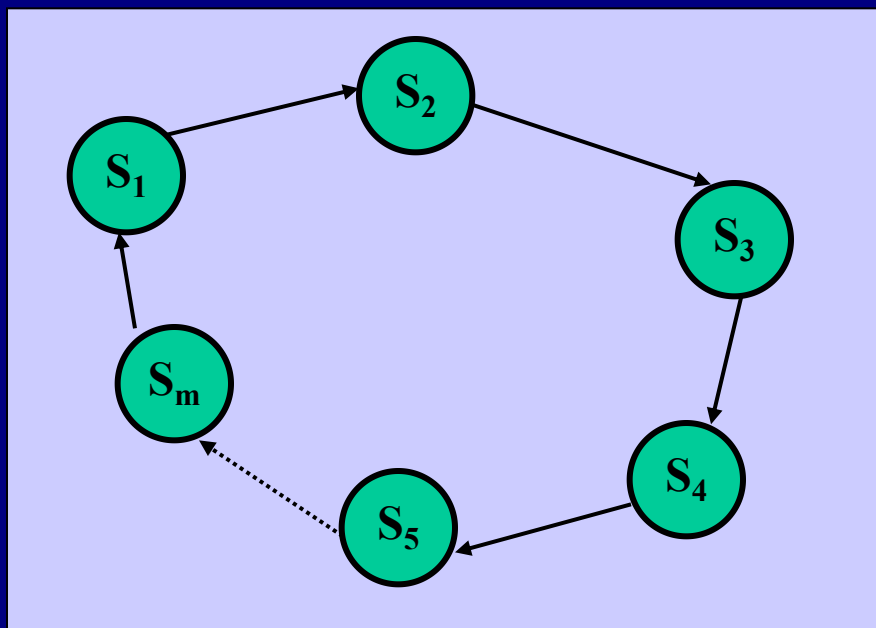
3.4.3 节拍分配器

高频.

3.4 常用MSI时序逻辑器件及其应用

3.4.1 计数器 *Counters*

计数器的状态个数称为计数器的模。如图所示的为模 m 的计数器。



计数器状态图的一般结构

计数器的分类:

① 按功能: 加法计数器, 减法计数器, 可逆计数器

② 按进位方式:

串行计数器 (异步计数器) *Ripple counters*

并行计数器 (同步计数器) *Synchronous counters*

③ 按进位基数: 二进制计数器 *Binary-counters*

十进制计数器 *decimal-counters*

任意进制计数器 应该须解决

n 个触发器可以构成模 m 的计数器, 其中: $m \leq 2^n$ 。

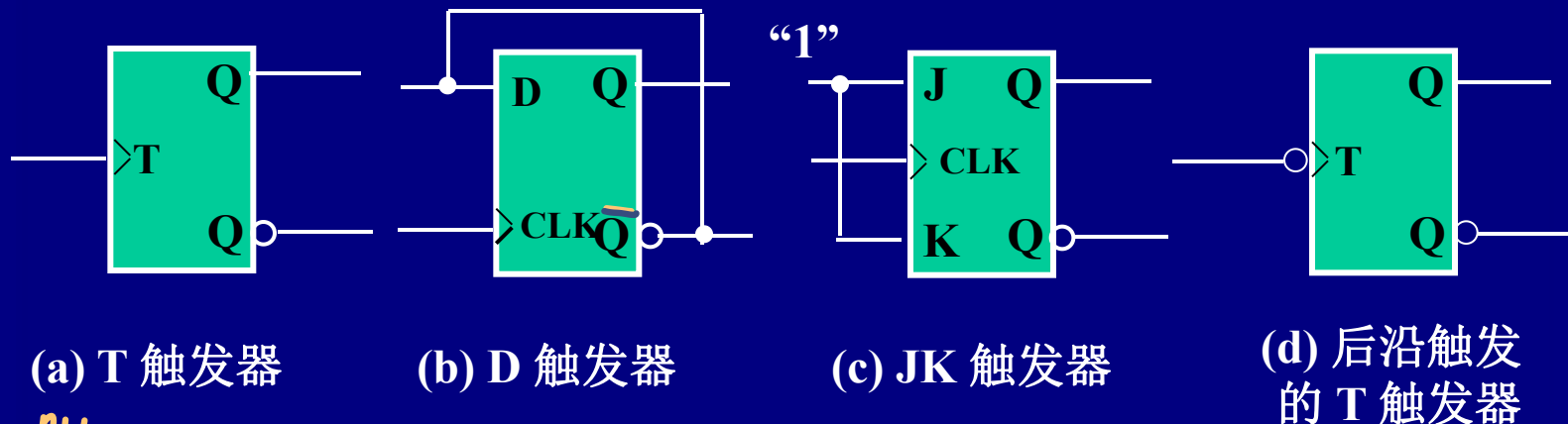
模10至少4个 步进得5个

3.4.1.1 二进制串行计数器 *Ripple Counters*

(1) 一个 **n 位二进制** 串行计数器可直接由边沿触发的触发器为基本单元的 **n 个触发器** 构成。

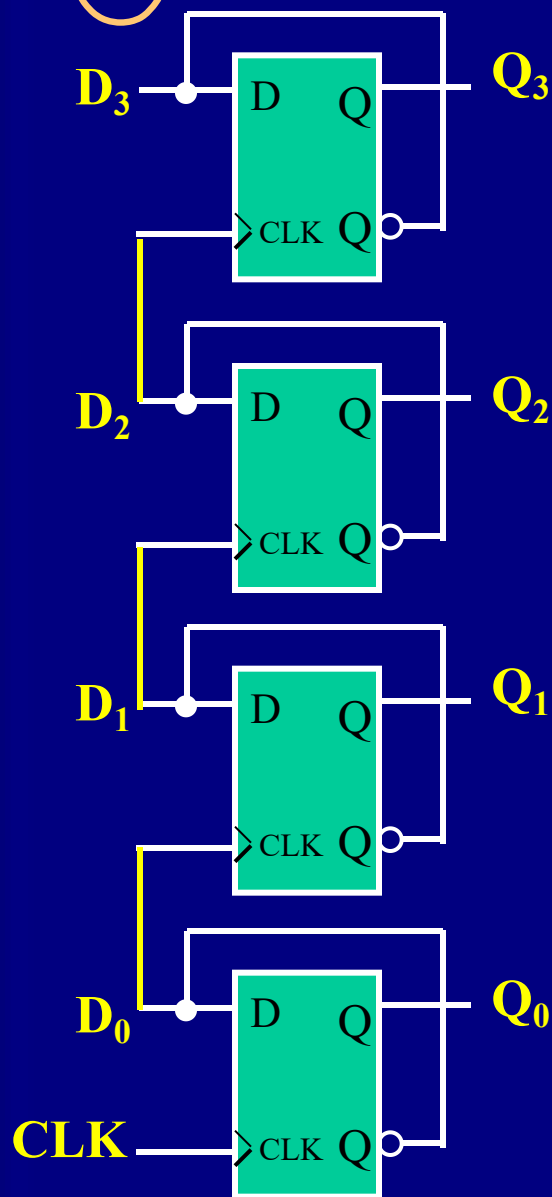
各个基本单元的次态方程为: $Q^{n+1} = \bar{Q}$ (计数状态)
模2计数

由各种类型的触发器所构成的串行计数器的基本单元



$$Q^{n+1} = T \oplus Q^n$$

串行计数器的连接结构 *CLK 由低位决定*



(2) 计数器中的每一位均可能产生进位或借位，因此每一位触发器的状态变化只同它低一位的触发器状态变化有关，即：

Q_i 的变化 \rightarrow CLK_{i+1} 的变化，
使有可能 CLK_{i+1} 的变化 \rightarrow Q_{i+1} 的变化

CLK \rightarrow 低位反端

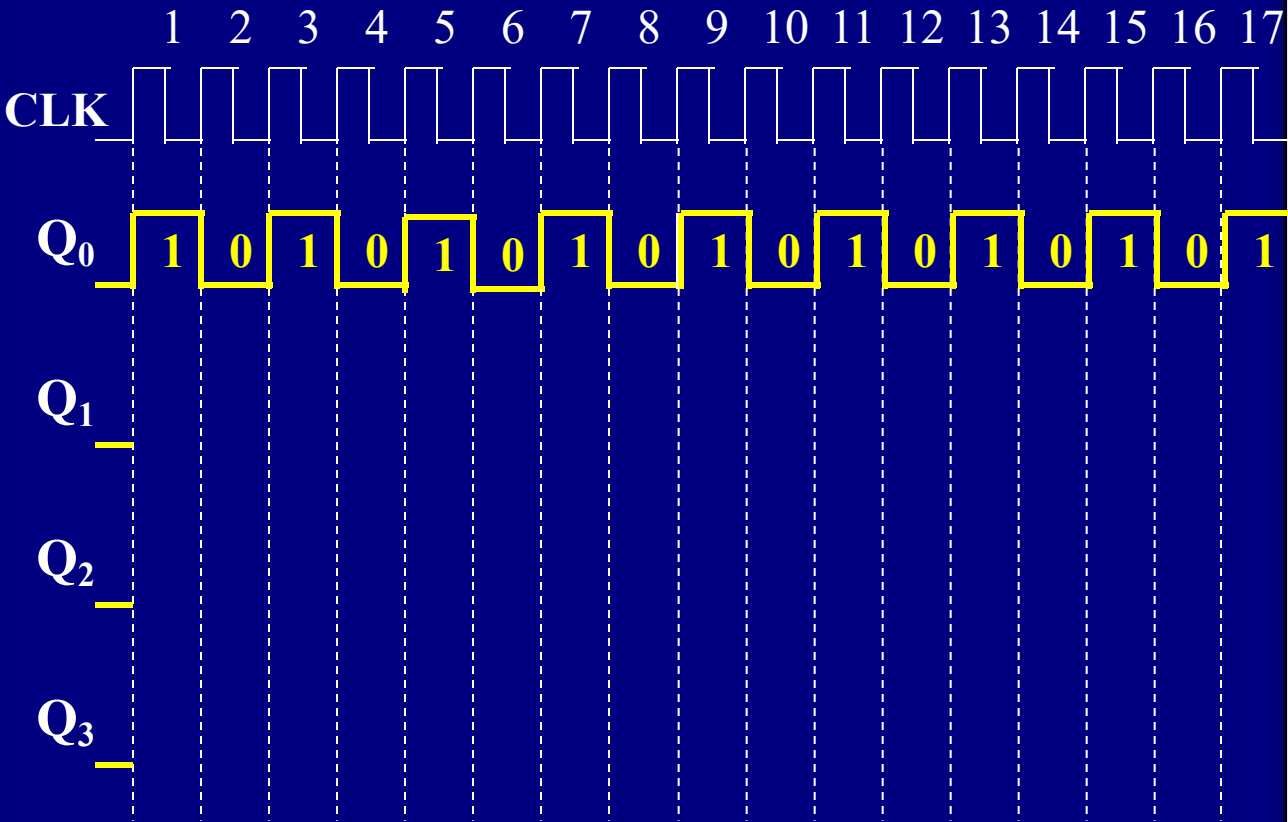
例 分析左图所示电路。

$$Q_3^{n+1} = \overline{Q_3}$$

$$Q_1^{n+1} = \overline{Q_1}$$

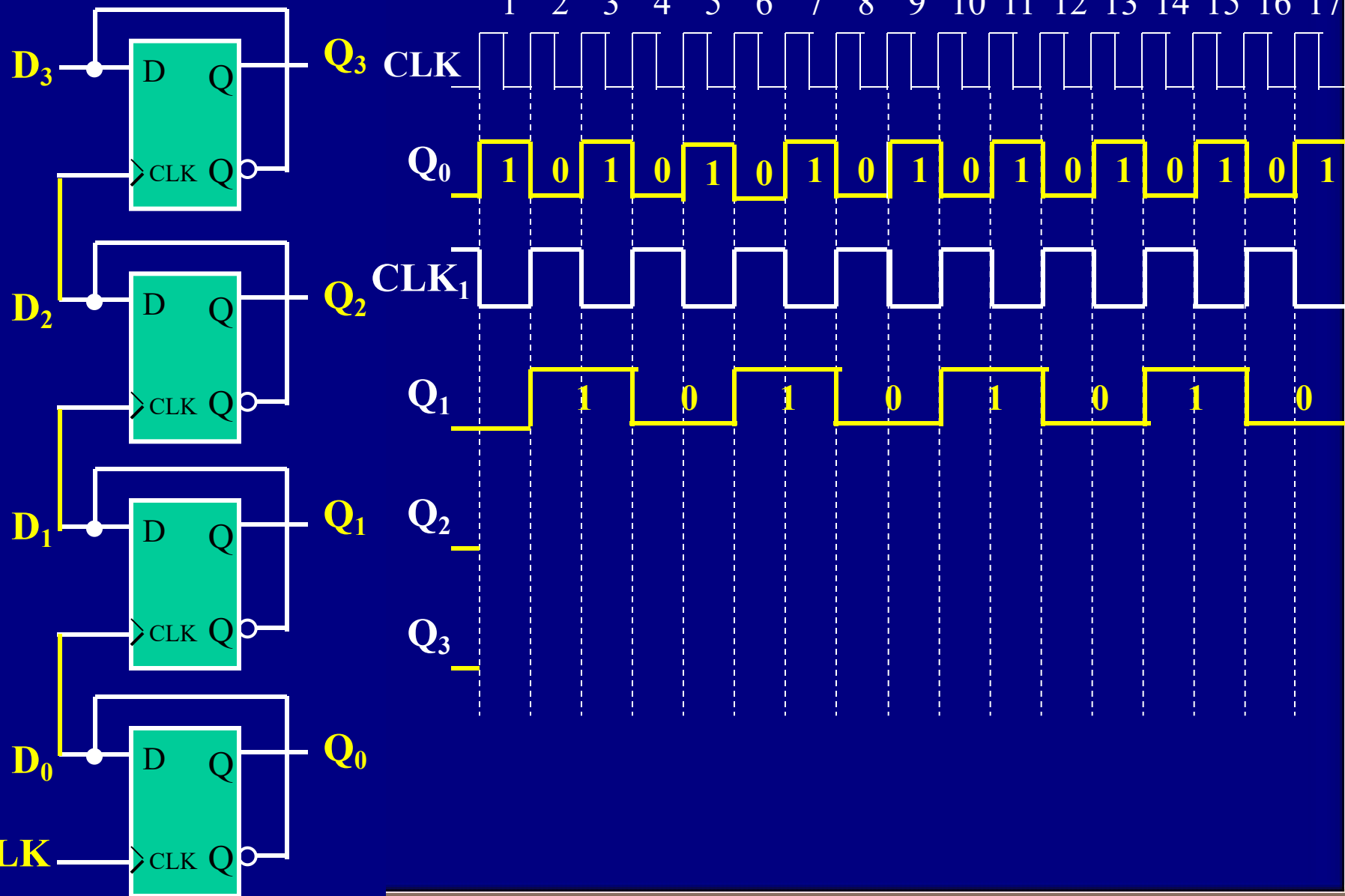
$$Q_2^{n+1} = \overline{Q_2}$$

$$Q_0^{n+1} = \overline{Q_0}$$

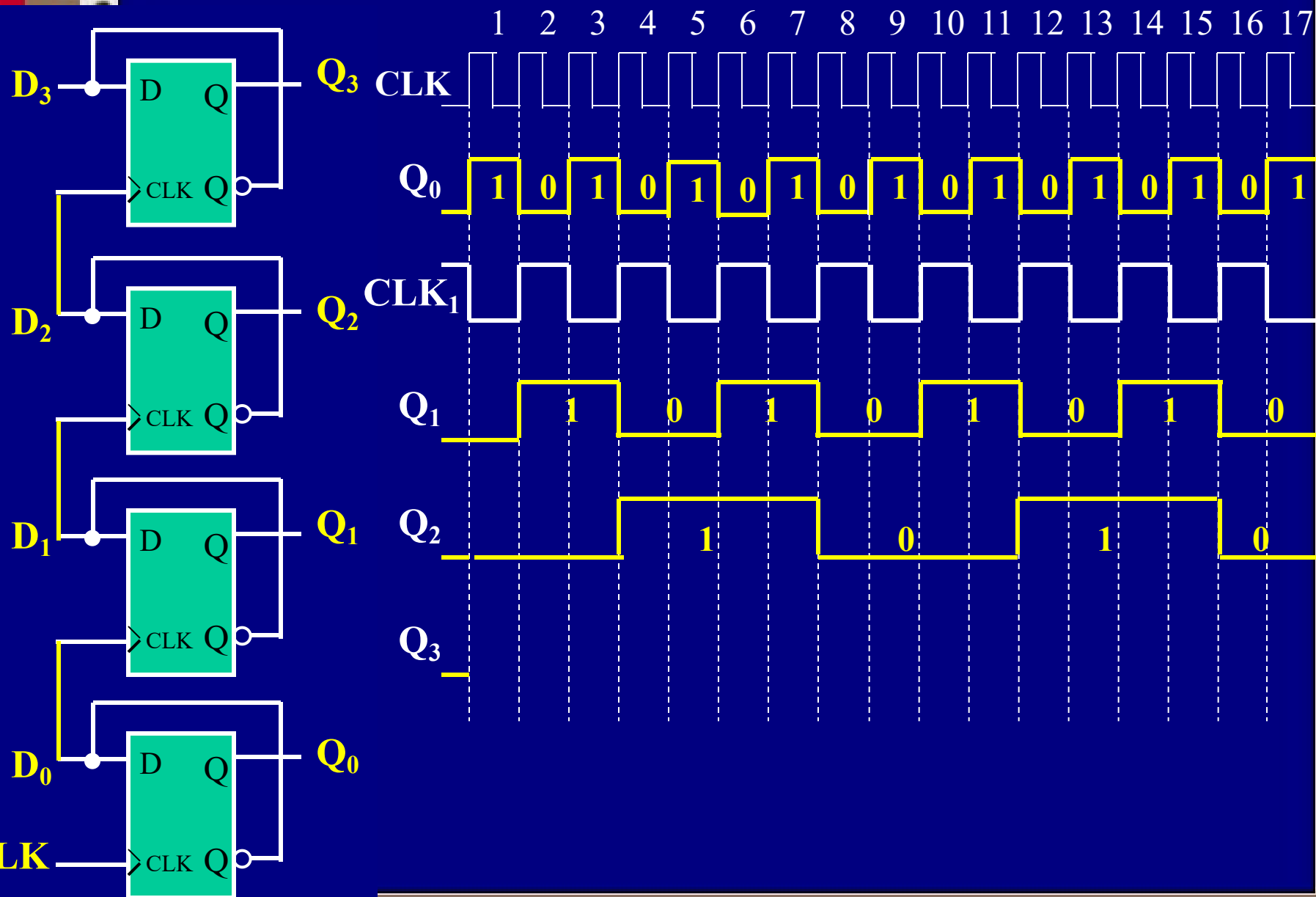


Timing diagram showing the CLK signal and the outputs Q_0 , Q_1 , Q_2 , and Q_3 over 17 clock cycles. The CLK signal is a periodic square wave. The Q_0 output is a square wave alternating between 1 and 0 at each clock edge. The Q_1 , Q_2 , and Q_3 outputs are shown as horizontal lines at low levels, indicating they have not yet updated.

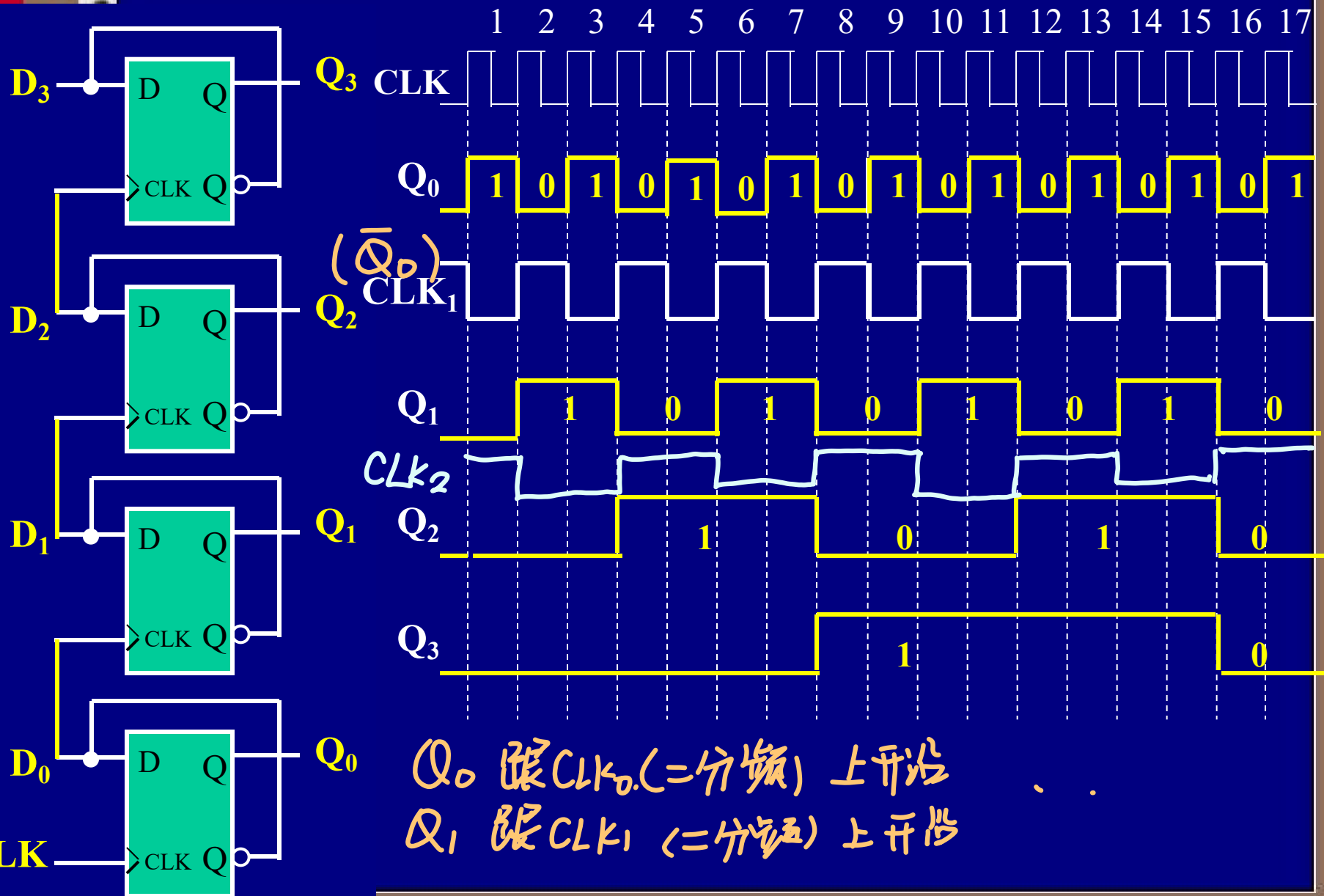
设：初态 $Q_3 Q_2 Q_1 Q_0 = 0000$



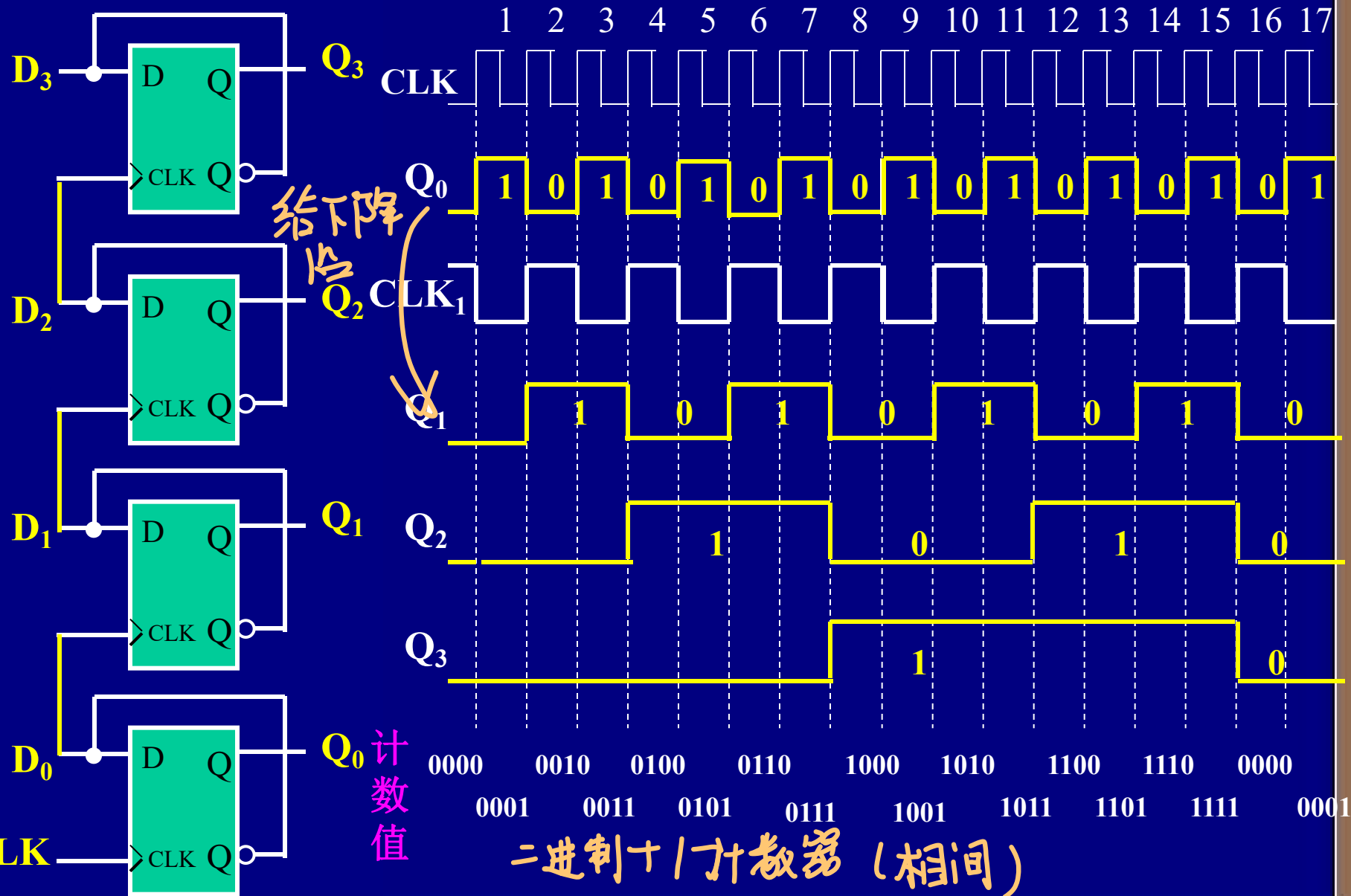
设：初态 $Q_3 Q_2 Q_1 Q_0 = 0000$

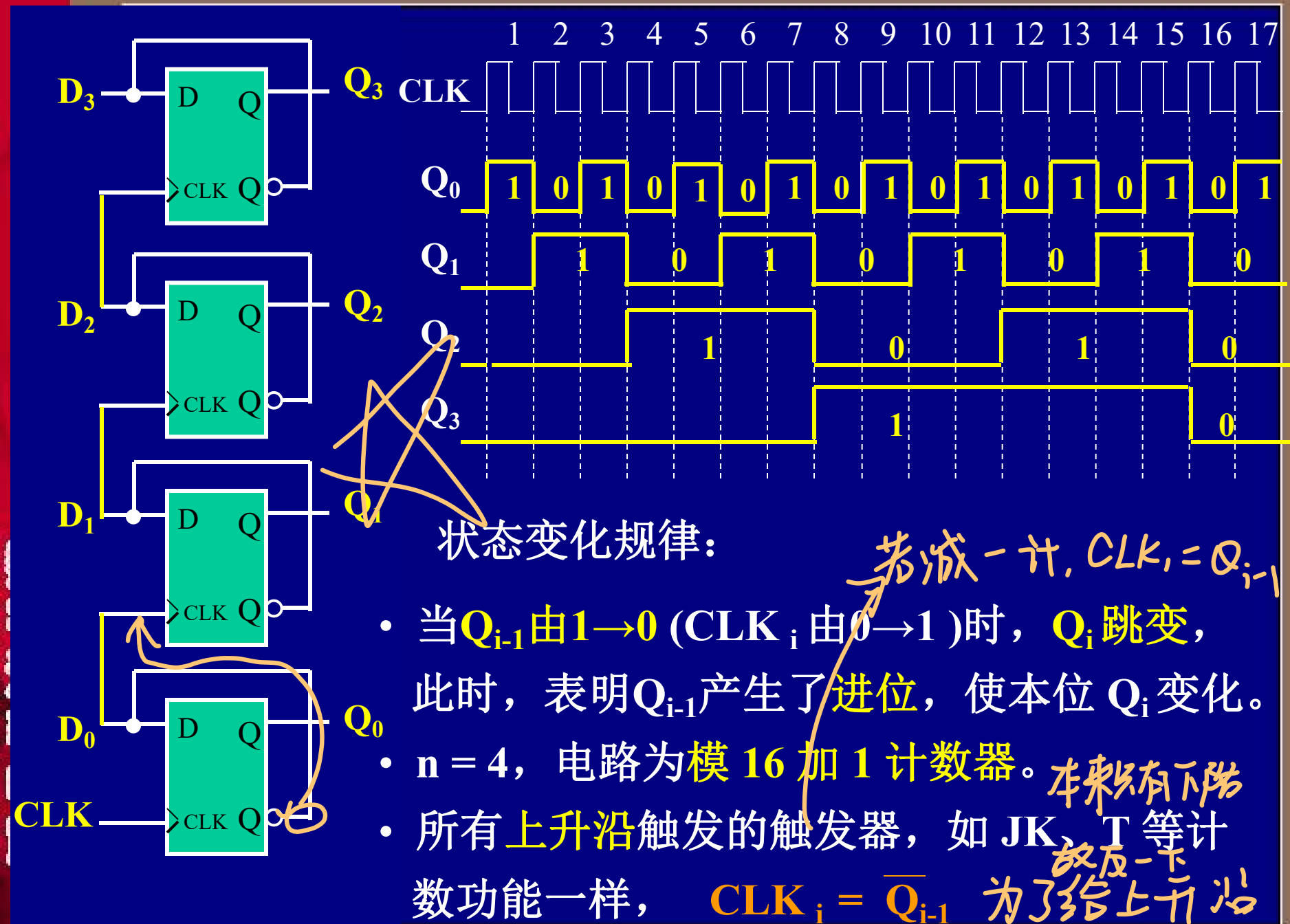


设：初态 $Q_3 Q_2 Q_1 Q_0 = 0000$

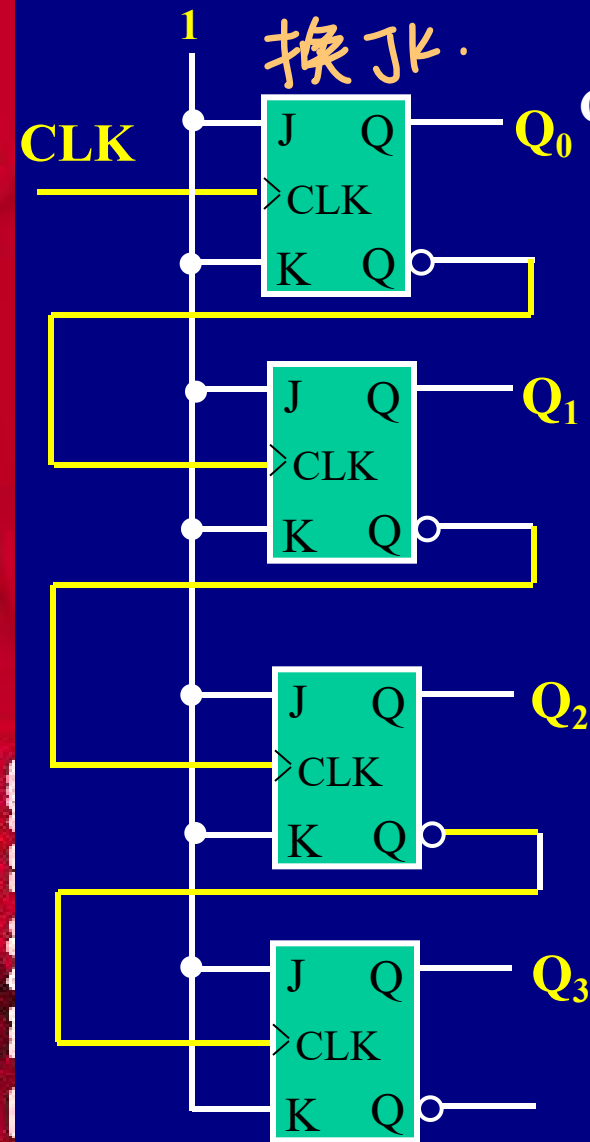


设：初态 $Q_3 Q_2 Q_1 Q_0 = 0000$

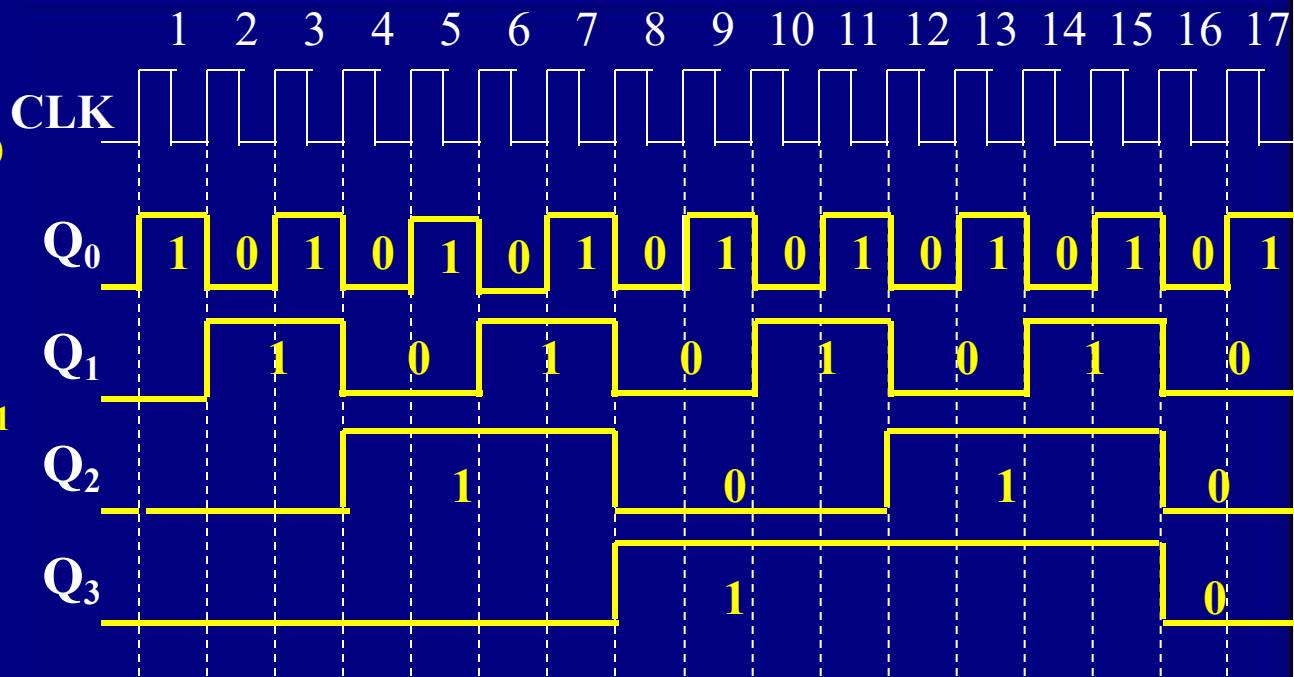




换 JK.

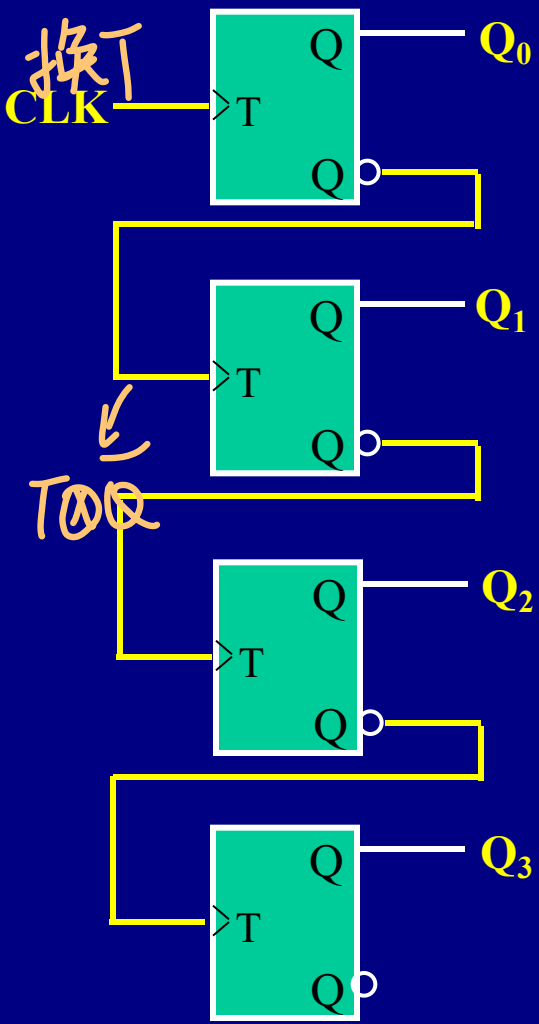


JK 触发器组成的
4 位加 1 计数器

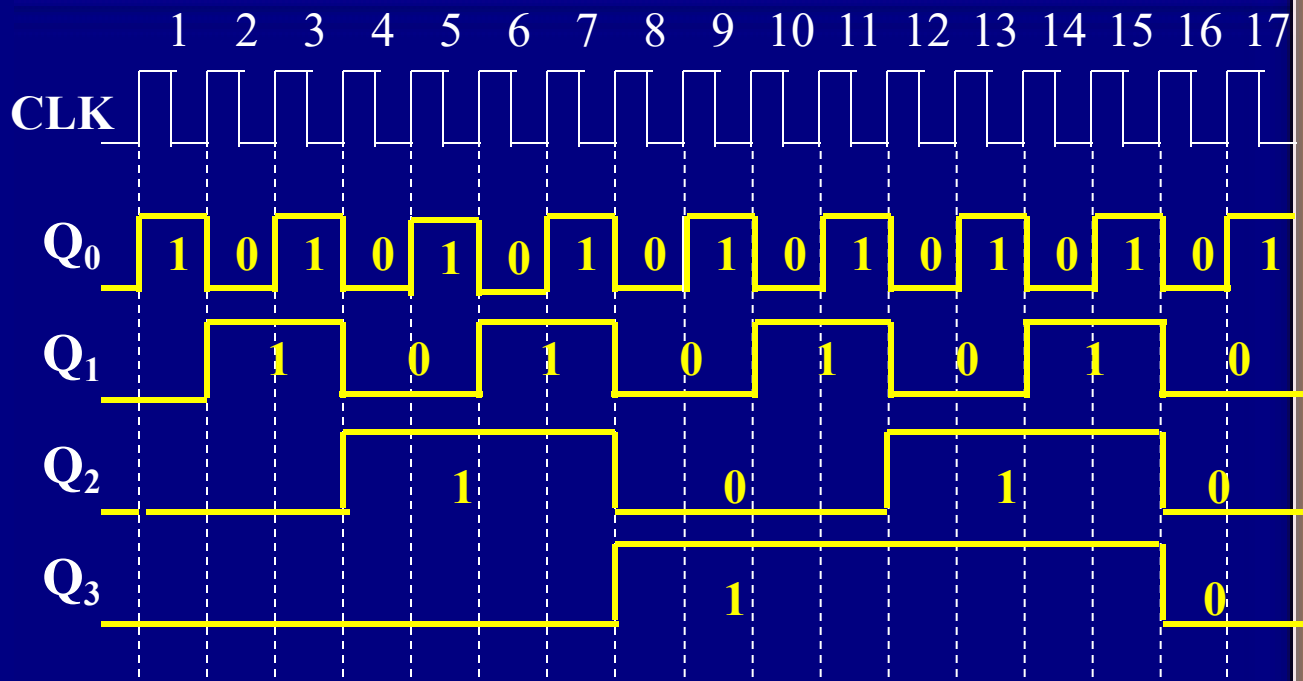


状态变化规律:

- 当 Q_{i-1} 由 1 \rightarrow 0 (CLK_i 由 0 \rightarrow 1) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。 $CLK_i = \overline{Q_{i-1}}$
- $n = 4$, 电路为模 16 加 1 计数器。

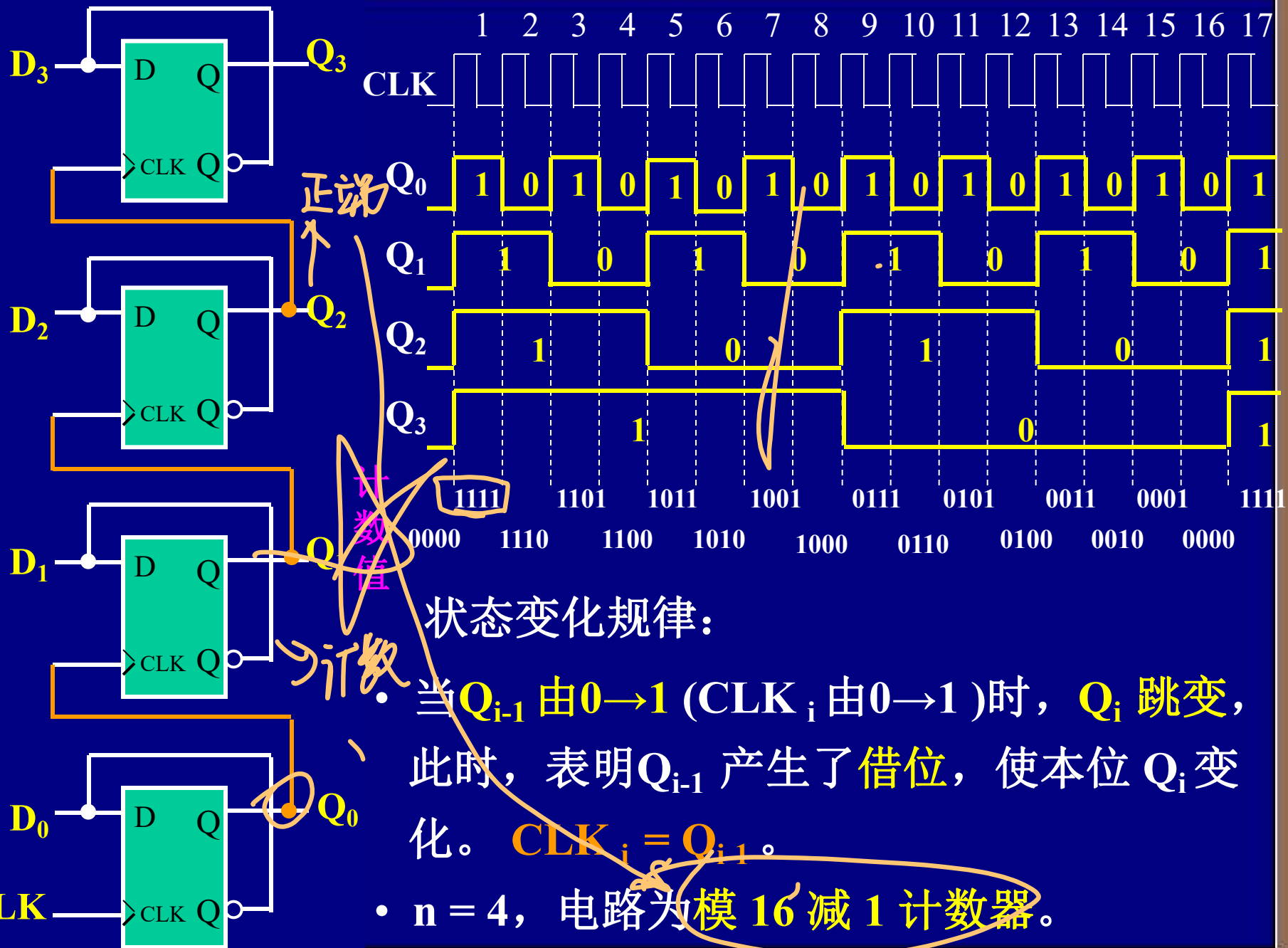


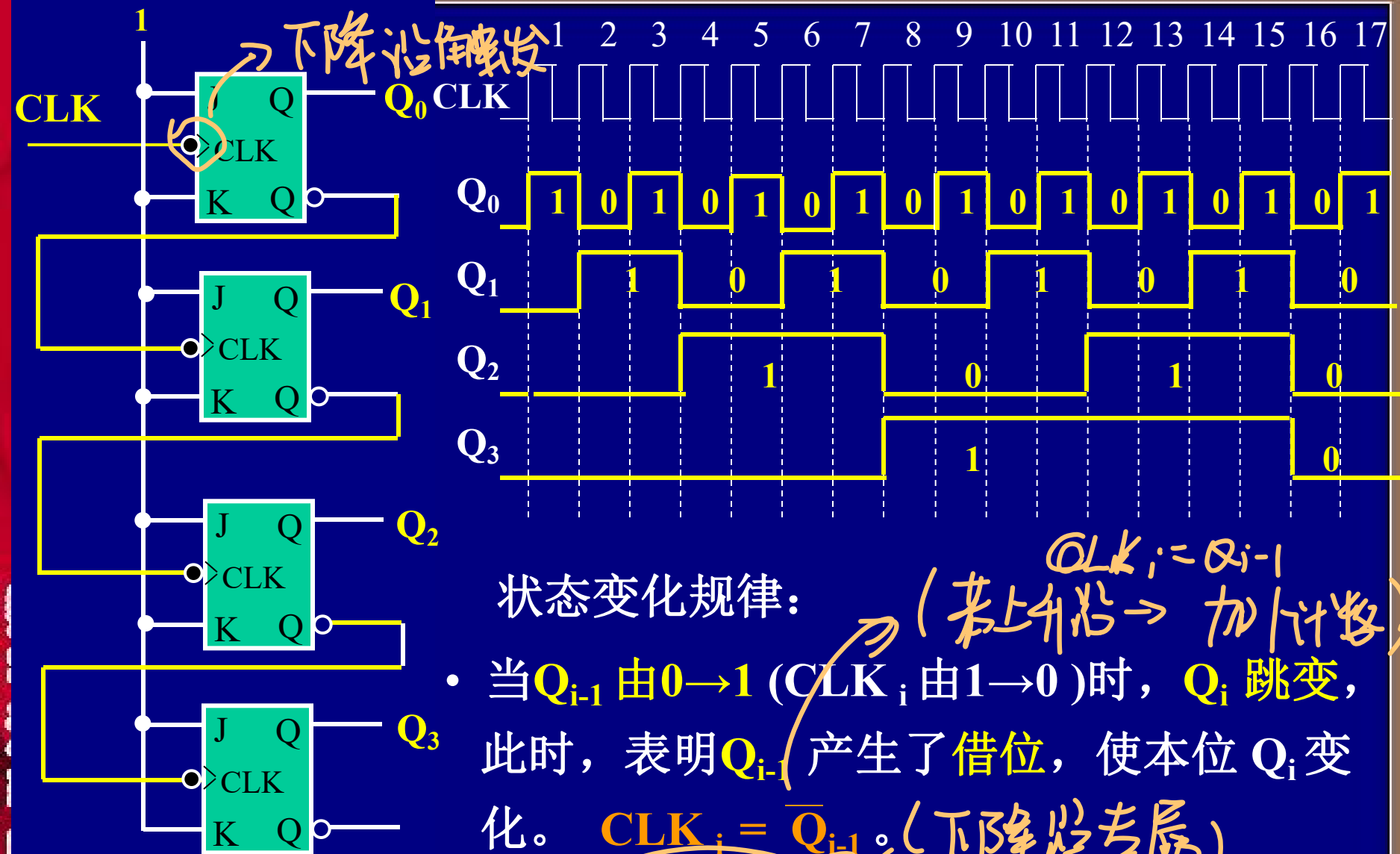
T 触发器组成的
4 位加 1 计数器



状态变化规律:

- 当 Q_{i-1} 由 1 → 0 (CLK_i 由 0 → 1) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了进位, 使本位 Q_i 变化。 $CLK_i = \overline{Q_{i-1}}$
- $n = 4$, 电路为模 16 加 1 计数器。

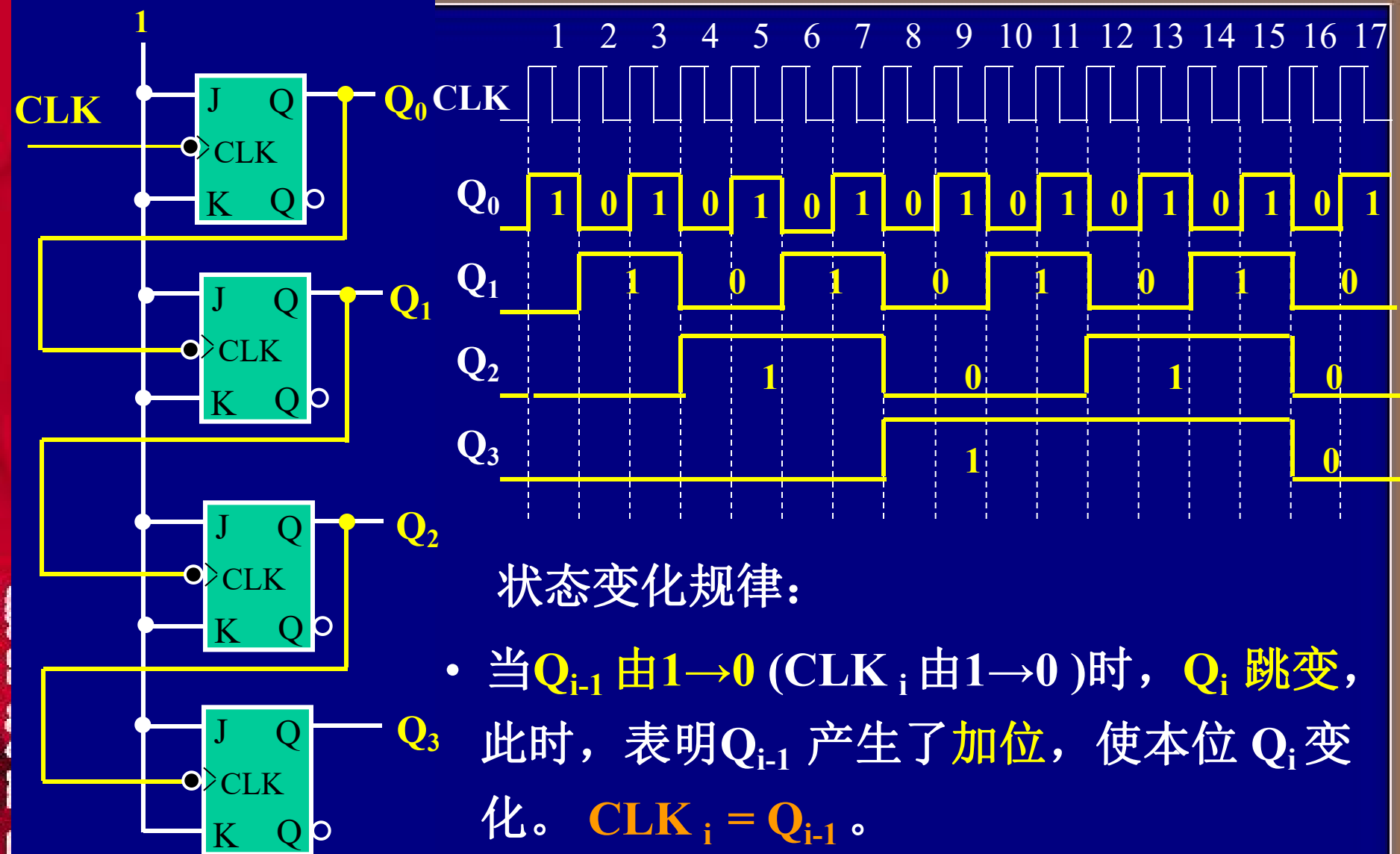




状态变化规律:

- $CLK_i = Q_{i-1}$ (若上升沿 \rightarrow 加1计数)
- 当 Q_{i-1} 由 0 \rightarrow 1 (CLK_i 由 1 \rightarrow 0) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了借位, 使本位 Q_i 变化。 $CLK_i = \overline{Q_{i-1}}$ (下降沿专属)
 - 所有下降沿触发的触发器计数功能一样。
 - $n = 4$, 电路为模 16 减 1 计数器。

JK 触发器组成的
4 位减 1 计数器



状态变化规律:

- 当 Q_{i-1} 由 1 → 0 (CLK_i 由 1 → 0) 时, Q_i 跳变, 此时, 表明 Q_{i-1} 产生了加位, 使本位 Q_i 变化。 $CLK_i = Q_{i-1}$ 。
- 所有下降沿触发的触发器计数功能一样。
- $n = 4$, 电路为模 16 加 1 计数器。

JK 触发器组成的
4 位加 1 计数器

二进制串行计数器连接规律

加1计数器: 不用计

前沿触发的触发器: $CLK_i = \underline{/Q_{i-1}}$

后沿触发的触发器: $CLK_i = Q_{i-1}$

最低位的触发器: $CLK_1 = CLK$ (外加计数脉冲)

减1计数器:

前沿触发的触发器: $CLK_i = Q_{i-1}$

后沿触发的触发器: $CLK_i = /Q_{i-1}$

最低位的触发器: $CLK_1 = CLK$ (外加计数脉冲)

3.4.1.2 二进制同步计数器 *Synchronous Counters*

例1 用D触发器组成的
4位二进制加1计数器。

① 激励函数 *要会填*

$$D_1 = \bar{Q}_1$$

$$D_2 = Q_1 \oplus Q_2$$

$$D_3 = (Q_2 Q_1) \oplus Q_3$$

$$D_4 = (Q_3 Q_2 Q_1) \oplus Q_4$$

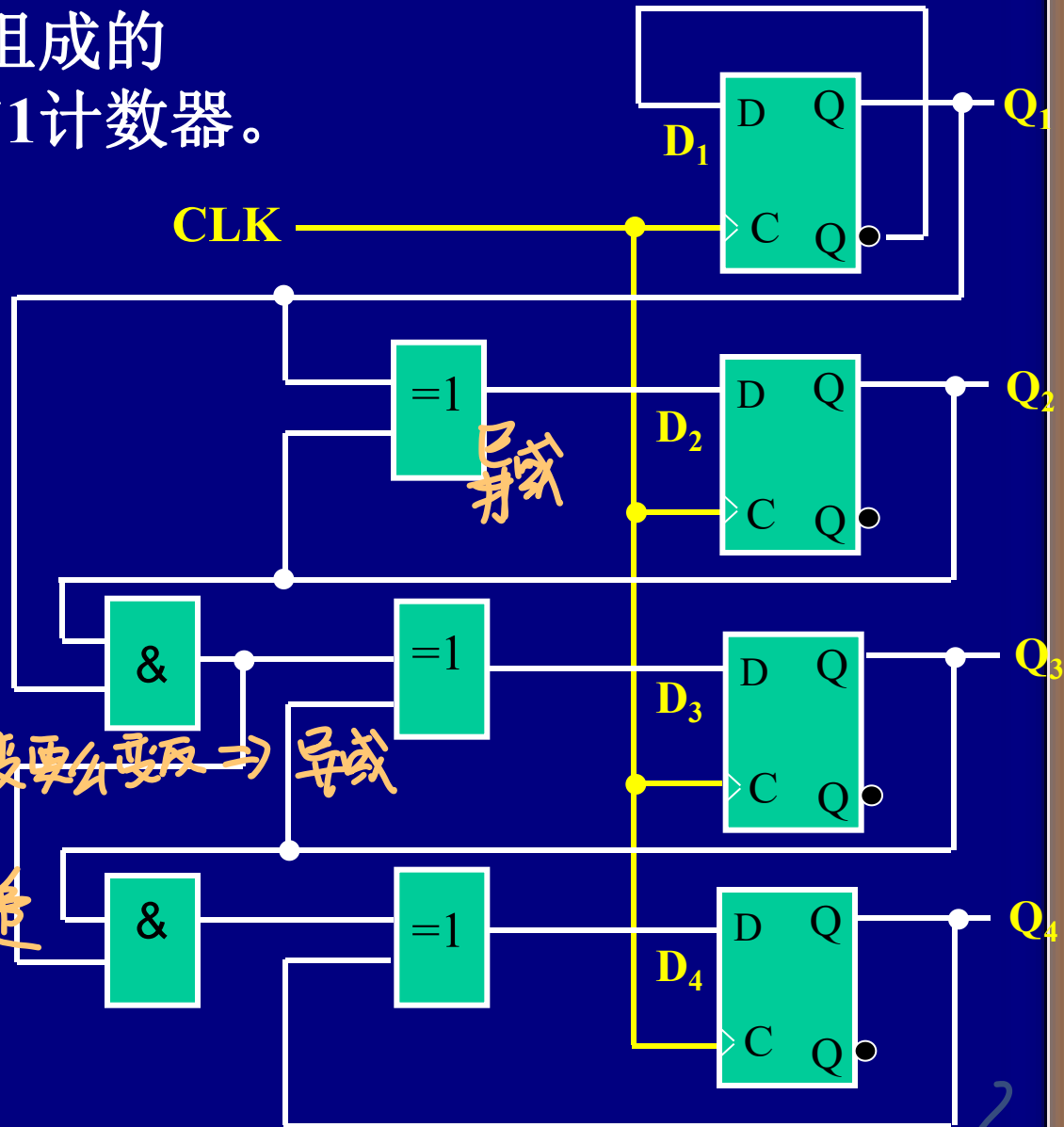
② 次态方程

$$Q_1^{n+1} = \bar{Q}_1$$

$$Q_2^{n+1} = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = (Q_2 Q_1) \oplus Q_3$$

$$Q_4^{n+1} = (Q_3 Q_2 Q_1) \oplus Q_4$$

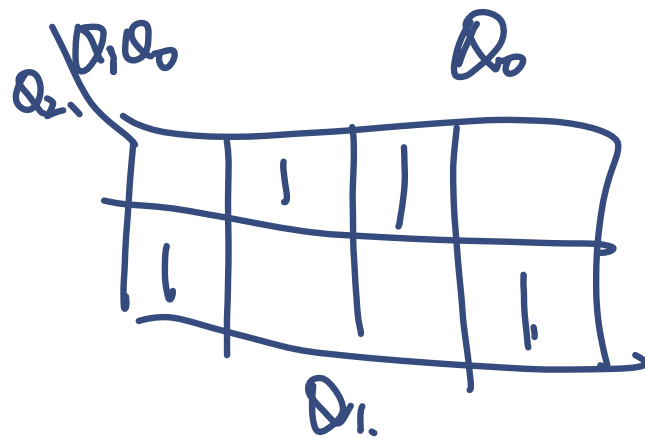


$Q_3 Q_2 Q_1 Q_0$ | $P_3 P_2 P_1 P_0 \rightarrow \bar{Q}_0$ \rightarrow 状态.

0 0 0
0 0 1
0 1 0
0 1 1
1 0 0
1 0 1
1 1 1

0 0 1
0 1 0
0 1 1
1 0 0
1 0 1
1 1 0
1 1 1
0 0 0

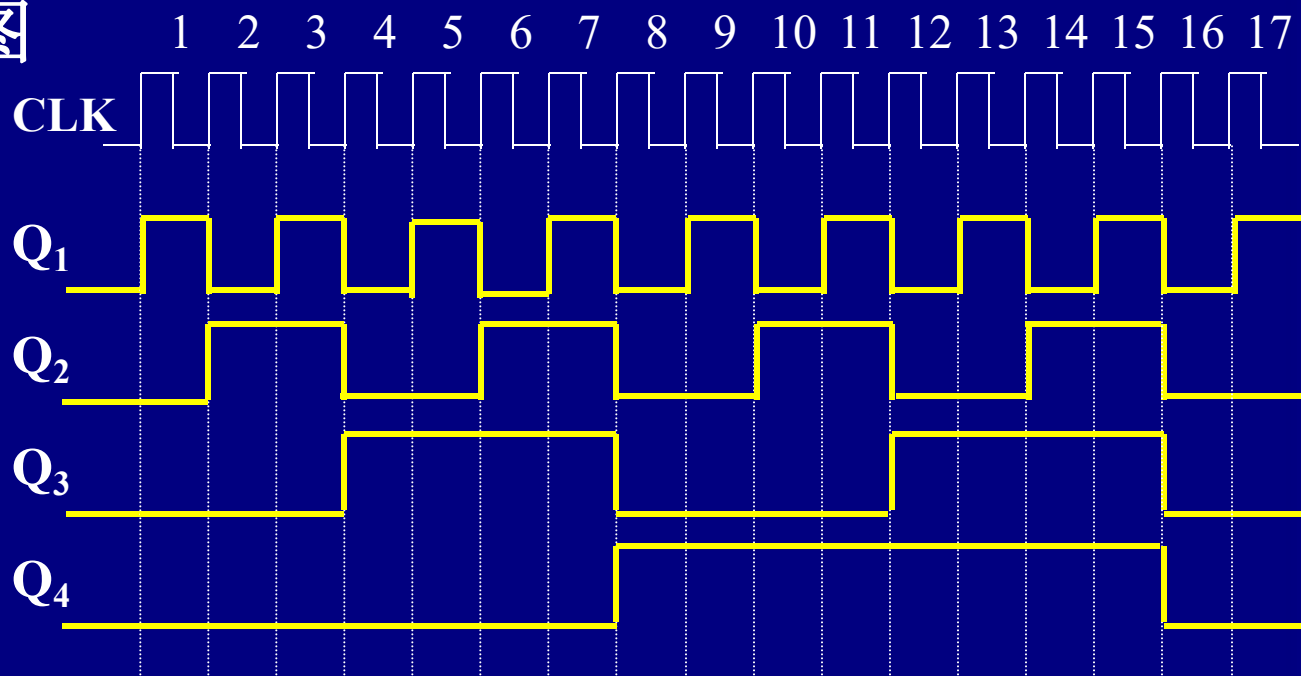
\rightarrow 非



$Q_1 + \bar{Q}_1$

例1 用D触发器组成的 4 位二进制加1计数器。

③ 时间图



② 次态方程

$$Q_1^{n+1} = \overline{Q_1}$$

$$Q_2^{n+1} = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = (Q_2 Q_1) \oplus Q_3$$

$$Q_4^{n+1} = (Q_3 Q_2 Q_1) \oplus Q_4$$

④ 状态变化规律:

(1) 当 $Q_{i-1} \cdot Q_{i-2} \cdots \cdot Q_1 = 1$ 时, 低位有进位 $\rightarrow Q_i^{n+1} = \overline{Q_i}$, 本位翻转

(2) 当 $Q_{i-1} \cdot Q_{i-2} \cdots \cdot Q_1 = 0$ 时, 低位无进位 $\rightarrow Q_i^{n+1} = Q_i$, 本位维持

⑤ 由D触发器构成的 n 位二进制同步加 1 计数器的连接规律

$$D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1) \oplus Q_i \quad (i \neq 1)$$

$$D_1 = \bar{Q}_1$$

要么不动要么变反

其中: $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1$ ——进位传递函数

思考: 如何设计 n 位二进制同步减 1 计数器?

关键在于借位传递函数的获得。

例2 用D触发器组成的 4 位二进制减 1 计数器。

① 次态方程

按照“借位”的概念：

$$Q_1^{n+1} = \overline{Q_1}$$

↑ 借位

$$Q_2^{n+1} = \overline{Q_1} \oplus Q_2$$

$$Q_3^{n+1} = (\overline{Q_2} \overline{Q_1}) \oplus Q_3$$

$$Q_4^{n+1} = (\overline{Q_3} \overline{Q_2} \overline{Q_1}) \oplus Q_4$$

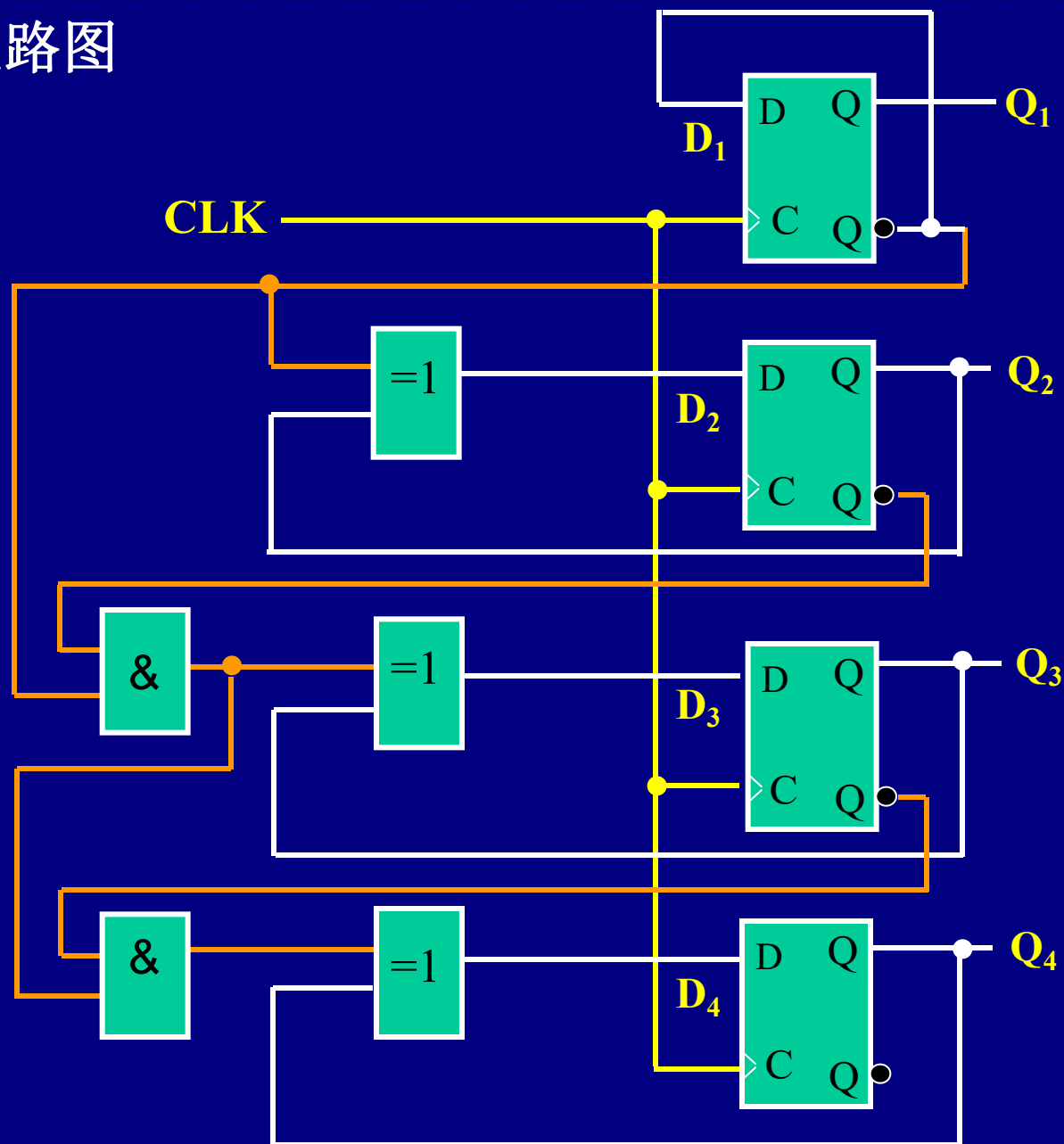
最低位根据时钟信号的到来进行减 1 计数

当 $Q_1 = 0$ 时，低位向本位借位 → $Q_2^{n+1} = Q_2$

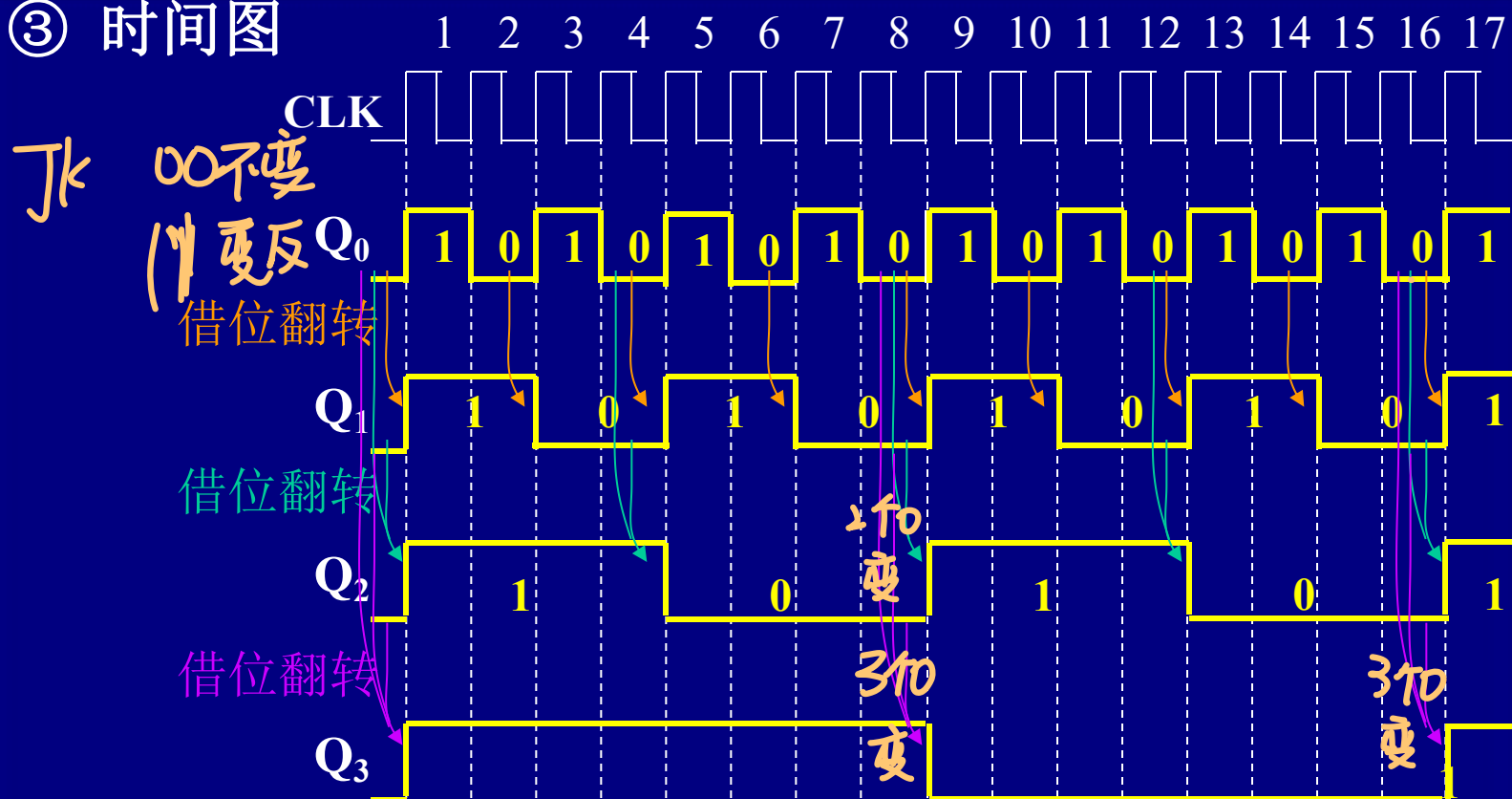
当 Q_2 、 Q_1 同时为 0 时，低位向本位借位 → $\overline{Q_3}^{n+1} = Q_3$

当 Q_2 、 Q_2 、 Q_1 均为 0 时，低位向本位借位 → $\overline{Q_4}^{n+1} = Q_4$

② 电路图



③ 时间图



④ 由D触发器构成的 n 位二进制同步减 1 计数器的连接规律 $D_i = (\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1}) \oplus Q_i \quad (i \neq 1)$

$$D_1 = \overline{Q_1}$$

其中: $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1}$ ——借位传递函数

例3 用 JK、T 触发器组成的 4 位二进制加 1 计数器。

按照“进位”的概念，同理推出 JK 触发器的连接规律：

$$J_i = K_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \quad (i \neq 1) \quad \text{—— 进位传递函数}$$

$$J_1 = K_1 = 1 \quad \text{—— 最低位呈计数态}$$

当 $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 = 1$ 时，低位有进位 → 本位翻转 $Q_i^{n+1} = \overline{Q_i}$

当 $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 = 0$ 时，低位无进位 → 本位维持 $Q_i^{n+1} = Q_i$

$$Q_i = Q_i \oplus 1$$

则 T 触发器的连接规律：

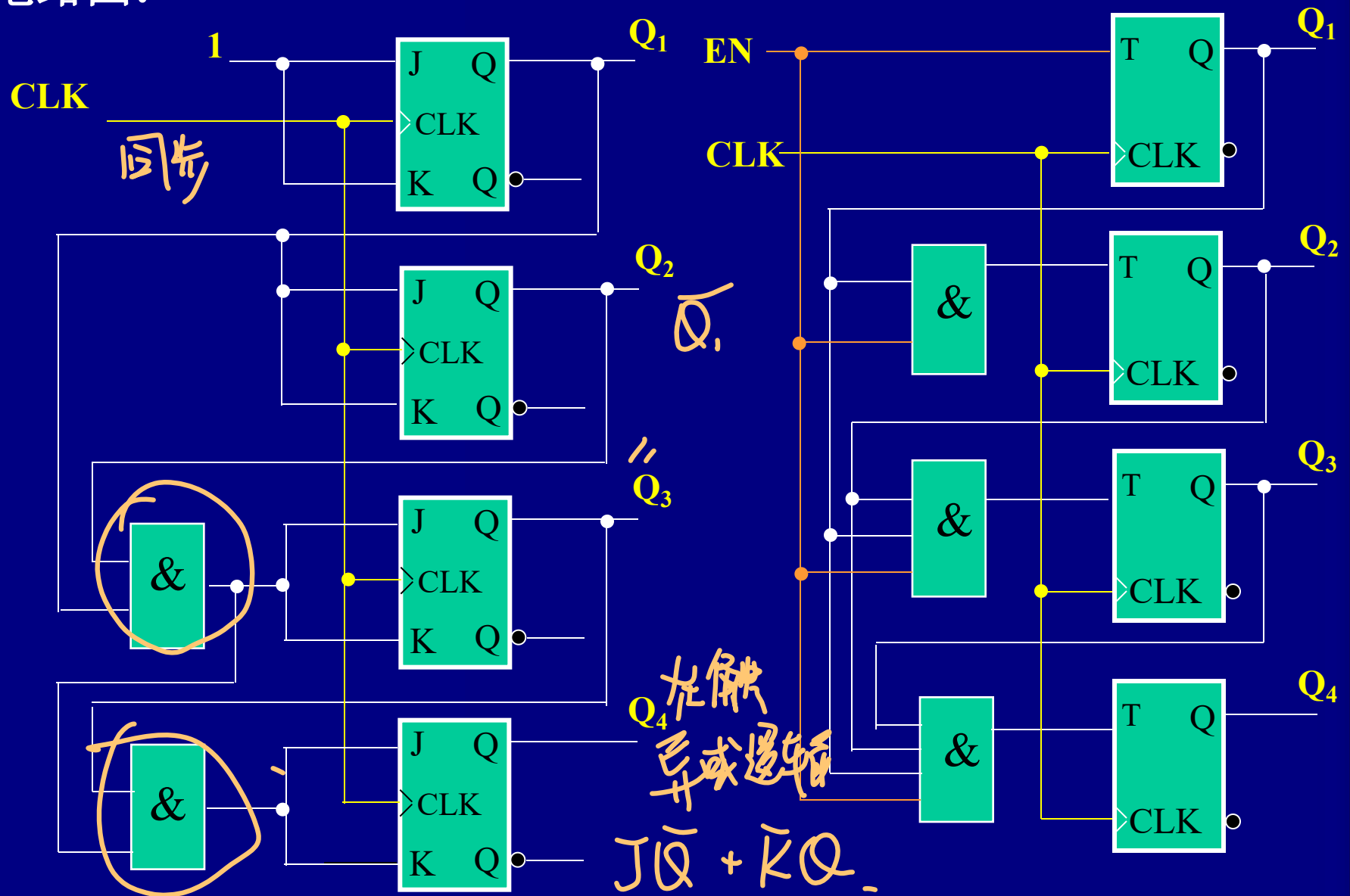
$$T_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \quad (i \neq 1) \quad \text{—— 进位传递函数}$$

$$T_1 = 1 \quad \text{—— 最低位呈计数态}$$

当 $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 = 1$ 时，低位有进位 → 本位翻转 $Q_i^{n+1} = \overline{Q_i}$

当 $Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 = 0$ 时，低位无进位 → 本位维持 $Q_i^{n+1} = Q_i$

电路图:



用JK触发器构成的加1计数器

用T 触发器构成的加1计数器

例4 用 JK、T 触发器组成的 4 位二进制减 1 计数器。

按照“借位”的概念，同理推出 JK 触发器的连接规律：

$$J_i = K_i = \overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} \quad (i \neq 1) \text{ —— 借位传递函数}$$

$$J_1 = K_1 = 1 \text{ —— 最低位呈计数态}$$

当 $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} = 1$ 时，低位有借位 → 本位**翻转** $Q_i^{n+1} = \overline{Q_i}$

当 $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} = 0$ 时，低位无借位 → 本位**维持** $Q_i^{n+1} = Q_i$

串并行区别

则 T 触发器的连接规律：

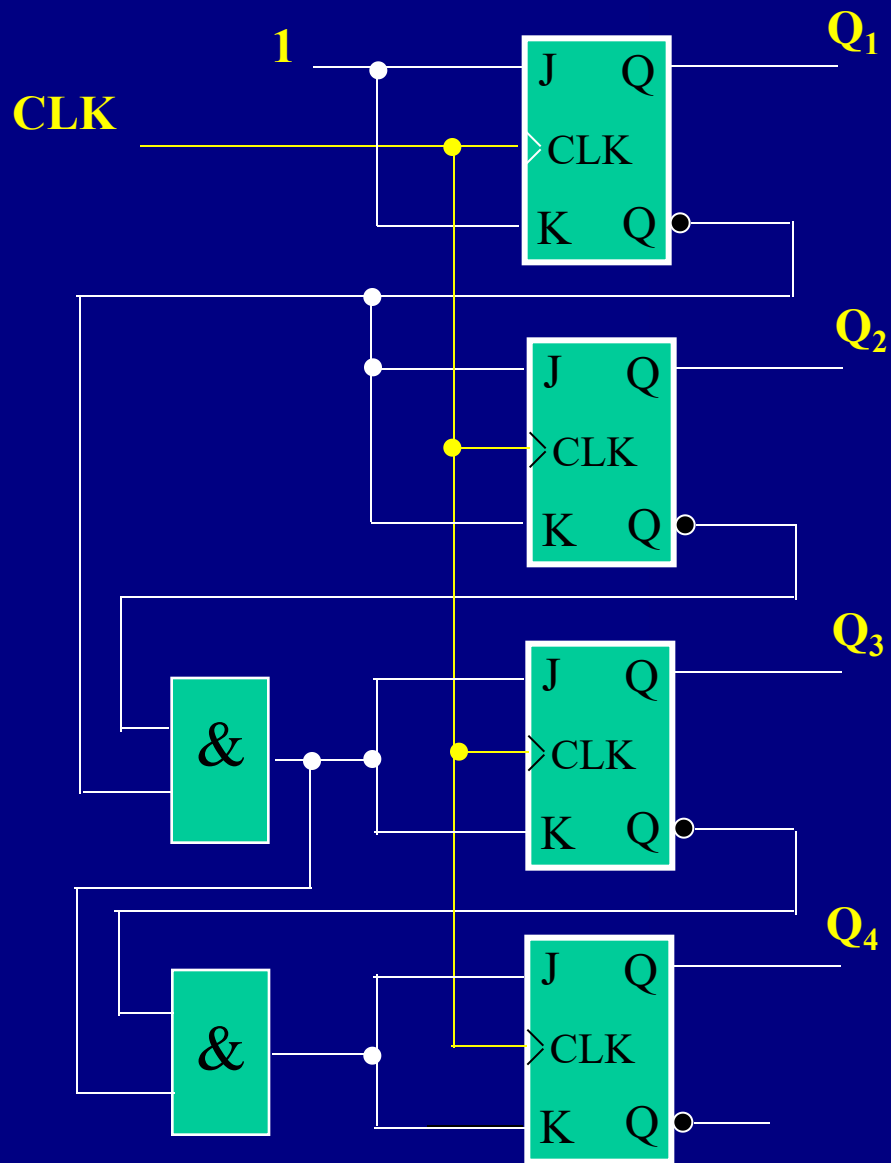
$$T_i = \overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} \quad (i \neq 1) \text{ —— 借位传递函数}$$

$$T_1 = 1 \text{ —— 最低位呈计数态}$$

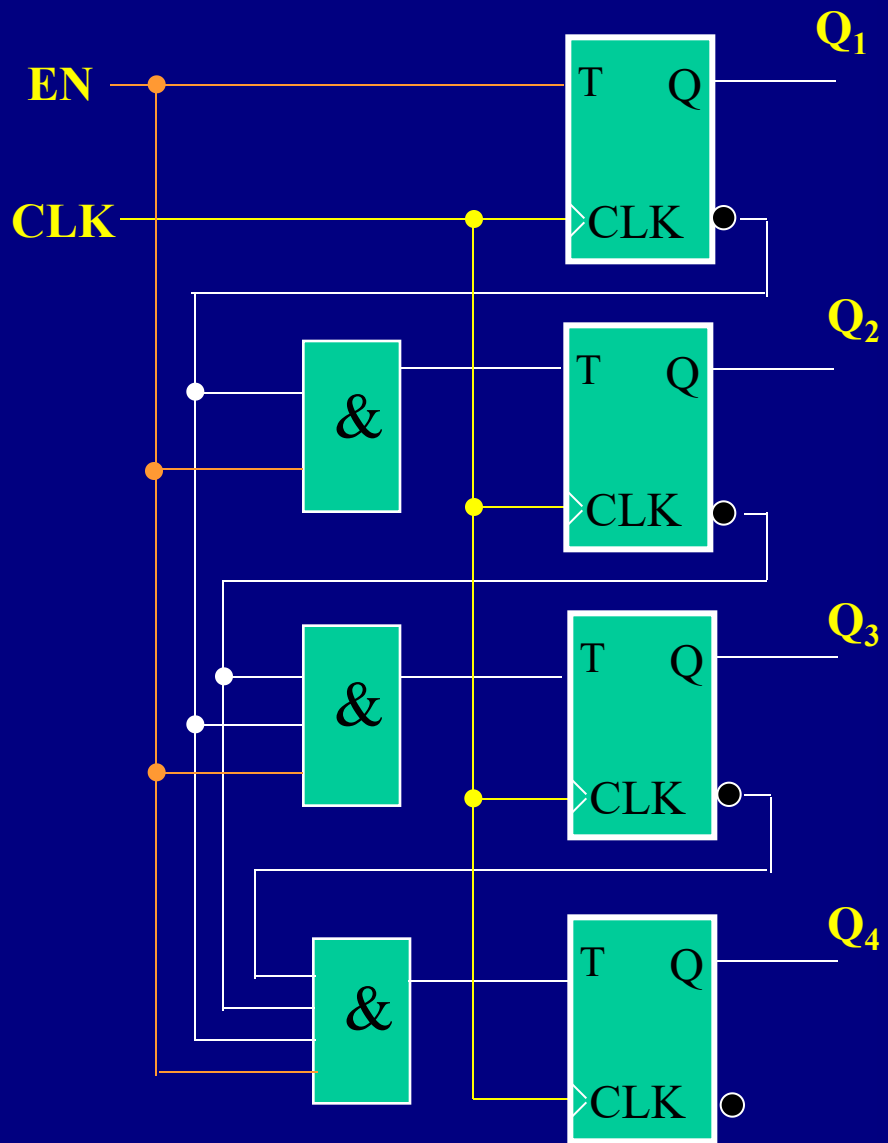
当 $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} = 1$ 时，低位有借位 → 本位**翻转** $Q_i^{n+1} = \overline{Q_i}$

当 $\overline{Q_{i-1}} \cdot \overline{Q_{i-2}} \cdot \cdots \cdot \overline{Q_1} = 0$ 时，低位无借位 → 本位**维持** $Q_i^{n+1} = Q_i$

电路图:



用JK触发器构成的减1计数器



用T 触发器构成的减1计数器

二进制同步计数器的连接规律

1. D 触发器

加1计数器: $D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1) \oplus Q_i \quad (i \neq 1)$
 $D_1 = \neg Q_1$

减1计数器: $D_i = (\neg Q_{i-1} \cdot \neg Q_{i-2} \cdot \cdots \cdot \neg Q_1) \oplus Q_i \quad (i \neq 1)$
 $D_1 = \neg Q_1$

2. T 触发器

加1计数器: $T_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \cdot EN \quad (i \neq 1)$
 $T_1 = EN = 1$

减1计数器: $T_i = \neg Q_{i-1} \cdot \neg Q_{i-2} \cdot \cdots \cdot \neg Q_1 \cdot EN \quad (i \neq 1)$
 $T_1 = EN = 1$

3. J K 触发器

加1计数器: $J_i = K_i = Q_{i-1} \cdot Q_{i-2} \cdot \cdots \cdot Q_1 \quad (i \neq 1)$
 $J_1 = K_1 = 1$

减1计数器: $J_i = K_i = /Q_{i-1} \cdot /Q_{i-2} \cdot \cdots \cdot /Q_1 \quad (i \neq 1)$
 $J_1 = K_1 = 1$

3.4.1.3 用跳越的方法实现任意模数的计数器

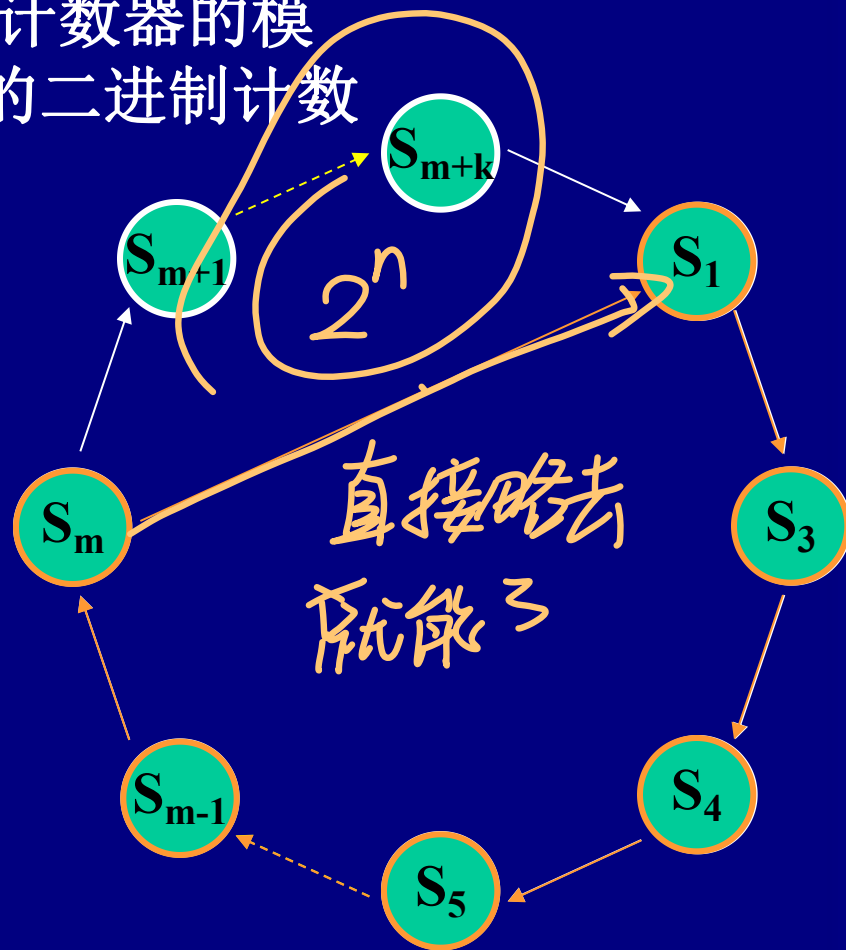
Modulo-N Counters

跳越的概念:

在实际应用中, 往往计数器的模 $m \neq 2^n$, 为了能用模为 2^n 的二进制计数器实现模为 m 的计数器:

$$\text{即 } 2^{n-1} < m < 2^n$$

电路从 2^n 个状态中跳越过 $K = 2^n - m$ 个状态, 使计数器以 m 为周期循环, 而在正常循环中不出现跳过的 K 个状态。



不会挂起, 因为 S_7 完
还会回 S_0

State transition diagram for a 3-bit Gray code sequence. The states are represented by circles with 3-bit binary labels: 000 (S_0), 001 (S_1), 010 (S_2), 011 (S_3), 100 (S_4), 101 (S_5), 111 (S_7), and 110 (S_6). The transitions form a cycle: 000 to 001, 001 to 010, 010 to 011, 011 to 100, 100 to 101, 101 to 110, 110 to 111, and 111 to 000. Handwritten Chinese text "随便跳" (Jump randomly) is in the center, and "不会回来" (Will not come back) is at the top right.

随便跳
模儿都行

需要从 8 个状态中跳越过 S_7 、 S_0 两个状态， S_6 为起跳状态。

所谓多余状态

- 电路中要跳跃过的状态是在正常工作循环中不出现的状态，称为多余状态或无用状态，如 S_7 、 S_0 。

- 电路的随机状态可以是**无用状态**。

从8个状态中跳越过2个状态 只用其中6个状态

多余状态的处理

- 随机出现的**无用状态**应当经过有限节拍后自动进入**有用状态**(也称**有效状态**), 不允许停在无用状态或在无用状态中循环。

- 通常采用的措施是:

① 从动式起动电路

通过**人工按键**置位/复位、或设计一个**电源启动**的能输出强置位信号的电路、或由**其他电路**提供初始化信号。

② 主动式电路

由状态测试电路识别计数器是否处于无用状态, 若是则该电路输出一个有效电平, 强置使计数器进入、或创造条件使计数器进入有用状态。

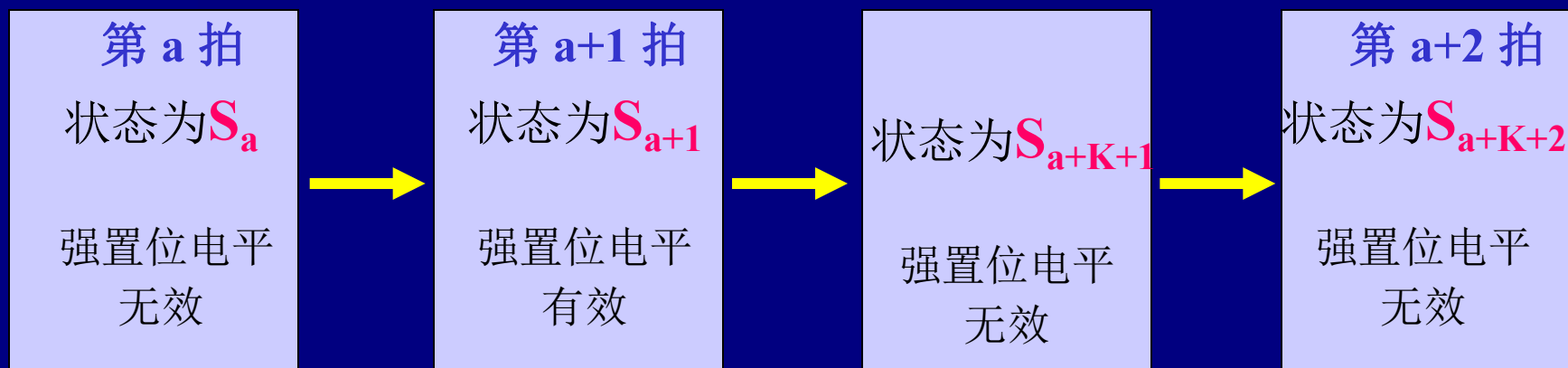
3.4.1.4 强置位计数器 (*Resetting*)

设计这类电路时，先设计一个二进制计数器，然后再加入强置位电路。假设起跳状态为 S_a ，则有：

(1) 在没有出现 S_{a+1} 时，不影响二进制计数器的状态转换规律，强置位的逻辑电平为无效。

(2) 在出现 S_{a+1} 时，强置位电平有效，从而对预定的某些位触发器实行预定的强置置位或复位。

计数器的跳跃过程如下：



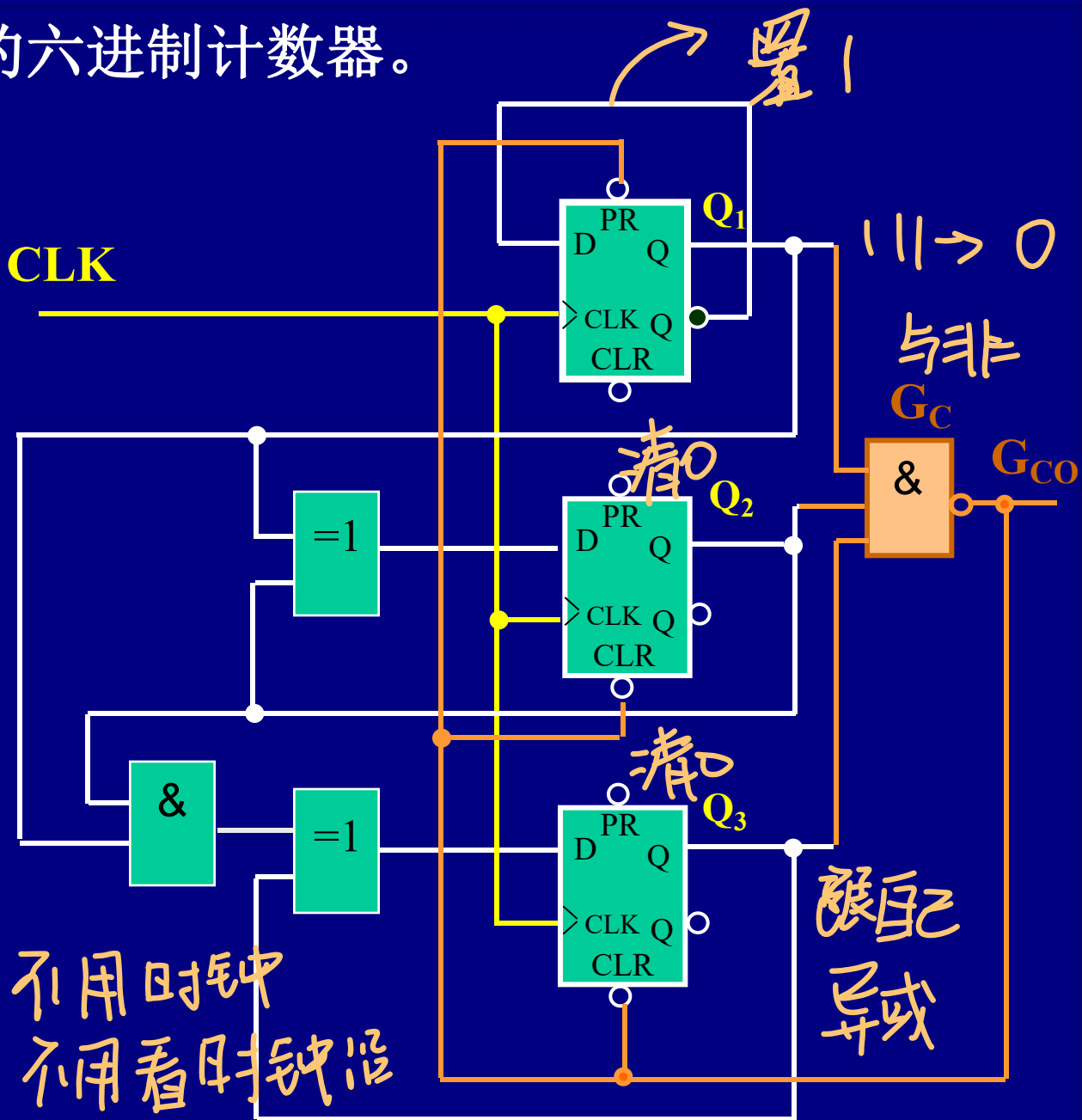
例 分析图示的六进制计数器。

该电路为由三个D触发器构成的模8加1计数器。

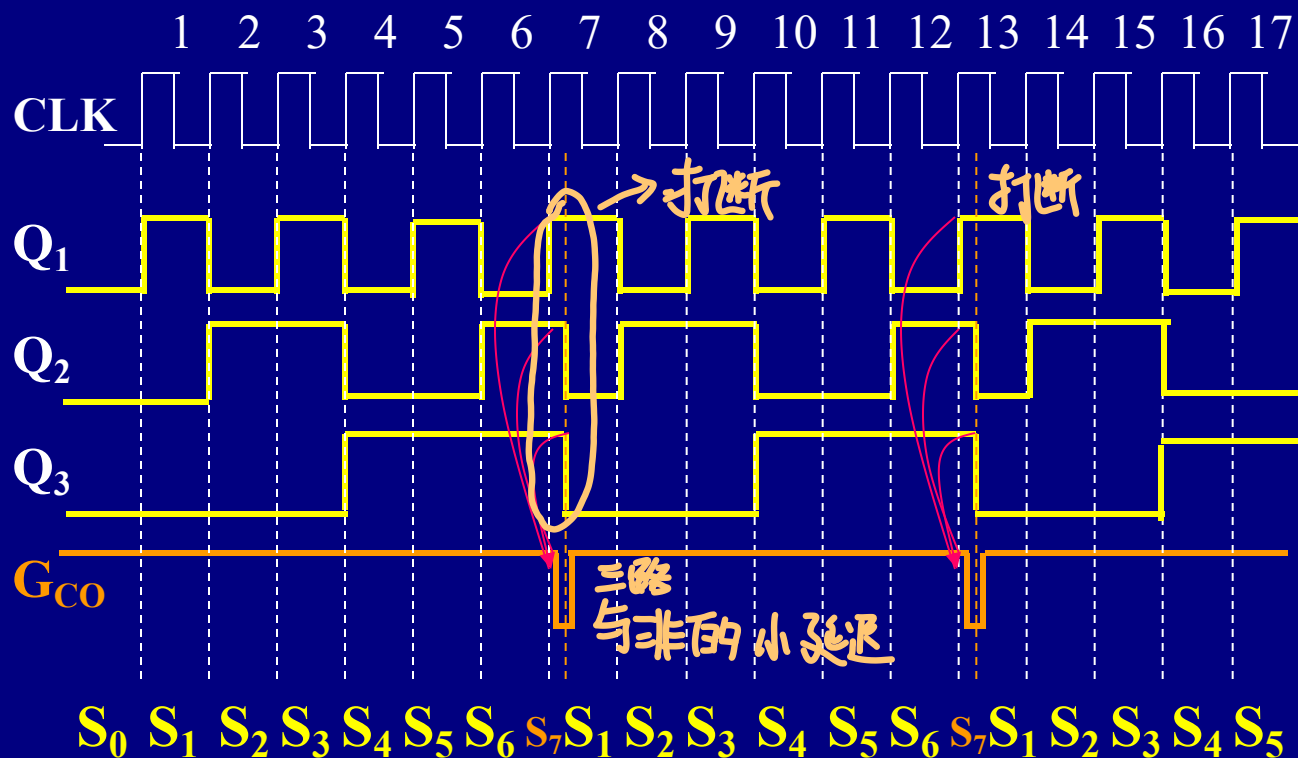
考虑门 G_C 及信号 G_{CO} 的作用:

$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$

当电路状态为
 $S_7(111)$ 时，
 $G_{CO} = 0 \rightarrow S_1(001)$
时间图参见下页。



六进制计数器的时间图 初态 $Q_3 Q_2 Q_1 = S_0 (000)$



$$G_{CO} = \overline{Q_3 Q_2 Q_1}$$

↓ 第一个无效态
 S_7 - 来就拉口

电路在时钟脉冲序列 CLK 作用下，将在 S_1 至 S_6 中循环，电路的起跳状态为 $S_6 (110)$ ，跳过的状态为 S_7 、 S_0 。

强置位计数器的特点

- (1) 强置位法适用于同步(*Synchronously*)及异步(*Asynchronously*)电路。
- (2) 异步式强置置位或复位。
- (3) 有一个短暂的状态 $S_7(111)$ ，使 $S_1(001)$ 变窄。

不要求刚那种会.

3.4.1.5 预置位计数器 (Presetting) 要求会

预置位计数器是在起跳状态 S_a (而不是 S_{a+1})出现以后就预先做好跳越的准备, 使之在下一拍时钟有效沿到达时通过预置有关的触发器数据端输入, 使计数器立即进入 S_{a+K+1} 状态。这样就可以避免强置位电路的缺点。

预置位法适用于同步(Synchronously)电路。同一个CLK 最后一拍未结束提前打断

在设计电路时, 先设计一个二进制计数器, 然后再加入预置位电路。假设起跳状态为 S_a , 则有:

(1) 在没有出现 S_a 时, 不影响二进制计数器的状态转换规律, 预置位电平无效。

(2) 在出现 S_a 时, 预置位电平有效, 使预定的某些位触发器数据端加上预置数(1或0), 则在下一拍时钟有效沿到达时, 该触发器处于 S_{a+K+1} 的对应位中的状态。

预置位电路跳越过程如下: 串·CLK?



预置位电平的确立:

可逐位比较计数器中各触发器在正常计数状态和跳越后的状态中的差异, 有些不需改变, 有些则要预置1或0。

设预置位电平为 M_Y (高电平), 则

进行1的预置时有: $D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_1) \oplus Q_i + M_Y$

进行0的预置时有: $D_i = (Q_{i-1} \cdot Q_{i-2} \cdot \dots \cdot Q_1) \oplus Q_i \cdot \overline{M_Y}$

打断 110 11 ⊕ 1 + M_Y 别动反1 前面的与我一个0包0

例 用预置位法设计六进制计数器

$Q_2 Q_1 Q_0$

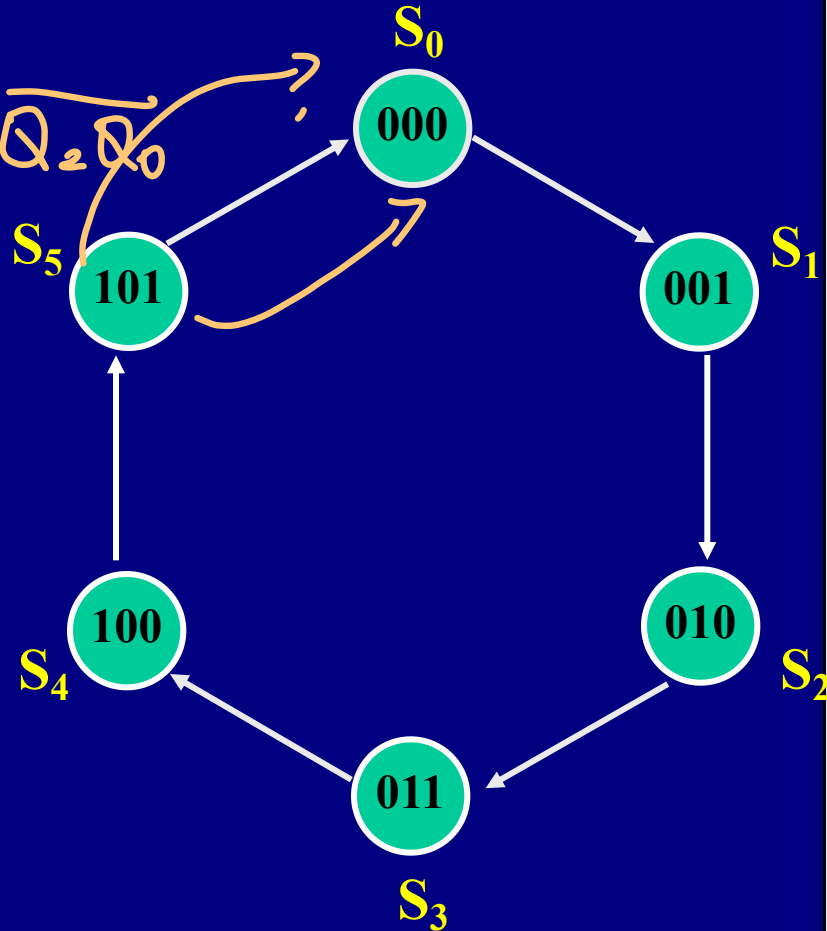
$110 \rightarrow 000$

$M_y = Q_2 Q_0$

$$D_2 = (Q_1 Q_0) \oplus Q_2 \cdot \overline{Q_2 Q_0}$$

$$0 \oplus 1 \cdot 1$$

$$D_0 = Q_0 \cdot \overline{Q_2 Q_0}$$



六进制计数器状态图

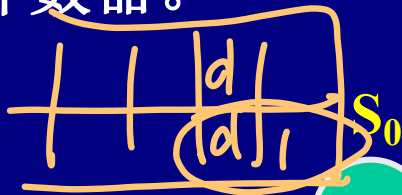
数字逻辑电路

[illegible]
$$Q_3 \bar{Q}_2 Q_1 \rightarrow 101$$

跳 $\bar{Q}_3 \bar{Q}_2 Q_1$

例 用预置位法设计六进制计数器。

起跳状态: $S_a = S_5 (101)$



预置位电路: $M_Y = Q_3 Q_1$ S_5

$$\overline{M}_Y = \overline{Q_3 Q_1}$$

由于 M_Y 中包含那些要被干成0的位

$$S_{a+K+1} = S_0 (000)$$

因此要对 D_3 , D_2 进行预置:

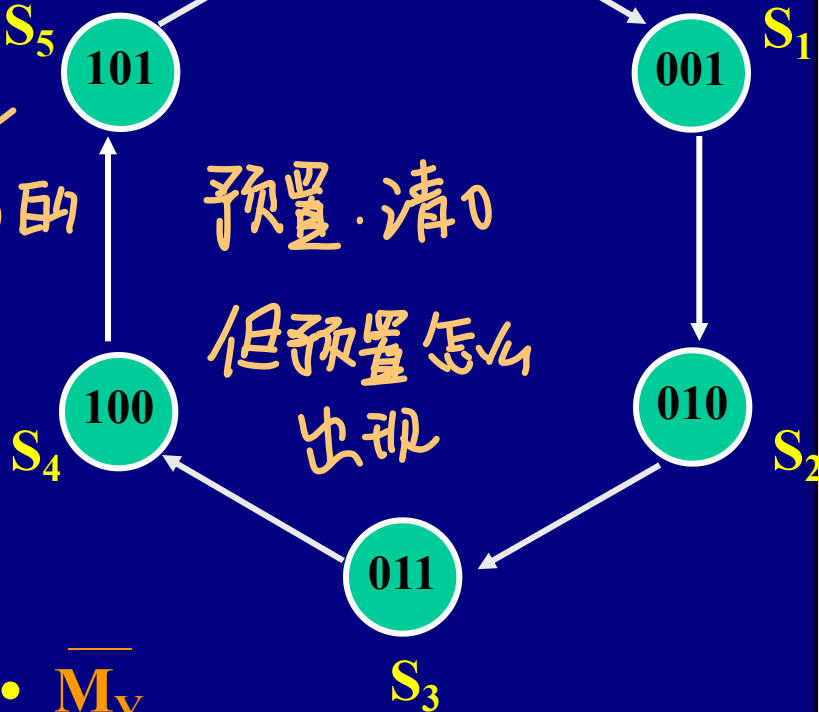
$$D_2 = (Q_1 \oplus Q_2) \cdot \overline{M}_Y$$

$$D_3 = ((Q_2 Q_1) \oplus Q_3) \cdot \overline{M}_Y$$

前2位与0

预置. 清0

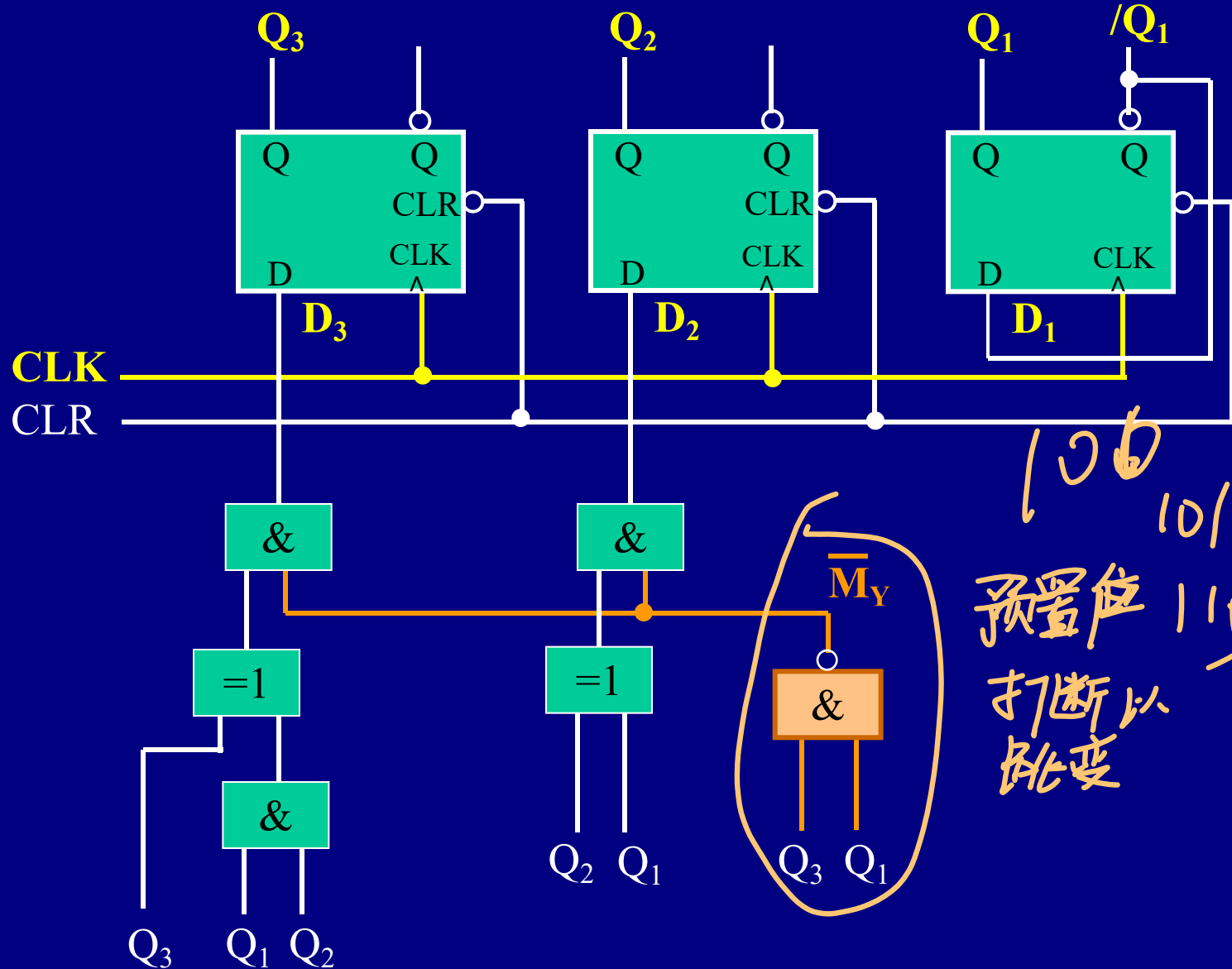
但预置怎么出现



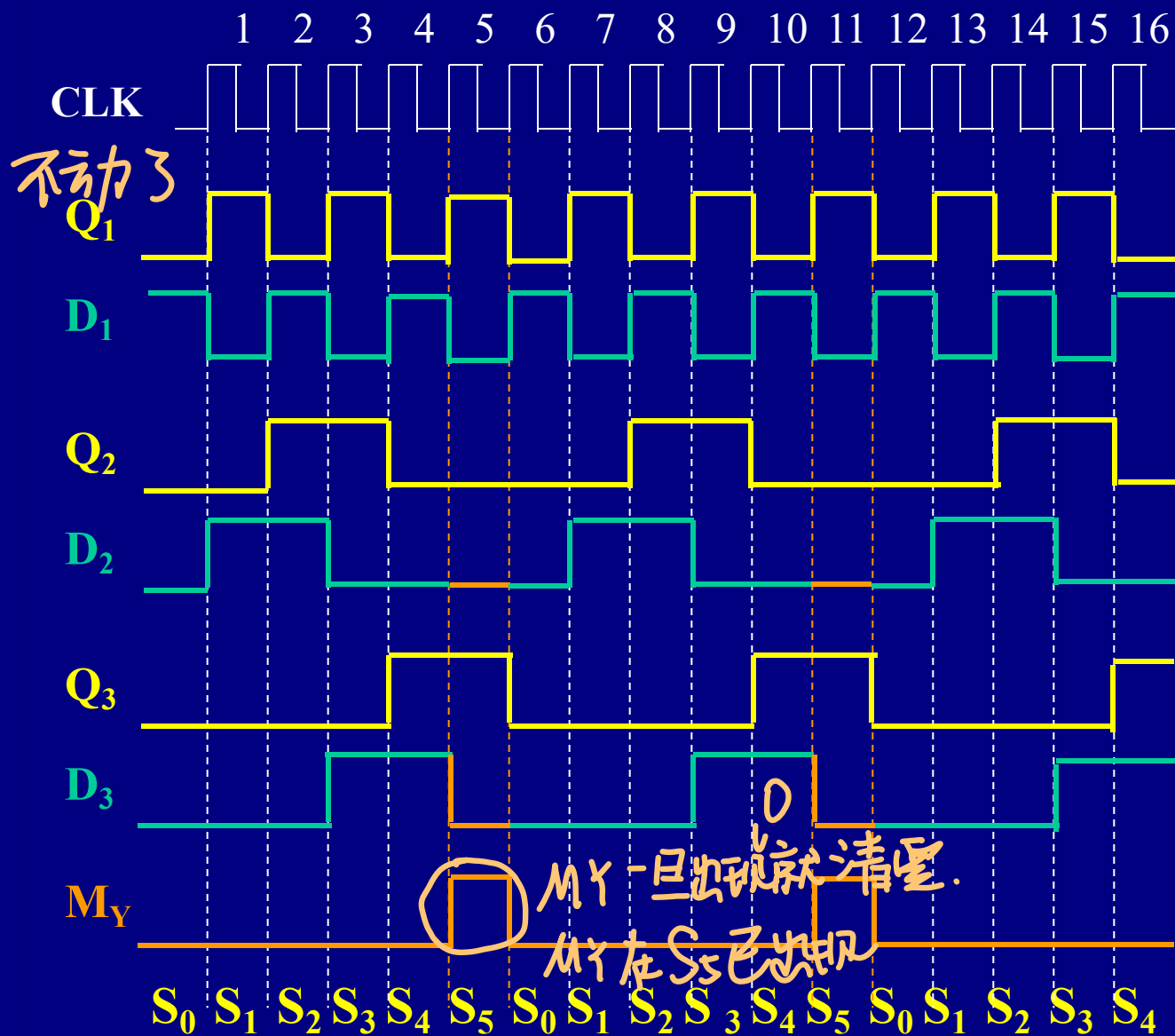
六进制计数器状态图

用 D 触发器实现的预置位计数器

101



用 D 触发器实现的预置位计数器的时间图



3.4.1.6 修正式计数器

修正式计数器类似于预置位计数器。

区别在于

预置位电路中的二进制计数器电路的原连接方式完整地保持着，而修正式计数器中对二进制计数器的某些位的输入端电路连接作适当修正，使电路本身就具有实现跳越的功能。

修正式计数器的设计方法类似于预置位计数器，只是在完成了预置位计数器之后，继续简化触发器置数输入端的表达式，按置数输入端的逻辑表达式，重新连接各触发器，从而得到修正式计数器。

例 用修正式方法设计的模 6 计数器。

由预置位法得到：

$$M_Y = Q_3 Q_1$$

$$D_1 = \overline{Q_1}$$

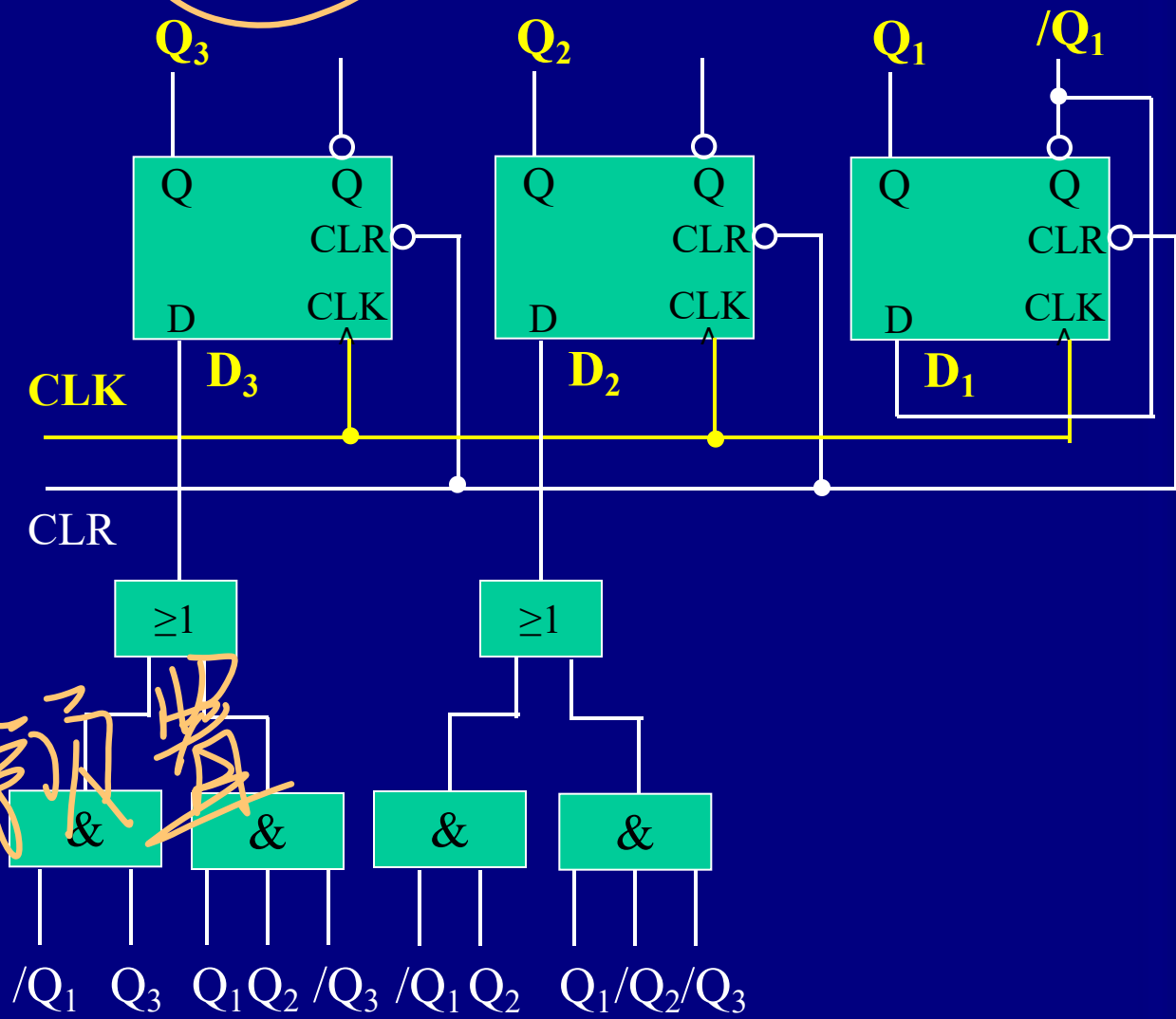
$$D_2 = (Q_1 \oplus Q_2) \cdot \overline{M_Y}$$

$$= \overline{Q_1} Q_2 + Q_1 \overline{Q_2} \overline{Q_3}$$

$$D_3 = ((Q_2 Q_1) \oplus Q_3) \cdot \overline{M_Y}$$

$$= \overline{Q_1} Q_3 + Q_1 Q_2 \overline{Q_3}$$

不要求 只要求预置会



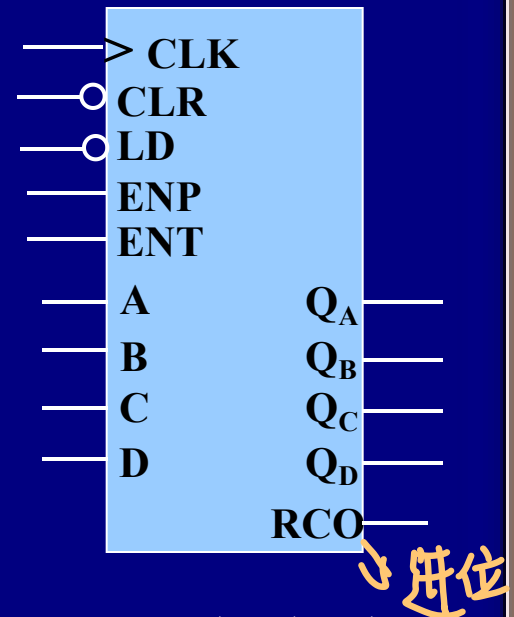
经常考
串行+并行

预置

3.4.1.7 MSI 计数器及应用

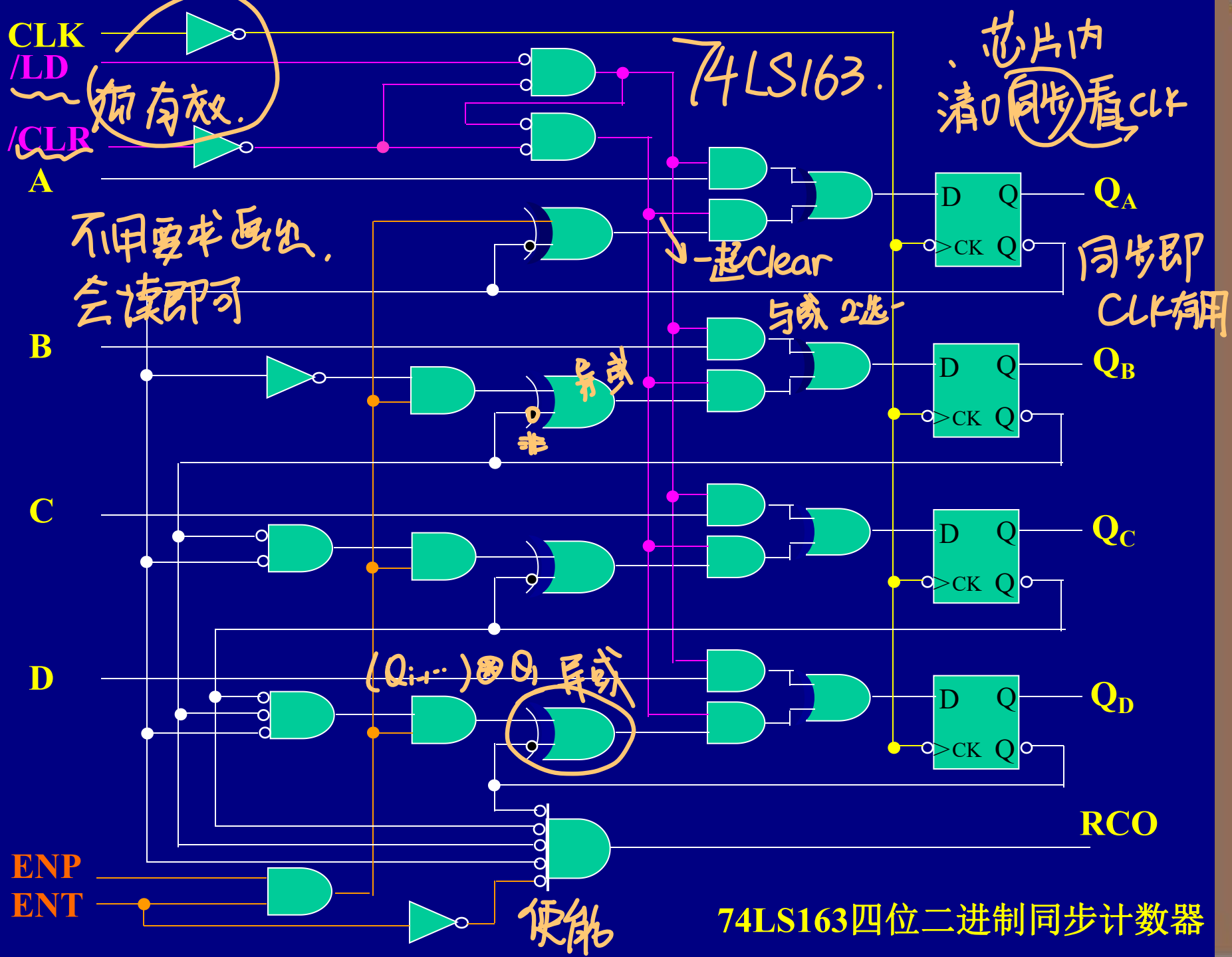
MSI Counters and Applications

74LS163



74LS163是一个四位同步二进制计数器，

- 由 **D触发器**组成的，输出在时钟**CLK**的上升沿改变。
- 具有加载(**LD**)和清除(**CLR**)输入端：
 - ① 当/**CLR**输入有效，输出为0； 着0
 - ② 当/**LD**有效而 /**CLR**无效，输入**A,B,C,D**被送到输出端；
 - ③ 如果 /**CLR**和/**LD**都无效，而使能输入端**ENP**、**ENT**都有效，74LS163进行加1计数。 要看，做模100 → 2片级联
- RCO**信号是最高位的进位：当计数位都是1且使能(**ENT**)有效，则**RCO**为1，这一信号用于多个74LS163级联。 10
- CLR**是同步清零端，它仅在时钟脉冲作用下，才能使各触发器清零。 上述完成清0

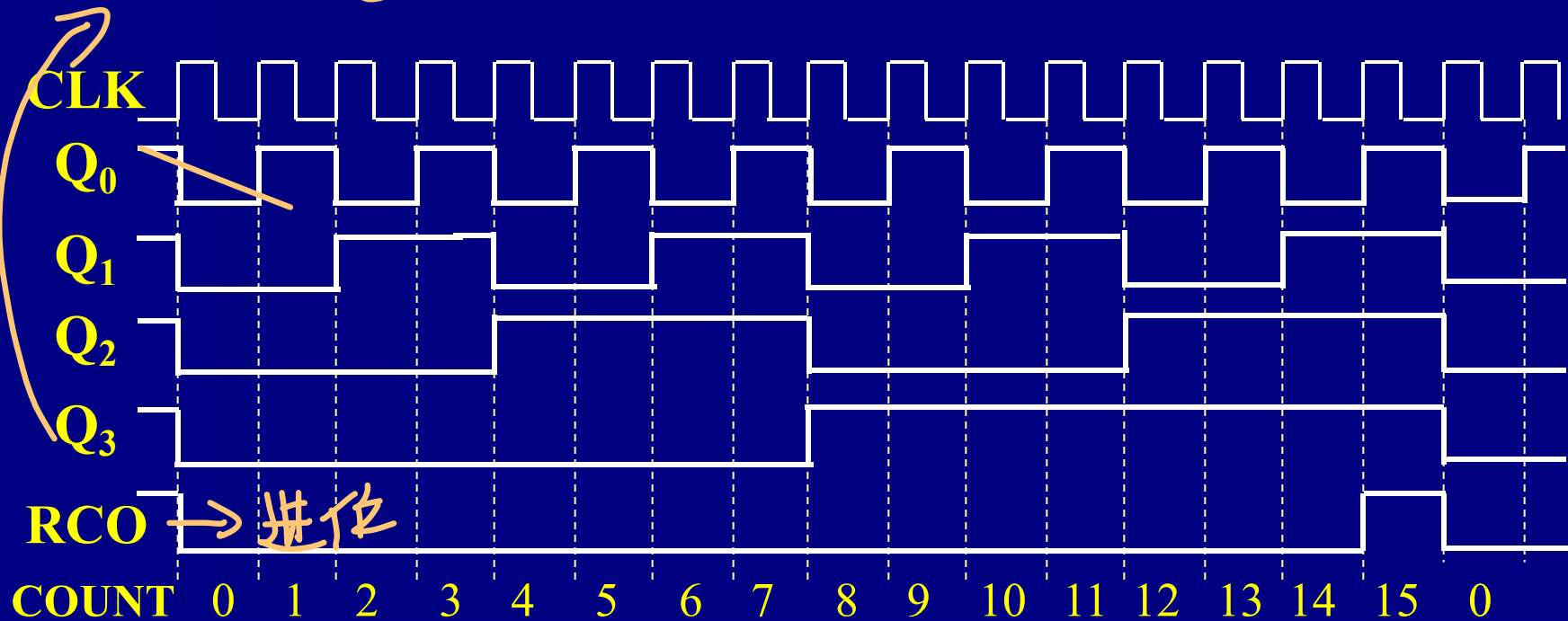
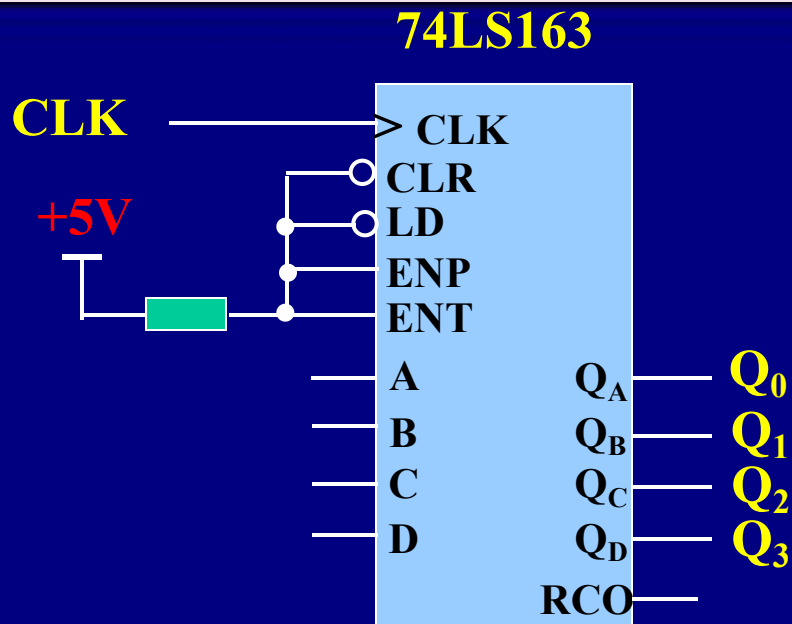


1、单片74LS163应用

必考
(1) 用74LS163实现分频器

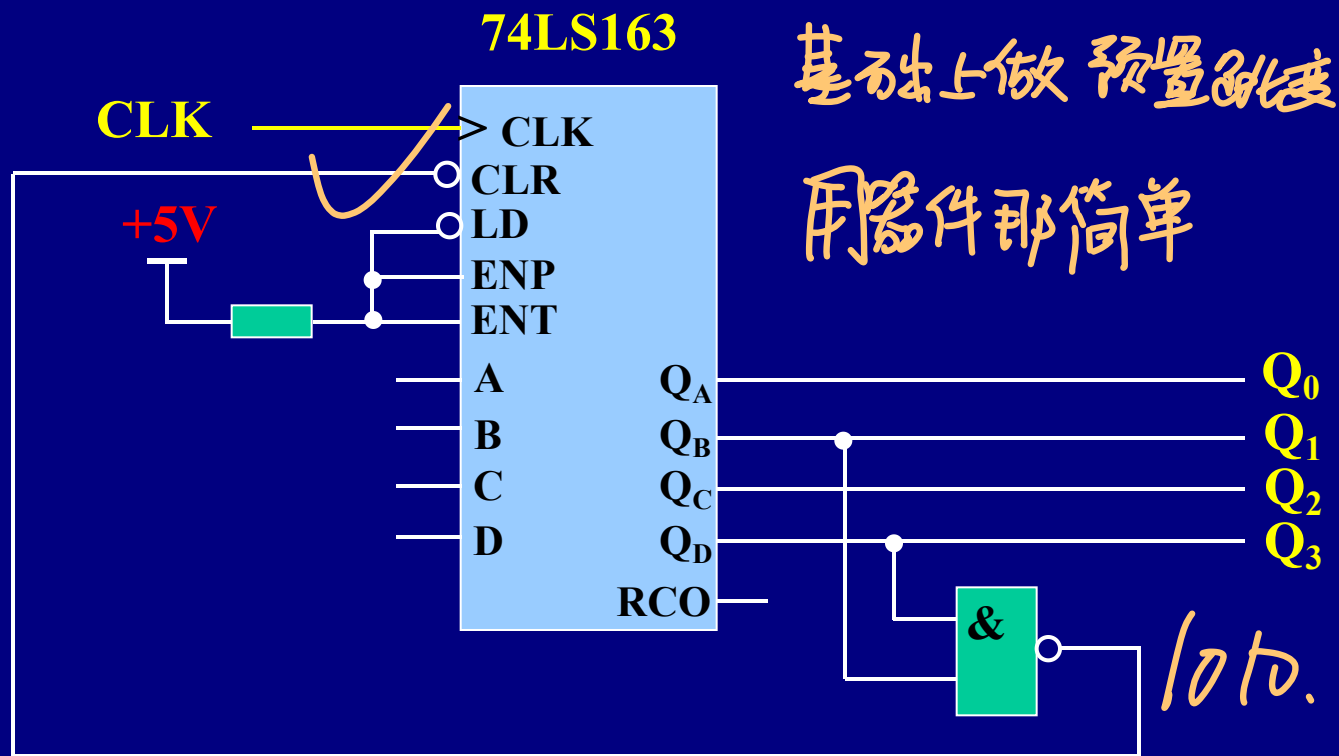
prescaler

$Pres = 8$



(2) 用74LS163实现计数值为0,1,...,10 的模11计数器。

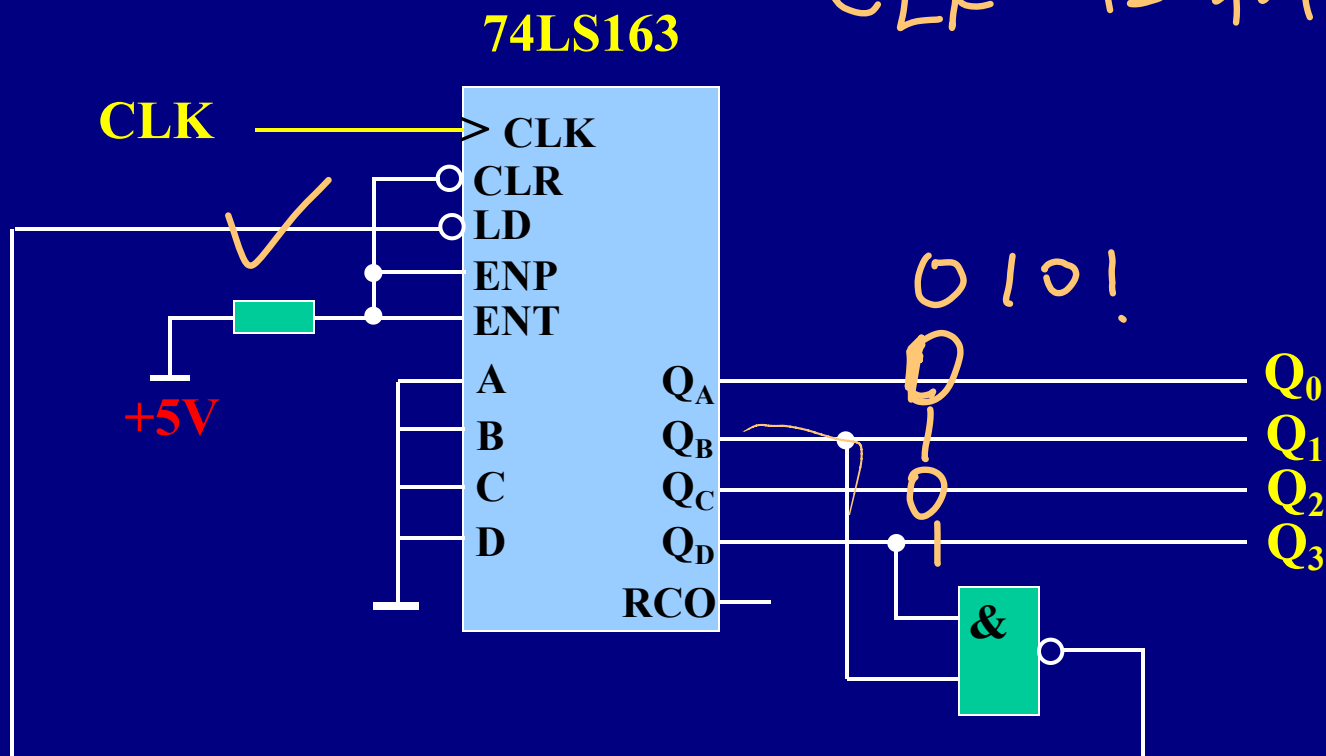
方式1: 利用 **/CLR**(同步清零)完成跳越的次态为全零的预置。



(2) 用74LS163实现计数值为0,1,...,10 的模11计数器。

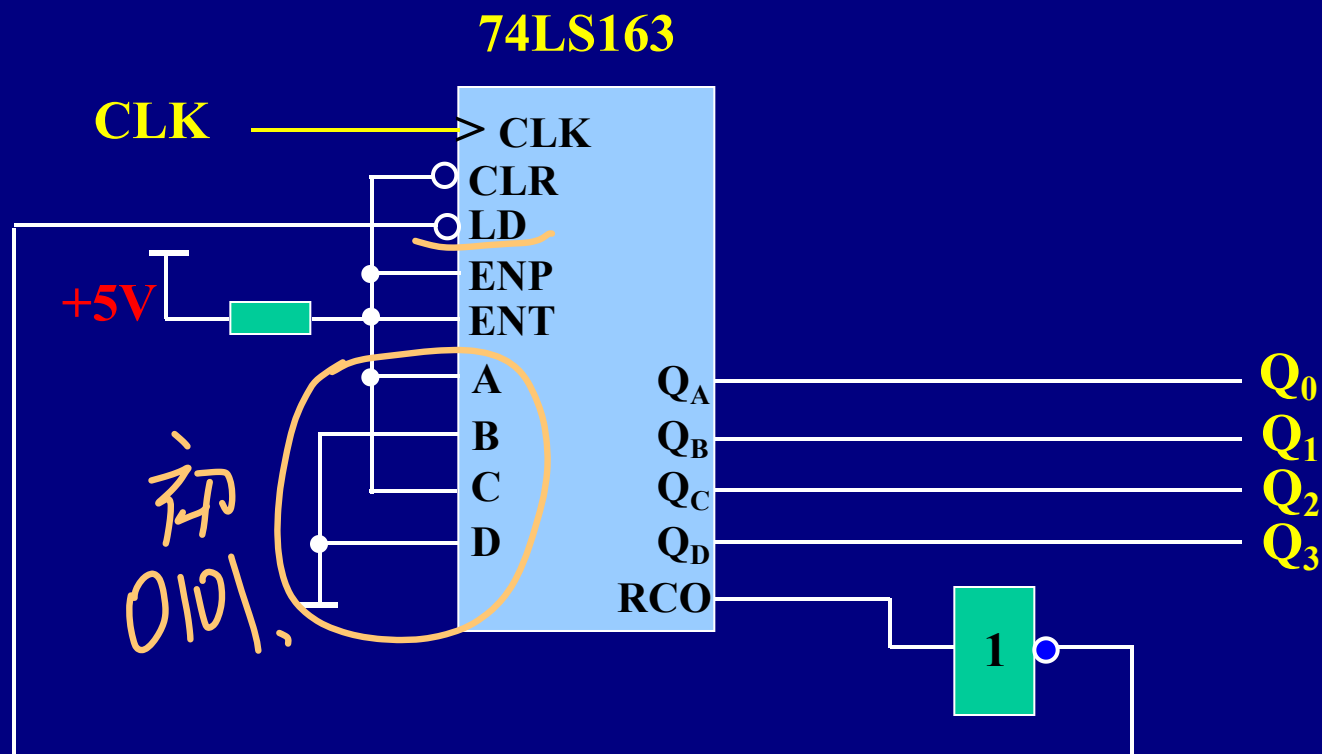
方式2: 利用 $\overline{\text{LD}}$ (置零)完成跳越的次态为全零的预置。

CLK: 转瞬即逝.



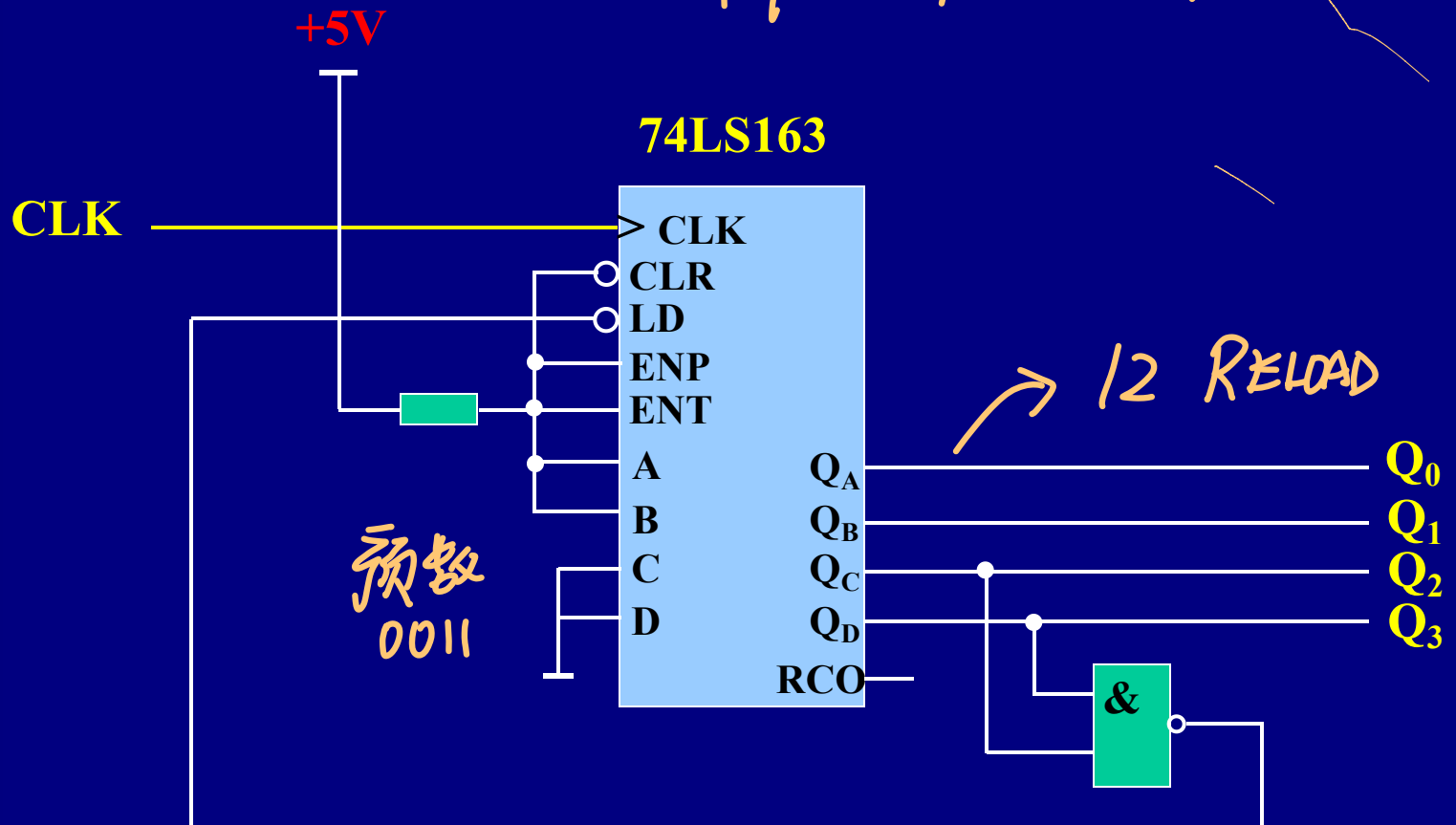
(3) 用74LS163实现计数值为5, 6, ..., 15的模11计数器。

方式3: 利用 $\overline{\text{LD}}$ (置数) 完成跳越的次态为任意值的预置。

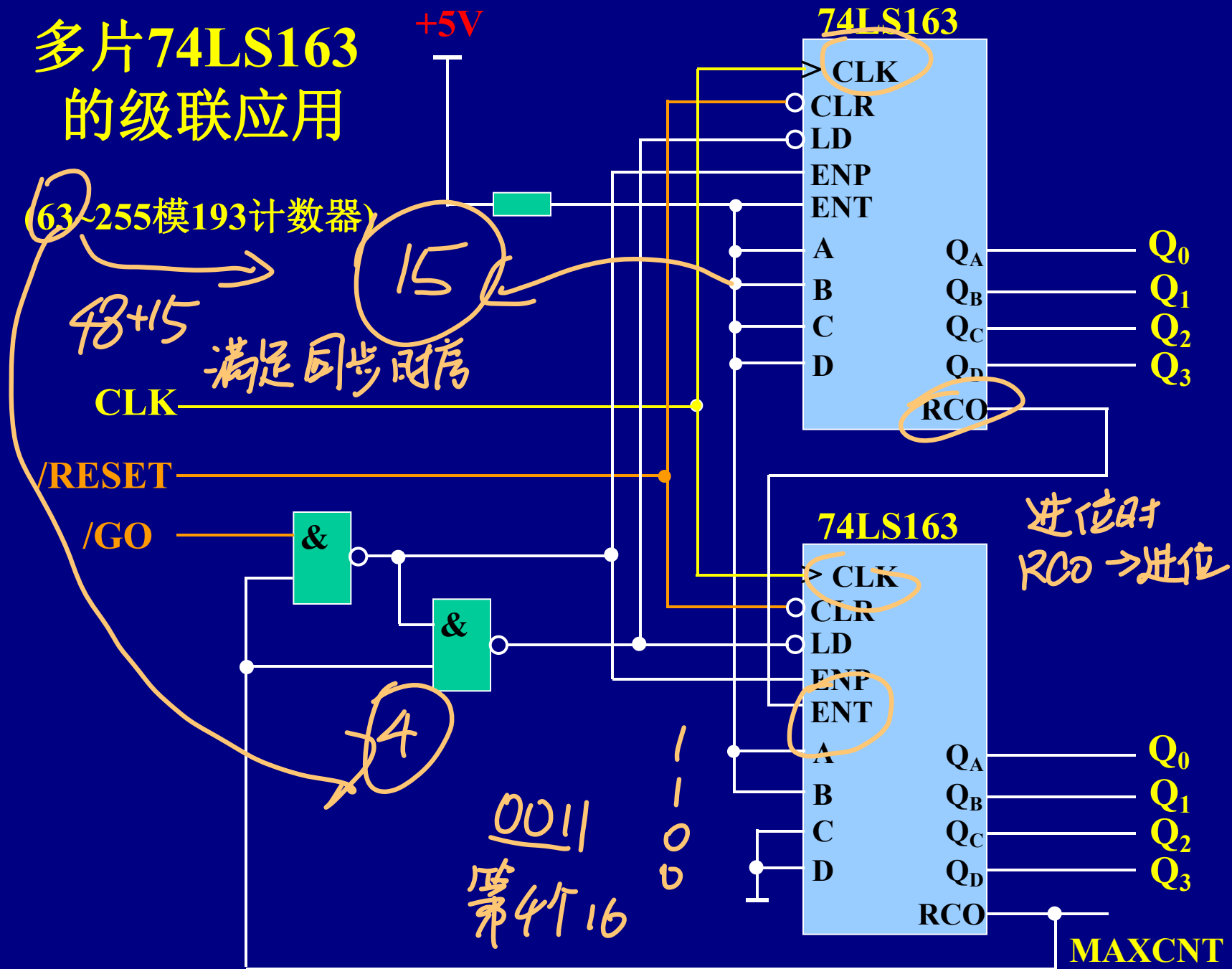


(4) 用74LS163实现余3码计数器。

✓ 中9个, 不可CLR, 用LD



2、多片74LS163的级联应用



3、其它类型MSI计数器

74LS161类似于74LS163，74LS161的 /CLR为异步清零端，可用强置位法实现任意进制计数器。

不看时钟

74LS160和74LS162分别类似于74LS161和74LS163，但它们是模10计数器。

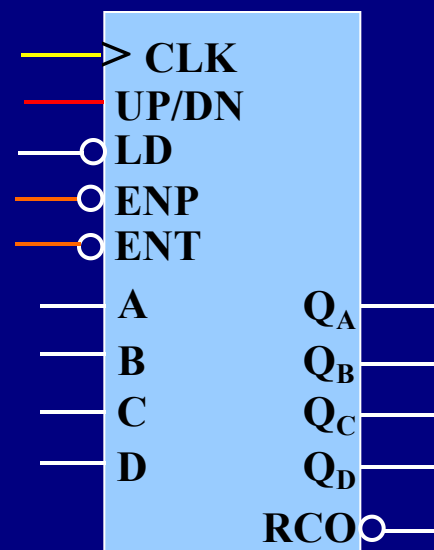
74LS169也类似于74LS163，但输出位 /RCO和使能输入 /ENP、 /ENT都是低有效。另一个更重要的不同之处是：

74LS169是一个可逆计数器，输入信号 UP/DN的值决定是加1计数还是减1计数：

UP/DN=1，加1计数，其 /RCO在输出数据端全为1时有效；

UP/DN=0，减1计数，其 /RCO在输出数据端全为0时有效。

74LS169



- 总结计数器:
 - 串行计数器(异步)– 设计CLK端
加1/减1– 上升沿/下降沿
 - 并行计数器(同步)– 设计数据端
加1减1– 进位/借位传递函数
 - 任意进制计数器– 用跳变的方法
 - 强置位, 预置位, 修正式
 - 163计数器
 - 功能– 电路图
 - 应用– 分频、计数(跳变)、级连扩展

3.4.2 寄存器 *Registers*

过一下，不重要

用于暂时存放二进制代码的逻辑器件称为寄存器。
寄存器按功能分为并行寄存器、
串行寄存器
及串并行寄存器。

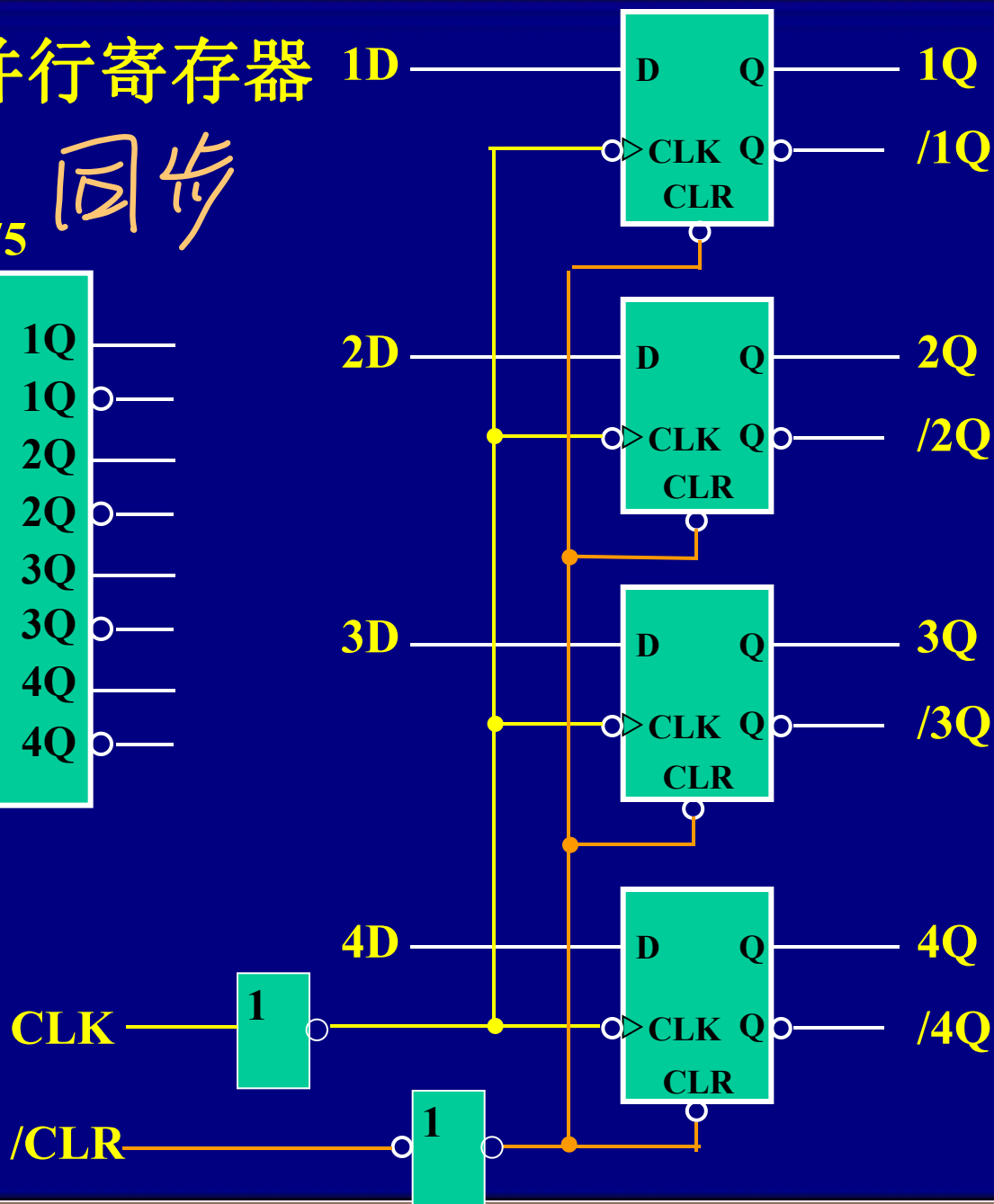
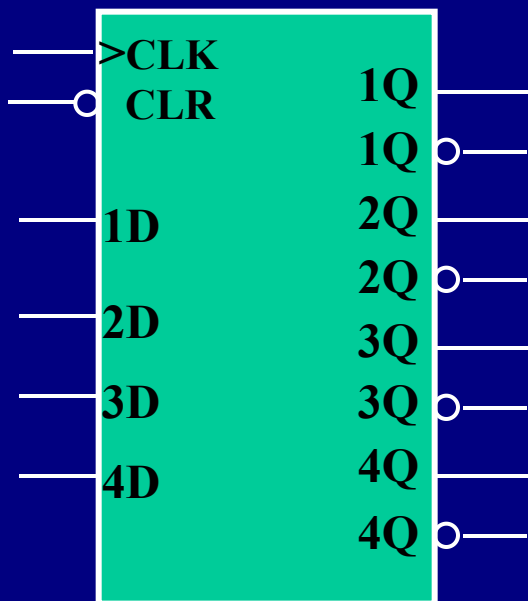
并行寄存器没有移位功能，通常简称为寄存器
Registers；

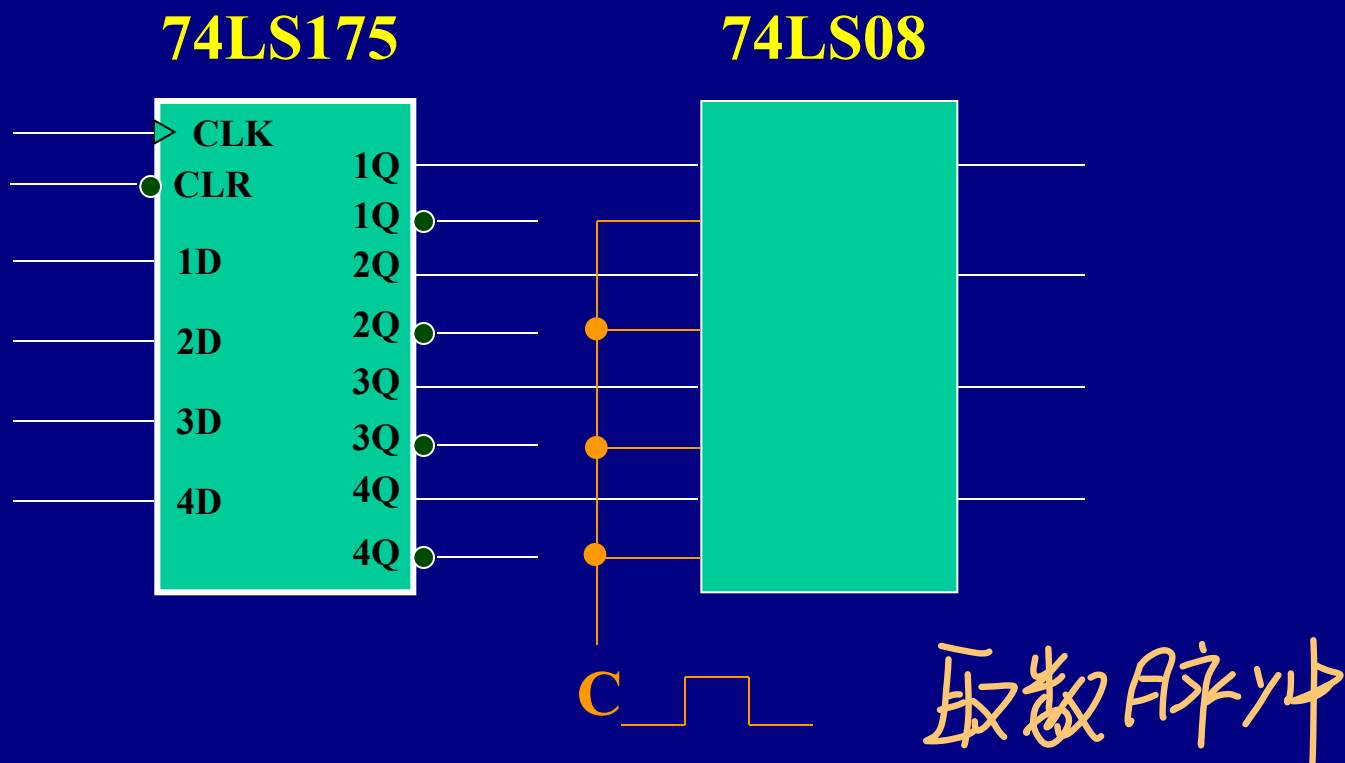
串行及串并行寄存器具有移位功能，通常称为移位寄存器 *Shift Registers*。

3.4.2.1 并行寄存器

同步

74LS175





并行输出控制的 4 位寄存器

通用8位寄存器 (*Generic 8-bit Register*)

该寄存器输出通过三态缓冲门:

- 当输出使能 **/OE**有效时,
8位寄存器中代码并行输出;
- 当/**O**E无效时,
寄存器输出端为高阻抗。

TI: Octal Edge-Triggered D-Type Flip-Flops With 3-State Outputs

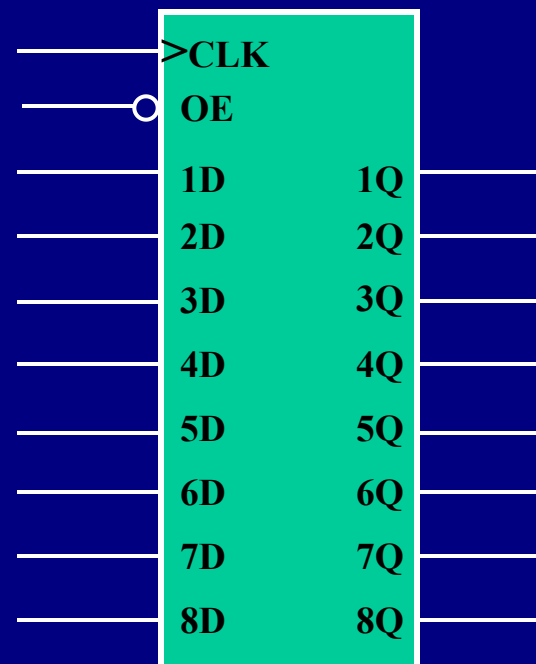
ONSEMI: Octal 3-State Non-Inverting D Flip-Flop

NXP: Octal D-type flip-flop; positive edge-trigger; 3-state

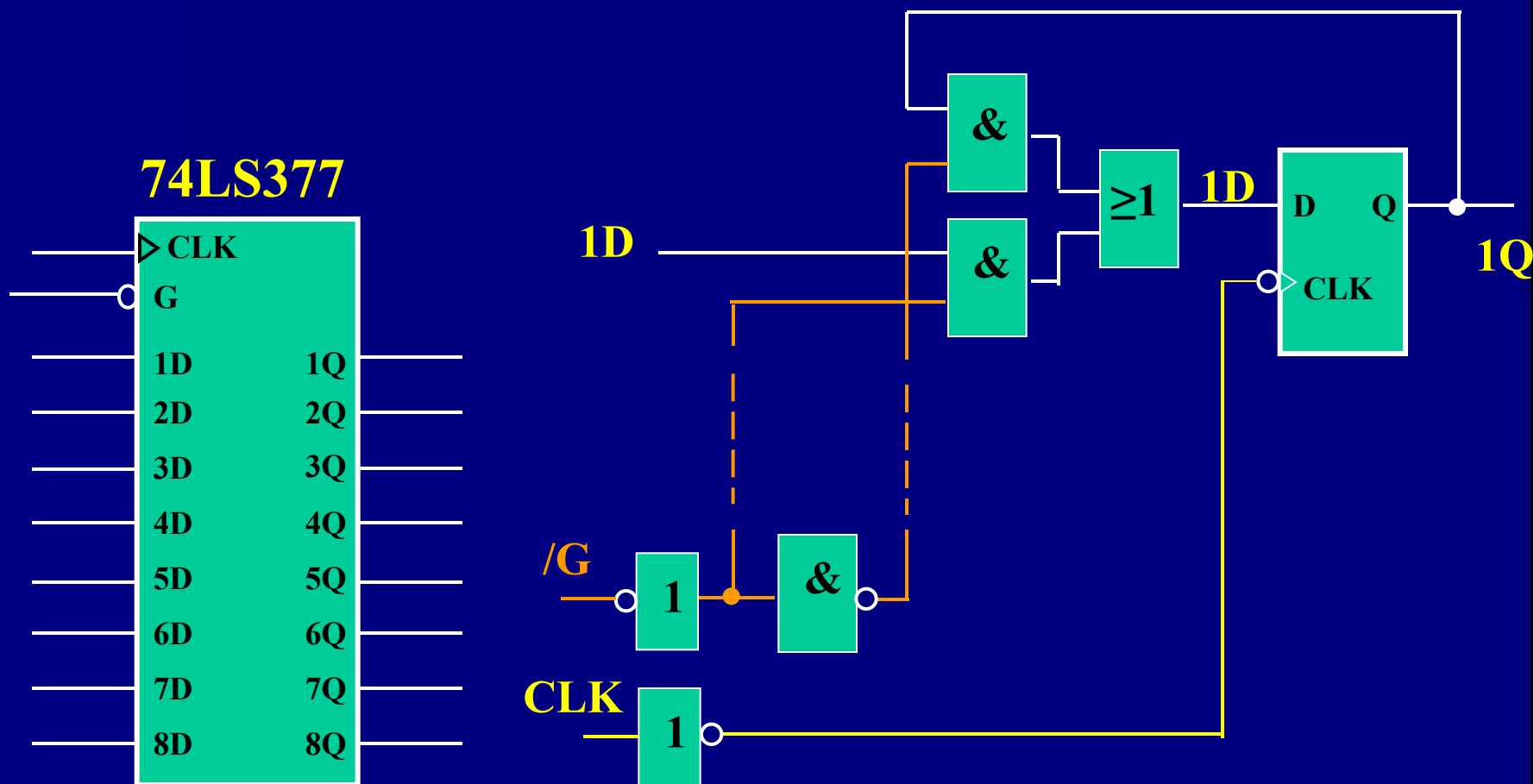
374与574仅是管脚排列

这样可以使多个寄存器挂接到公共总线上。

74LS374



时钟使能的8位寄存器

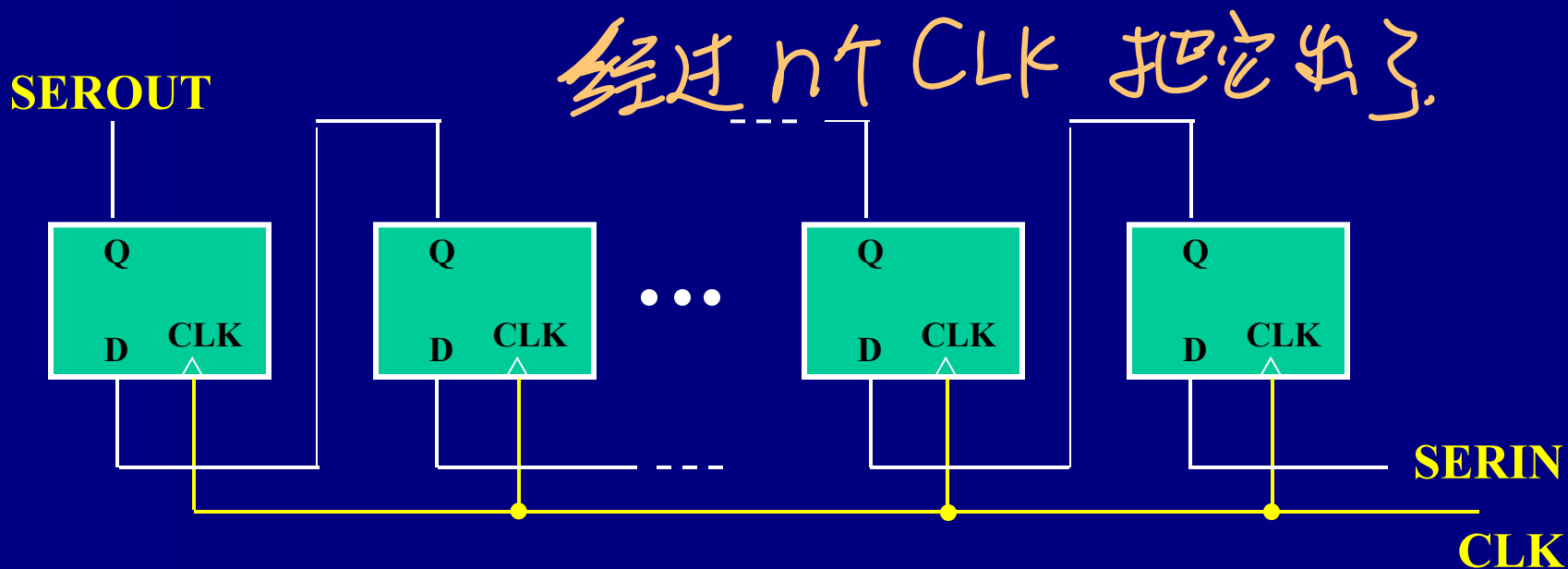


时钟使能的 1 位等效逻辑图

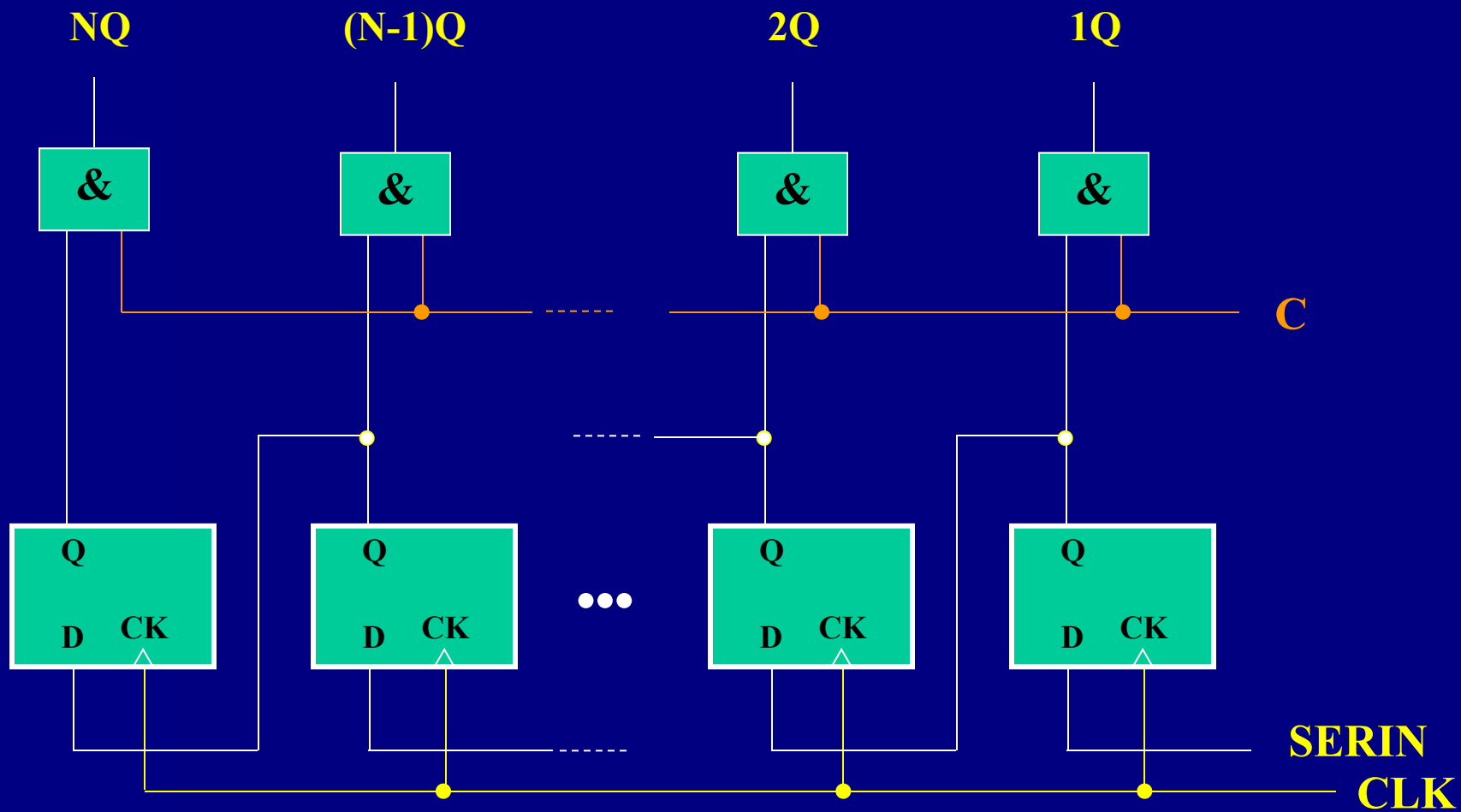
3.4.2.2 移位寄存器 *Shift Registers*

一、移位寄存器结构

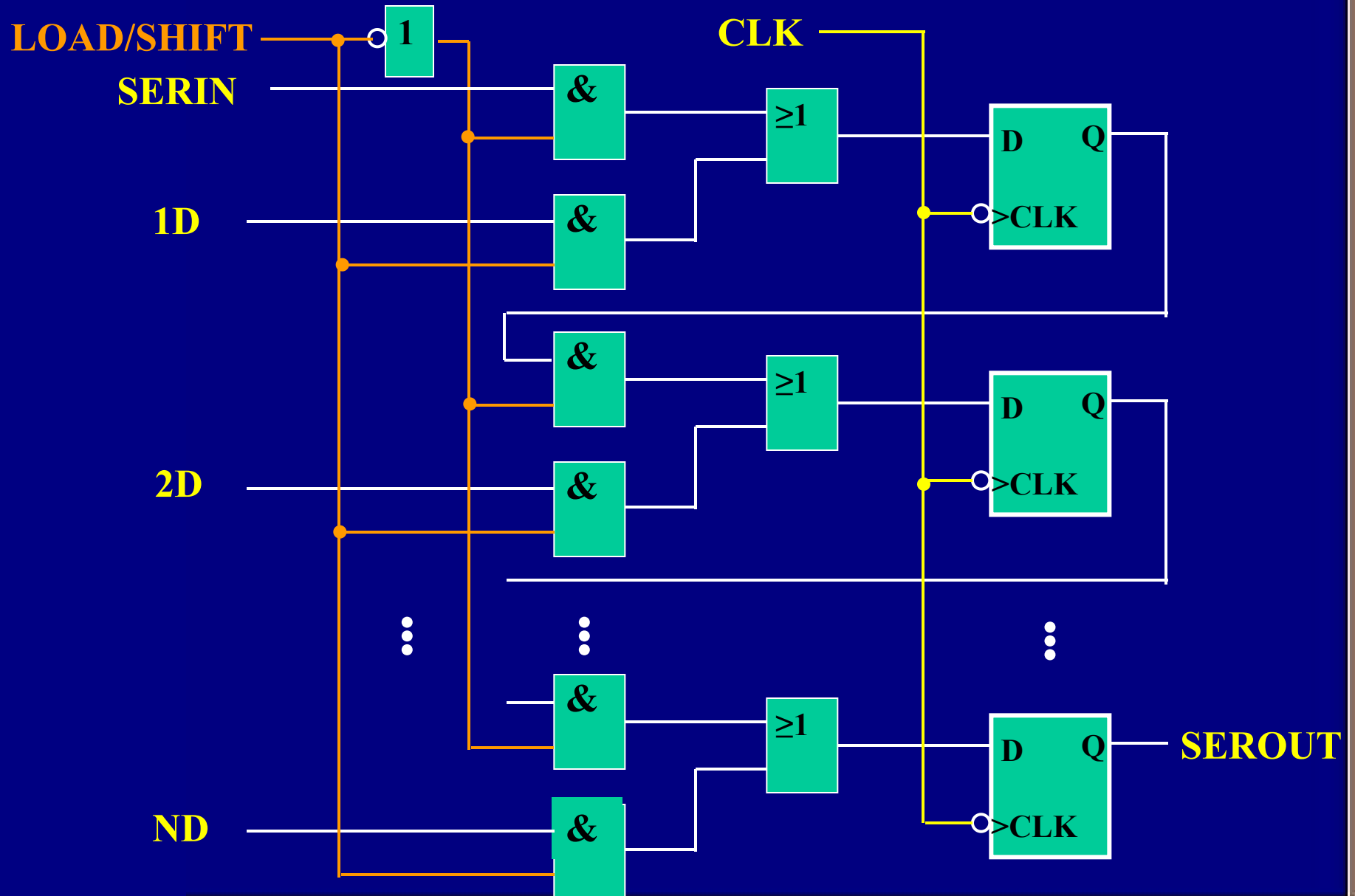
1、串入-串出结构 Serial in – Serial out



2、串入-并出结构 Serial in – Parallel out



3、并入-串出结构 Parallel in – serial out



4、并入-并出结构 Parallel in – parallel out

该结构即是将上页图中的各个触发器Q端均引出，其它部分完全相同。

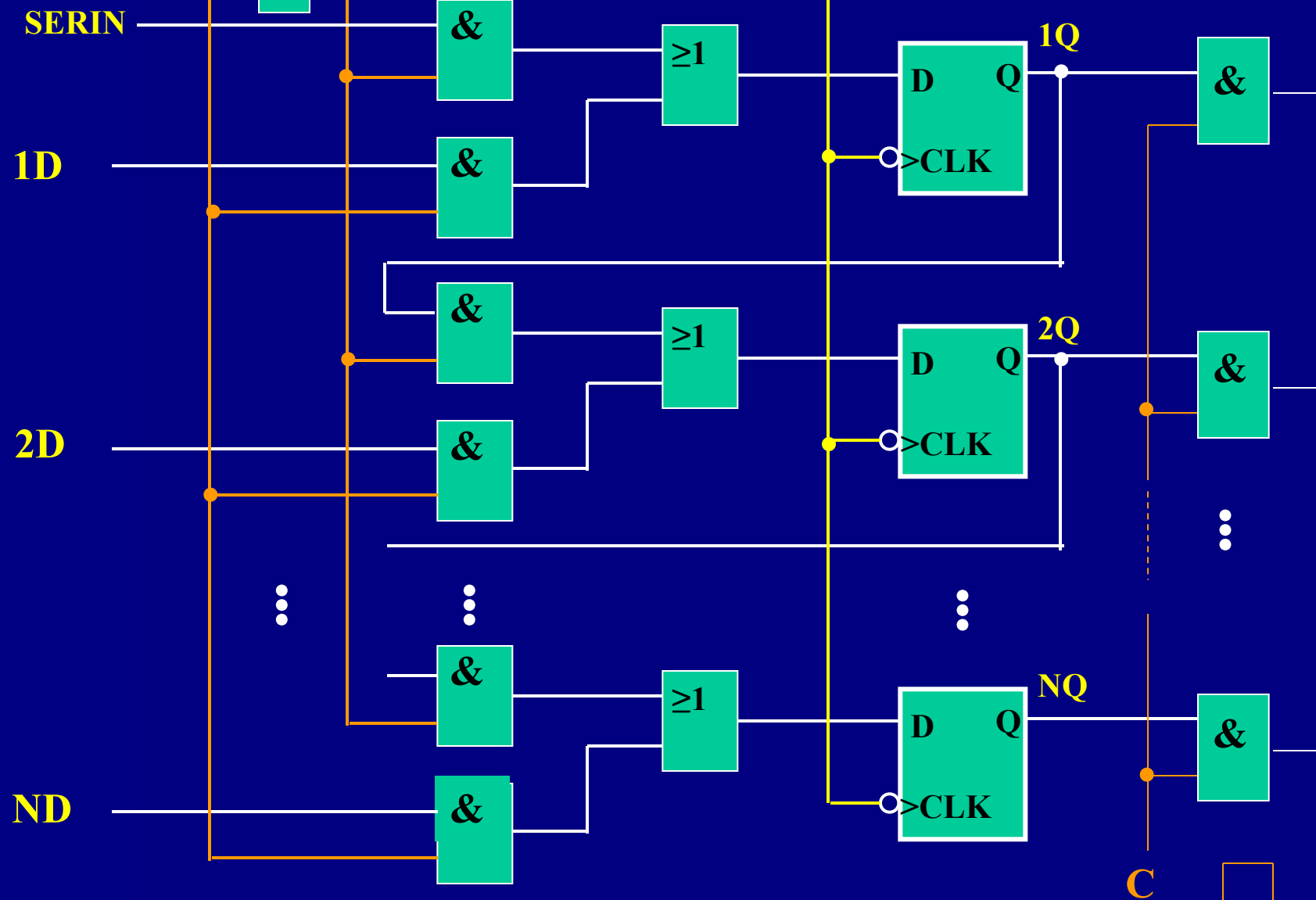
当需要并行输出功能时，只需要外加读出控制门，在读出控制脉冲的作用下将寄存器中数据并行输出。

这种结构的移位寄存器的功能覆盖了前三种，因此通用性更强。逻辑图如下：

LOAD/SHIFT

CLK

外加读出控制门

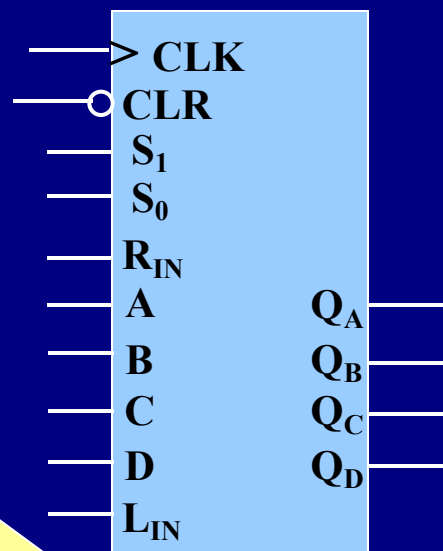


二、MSI 移位寄存器举例

通用寄存器 74LS194

- **RIN** 是右移串行输入端;
- **LIN** 是左移串行输入端;
- **A、B、C、D** 是并行输入端;
- **Q_D** 是右移串行输出端;
- **Q_A** 是左移串行输出端;
- **Q_A、Q_B、Q_C、Q_D** 是并行输出端;
- **/CLR** 是异步的寄存器清“0”信号;
- **S₁S₀** 是工作方式控制。

74LS194



74LS194寄存器状态表

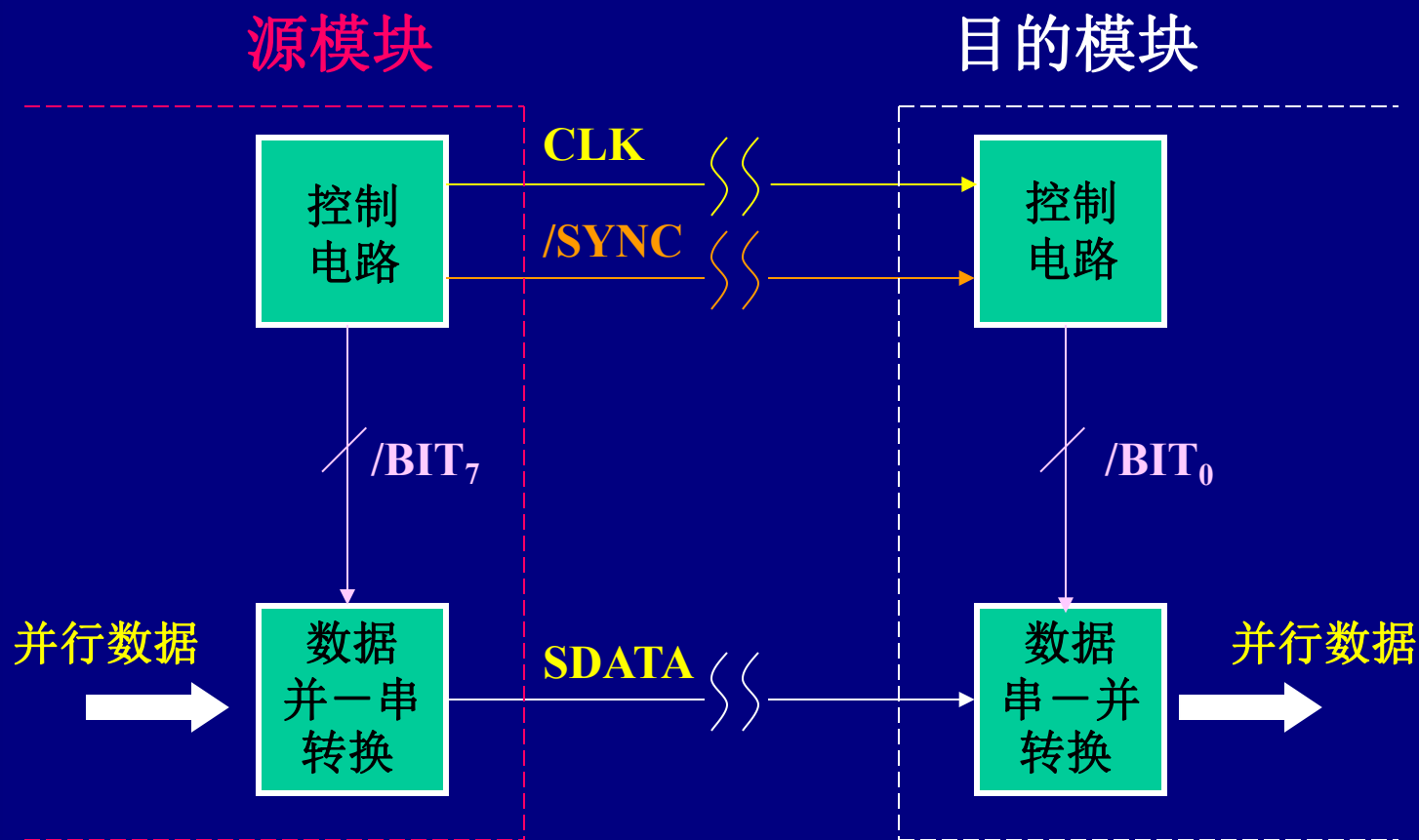
功能	S ₁ S ₀	Q _A ⁿ⁺¹	Q _B ⁿ⁺¹	Q _C ⁿ⁺¹	Q _D ⁿ⁺¹
保持	0 0	Q _A	Q _B	Q _C	Q _D
右移	0 1	R _{IN}	Q _A	Q _B	Q _C
左移	1 0	Q _B	Q _C	Q _D	L _{IN}
置数	1 1	A	B	C	D

Q_A Q_B Q_C Q_D

右移
左移

3.4.2.3 MSI寄存器应用举例

—— 数据串并行的转换



两个模块间数据传送图

例 用MSI实现一典型数据通讯。

设：时钟信号**CLK**的频率为 2.048MHz，

每秒传送 32×8000 个字节(byte)，

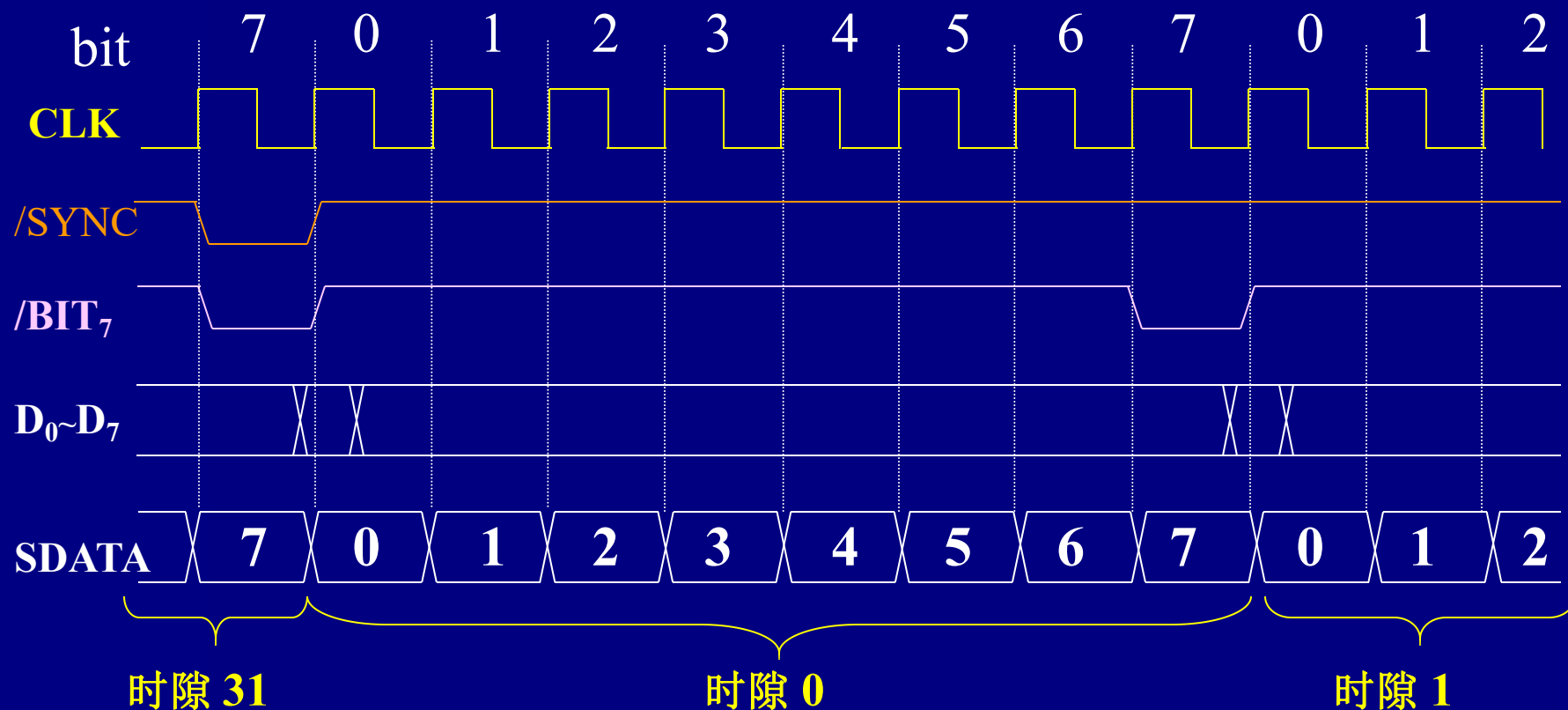
每**帧(frame)** 有 32 个时隙，

每个**时隙(time slot)** 传送 8**位(bit)**，即1个字节(byte)

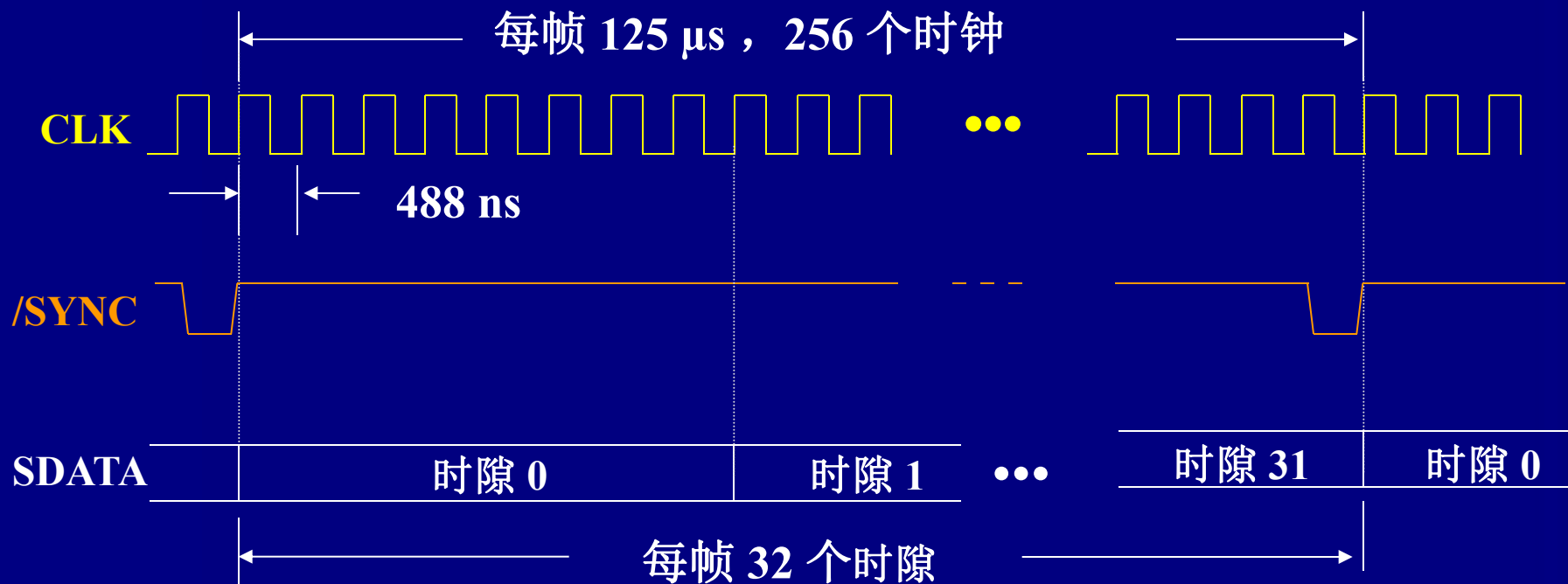
即 传送时间为 $125 \mu\text{s}$ / 帧

信号的时间关系如图所示，见下页。

并 — 串转换时序图



(a) 帧开始处的一个字节

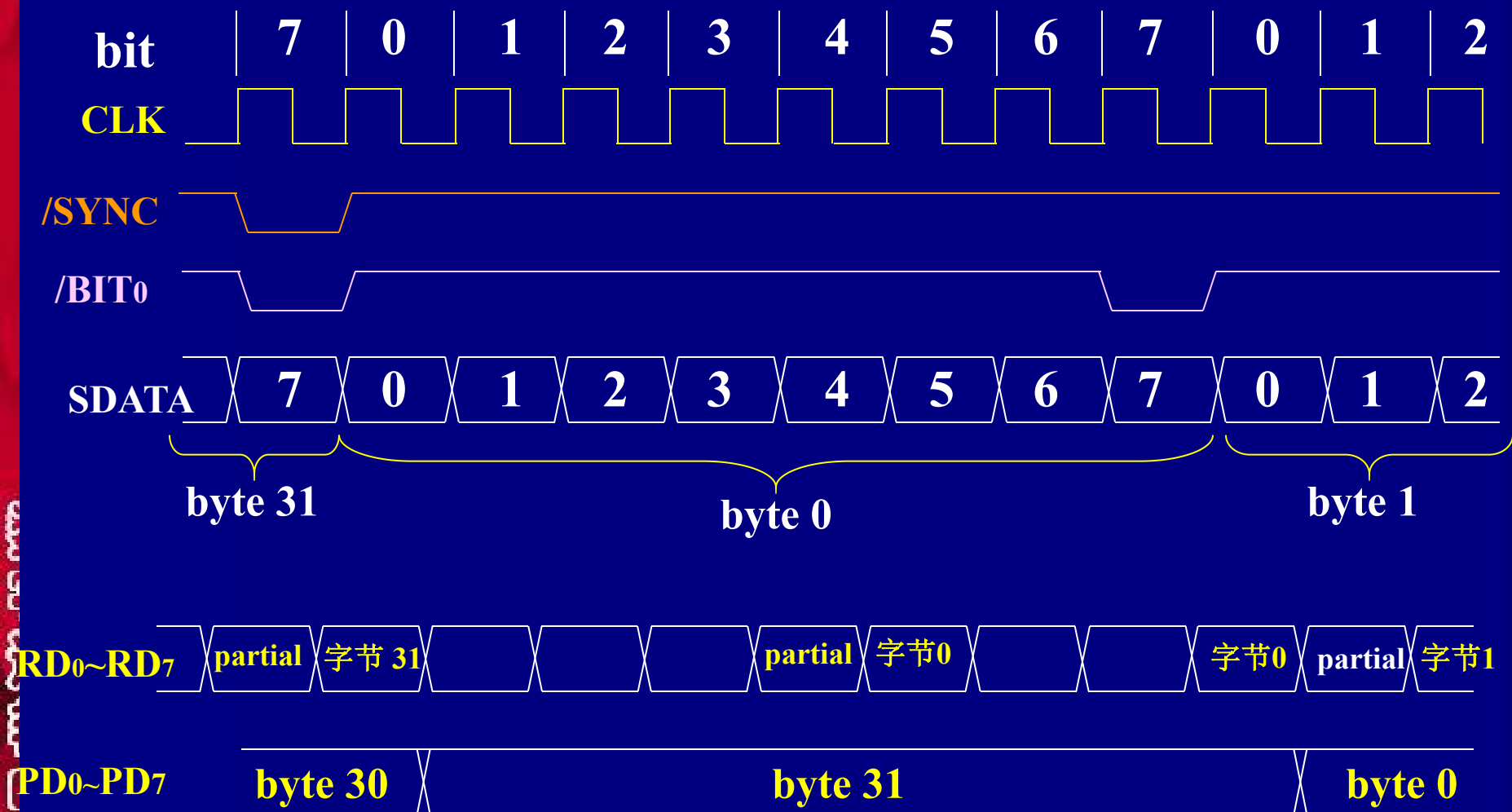


(b) 一个完整的数据帧

用74LS163(计数器)和74LS166(8位并入-串出移位寄存器)构成数据源的电路，完成数据的并行读入，串行输出的功能。

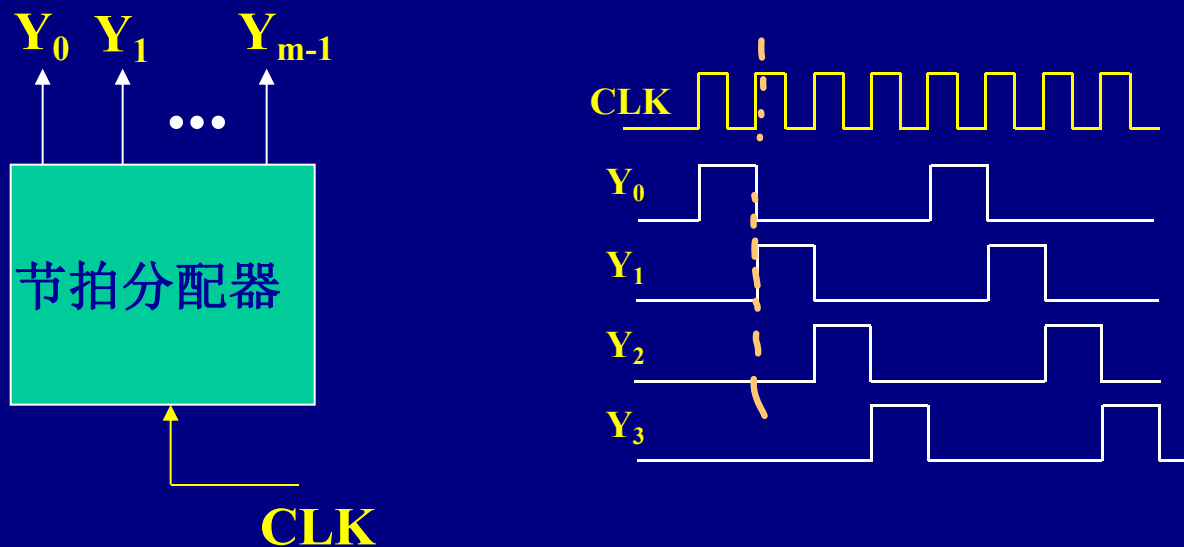
用74LS163(计数器)、74LS164(8位串入-并出移位寄存器)和74LS377(8位数据缓冲器)构成数据目的电路，完成数据的串行读入，并行输出的功能。

串并转换信号时序图



3.4.3 节拍分配器

Digital fractional rate Multipliers

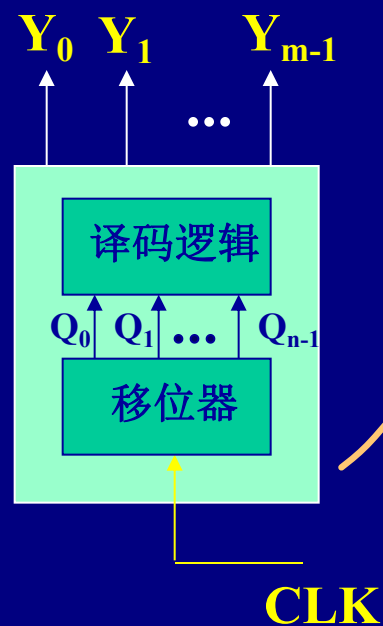
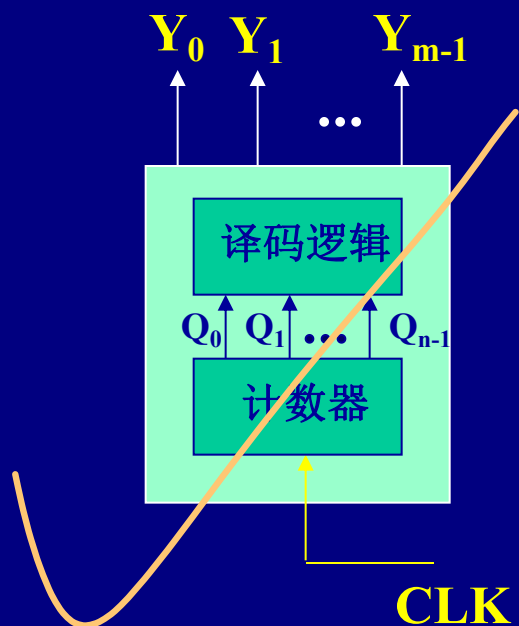


- 节拍分配器：在控制器中产生节拍脉冲的部件，这些脉冲用来控制各功能部件协调有序地完成一些操作。
- 节拍发生器：输出信号为电位信号；一拍内都为高电平
- 脉冲分配器：输出信号为脉冲信号。

关系

3.4.3 节拍分配器

Digital fractional rate Multipliers



- 按分配器的结构分为：计数型和移位型两类。

计数器, 什么都行.

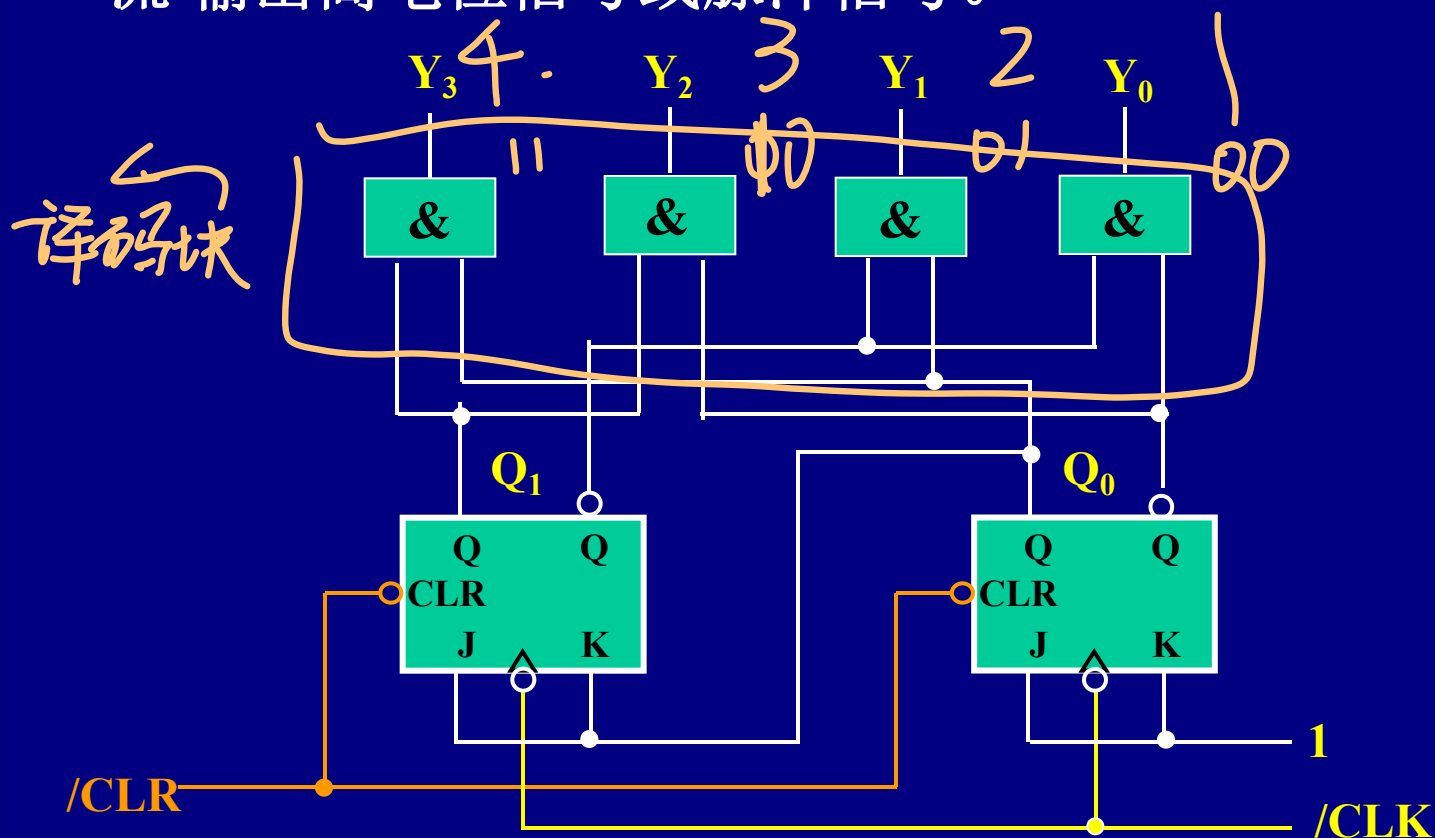
模 n. 但只要 1, 3, 5 (译码器) 译出来

简单 但器件多

(易挂起)

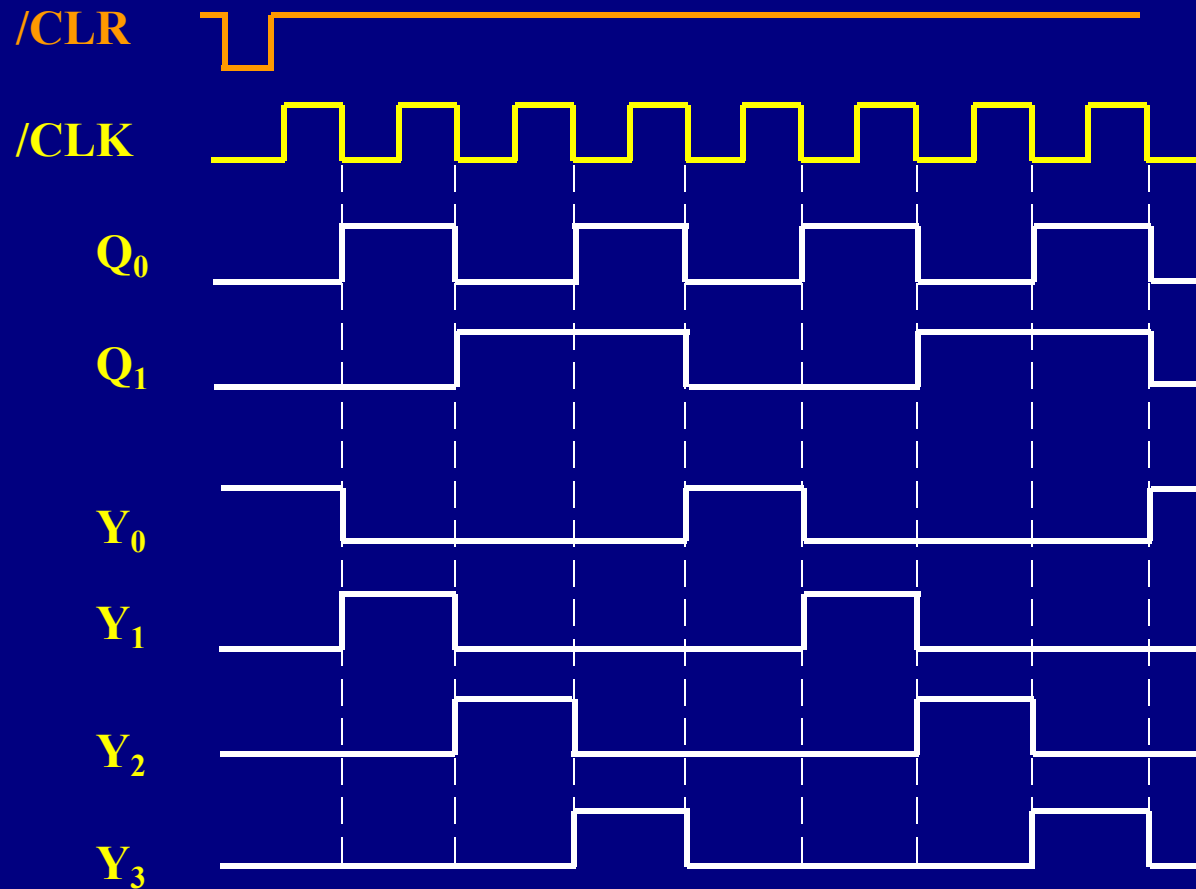
3.4.3.1 计数型(Binary)节拍分配器

- 由二进制计数器和译码器组成
- 在时钟脉冲序列作用下，从译码器的各输出端上轮流输出高电位信号或脉冲信号。

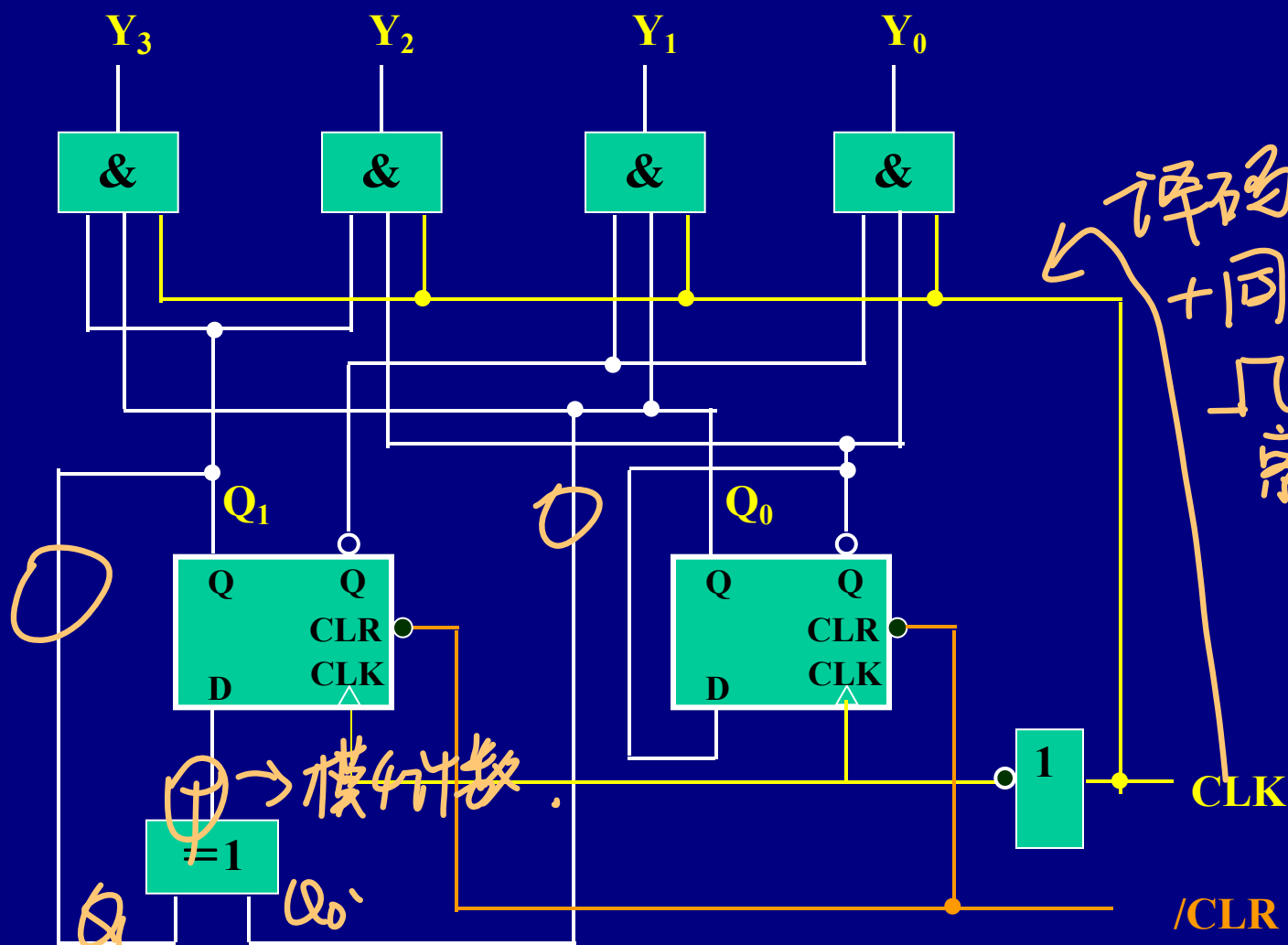


四输出节拍分配器逻辑图

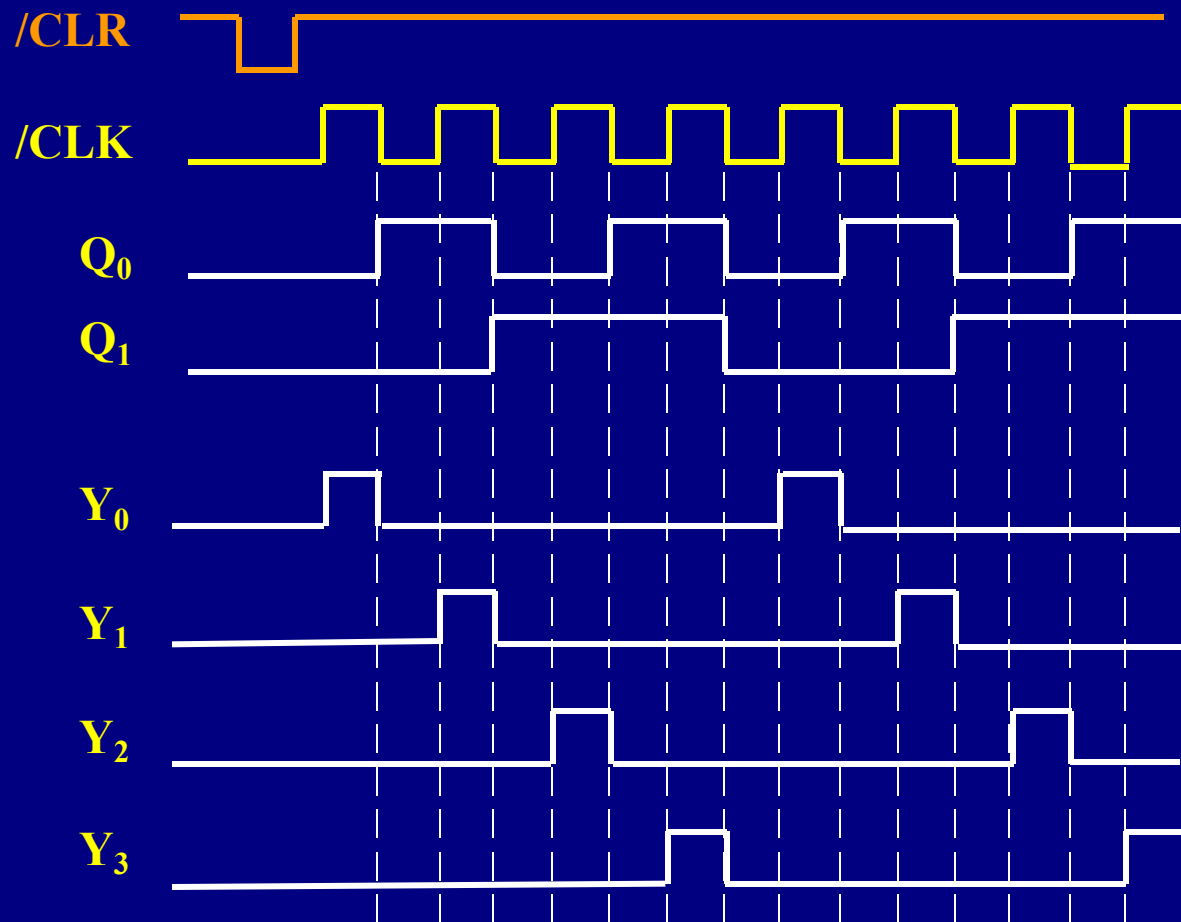
四输出节拍分配器波形图



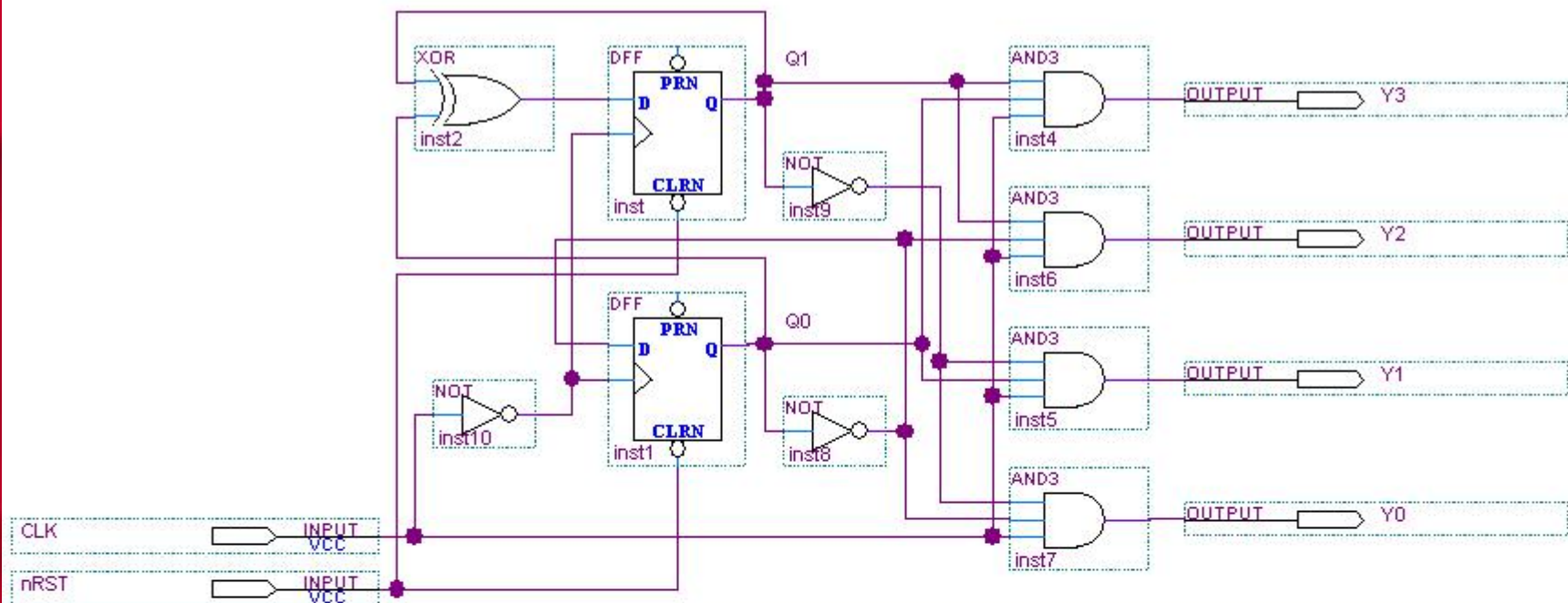
四输出脉冲分配器逻辑图



四输出脉冲分配器波形图



思考：能否省去CLK的反相门？



Master Time Bar:

13.05 ns

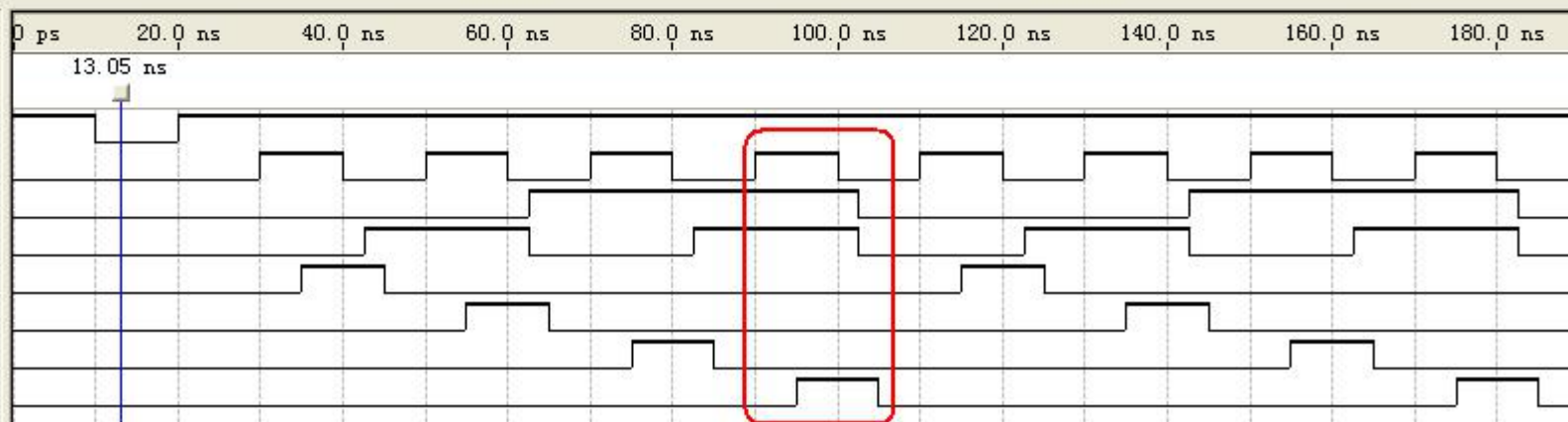


Pointer:

480 ps

Interval:

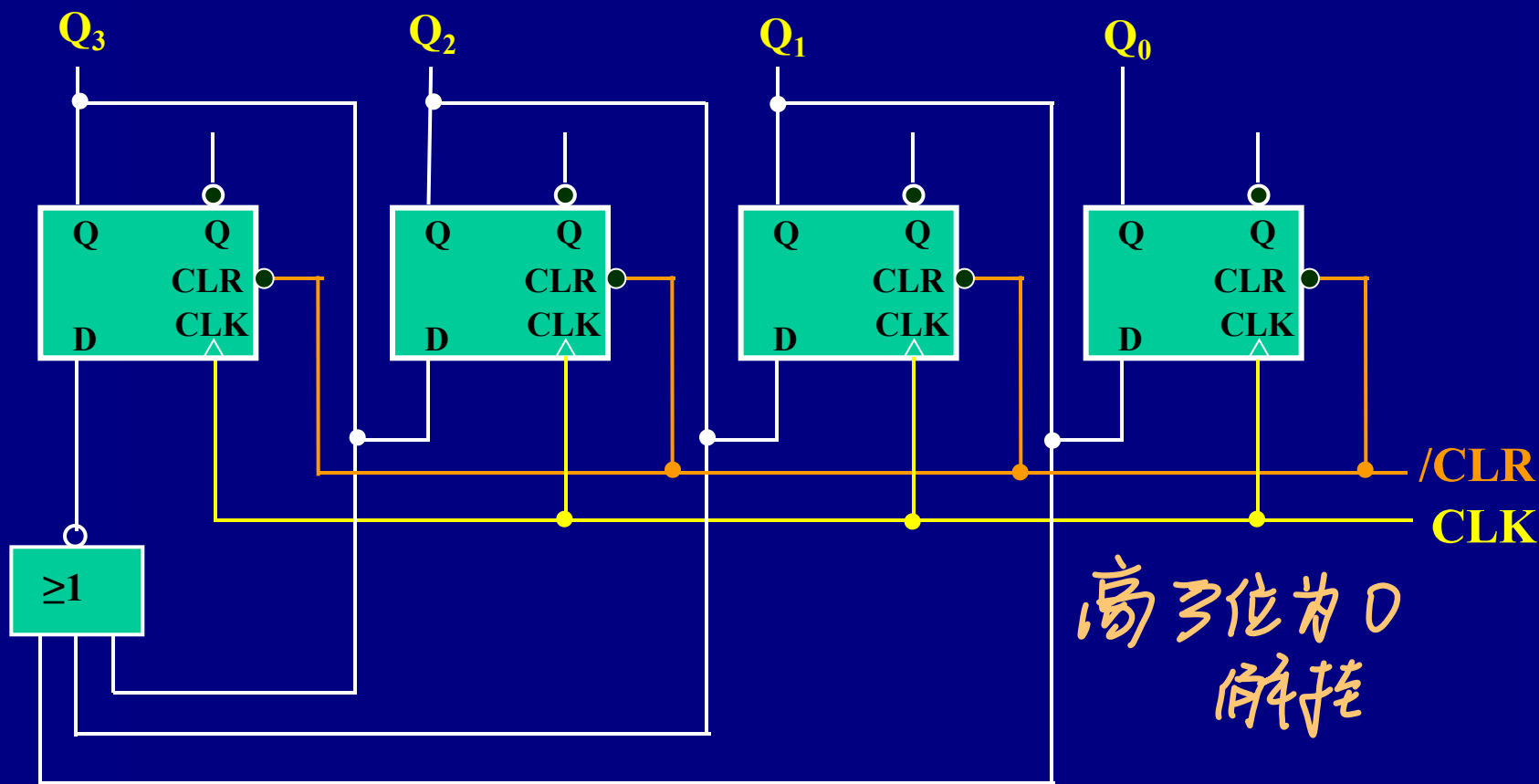
-12.57 ns



3.4.3.2 移位型(*Ring/Twisted*)节拍分配器

由移位寄存器和逻辑门组成。

1. 四输出移位型节拍分配器逻辑图



$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

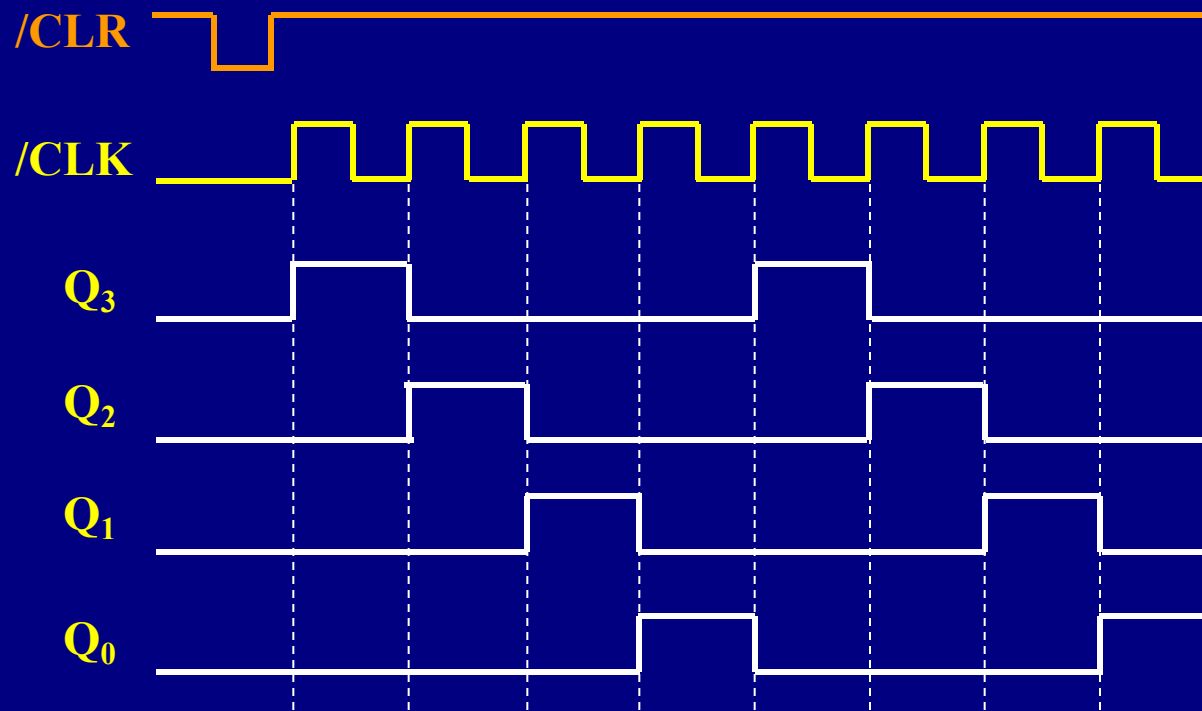
$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 1
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

$Q_3 Q_2 Q_1 Q_0$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0 0	1 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	0 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	0 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	0 0 1 1
1 0 0 0	0 1 0 0
1 0 0 1	0 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	0 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	0 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	0 1 1 1

四输出移位型节拍分配器的波形图

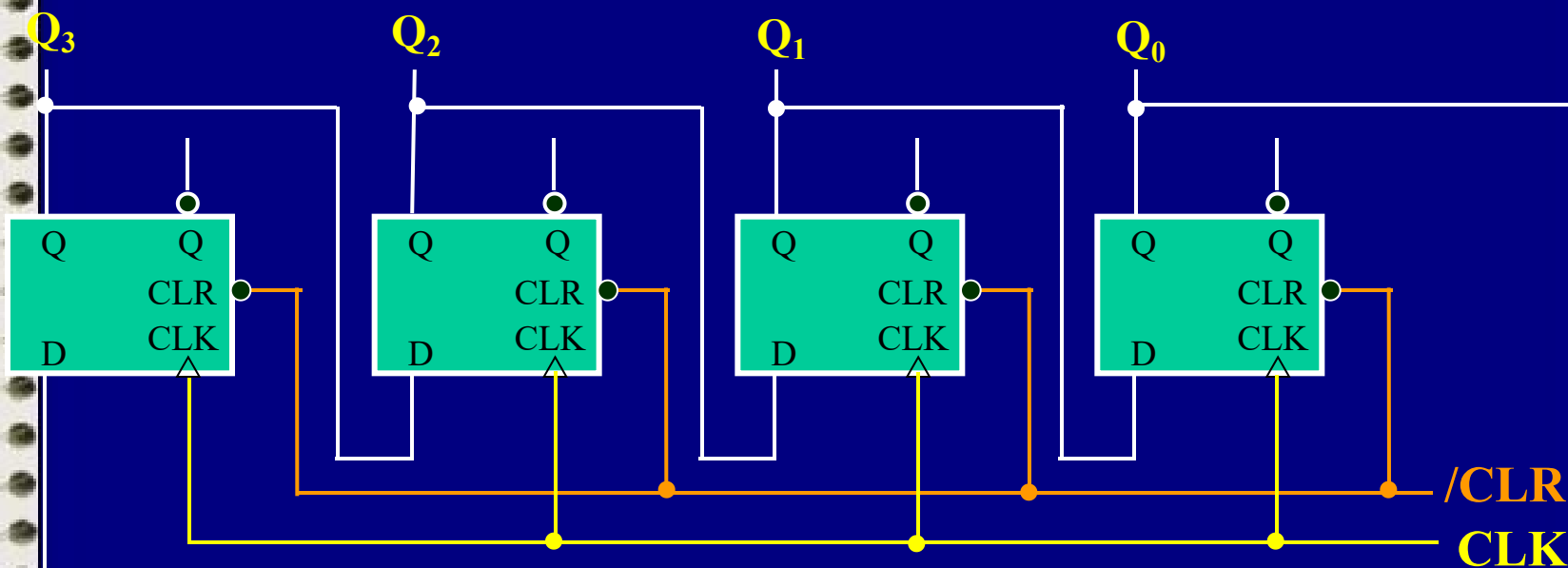


思考: 1. 该电路可否用单纯的循环右移寄存器构成?
(挂起)

2. 如何设计出此电路? (状态真值表、解挂)

3. 用功能设计法设计出此电路。

用单纯的循环右移寄存器构成四输出移位型节拍分配器



0001 → 1000 → 0100 → 0010 →

工作序列

该电路有挂起现象：

0000 →

1111 →

0011 → 1001 → 1100 → 0110 →

0111 → 1011 → 1101 → 1110 →

模4 2个计数器

对单纯的循环右移寄存器的解挂设计

看上去易理解
实际上不简单

$Q_3Q_2Q_1Q_0$				$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$			
0	0	0	0	d	d	d	d
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	d	d	d	d
0	1	0	0	0	0	1	0
0	1	0	1	d	d	d	d
0	1	1	0	d	d	d	d
0	1	1	1	d	d	d	d
1	0	0	0	0	1	0	0
1	0	0	1	d	d	d	d
1	0	1	0	d	d	d	d
1	0	1	1	d	d	d	d
1	1	0	0	d	d	d	d
1	1	0	1	d	d	d	d
1	1	1	0	d	d	d	d
1	1	1	1	d	d	d	d

Q_1Q_0 / Q_3Q_2

d	0	d	0
1	d	d	d
d	d	d	d
0	d	d	d

Q_3^{n+1}

$$Q_3^{n+1} = D_3 = Q_0$$

对单纯的循环右移寄存器的解挂设计

$Q_4 Q_3 Q_2 Q_1$				$Q_4^{n+1} Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$			
0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	1	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	1	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	1	0	1	1
1	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	1	1
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

$Q_1 Q_0$ / $Q_3 Q_2$

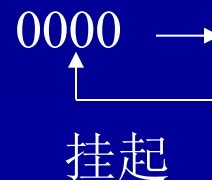
d	0	d	0
1	d	d	d
d	d	d	d
0	d	d	d

Q_3^{n+1}

$$Q_3^{n+1} = D_3 = Q_0$$

$$Q_3^{n+1} = D_3 = \overline{Q_3} Q_0$$

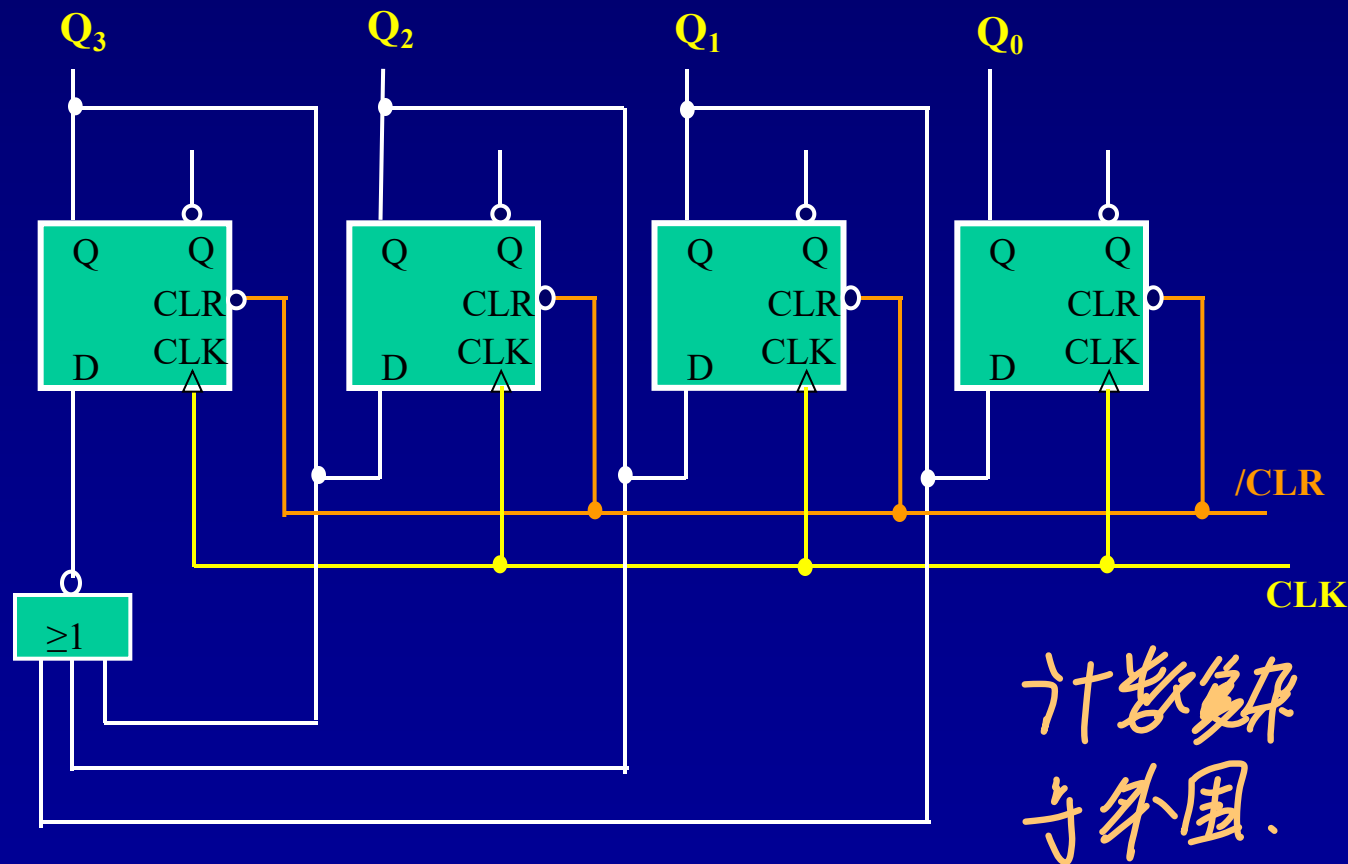
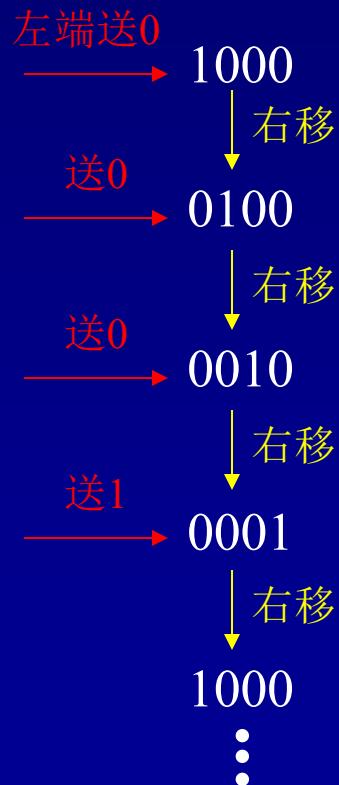
解挂否？



最终解挂方案？

对移位型(基于右移寄存器)节拍分配器的功能设计

分析需求:



当前三位中有“1”，则送“0”

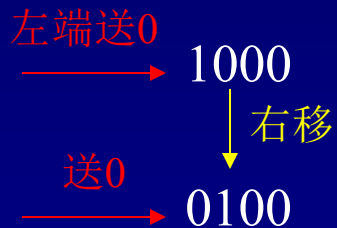
仅当前三位全是“1”，则送
“1”

故: $D_3 = Q_3 + Q_2 + Q_1$

对其它的多余状态，最多只需经过三个节拍，就可以得到“0001”，从而进入有效状态，因此，这是一个自恢复循环右移计数器。

对移位型(基于右移寄存器)节拍分配器的功能设计

分析需求:



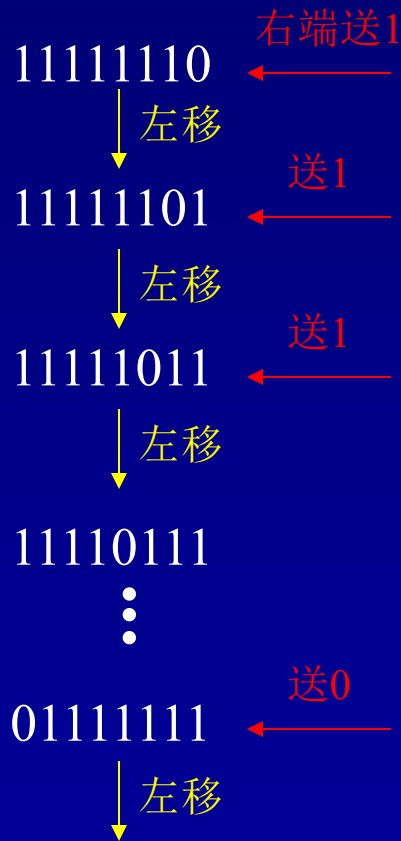
同样可以看出，若出现任一多余状态，最多只需经过七个节拍，就可以得到“1111110”，从而进入有效状态，由此设计出一个自恢复循环左移计数器。

当前三位中有“1”，则送“0”

仅当前三位全是“1”，则送“1”

故: $D_3 = Q_3 + Q_2 + Q_1$

同理，对作业需求的分析：



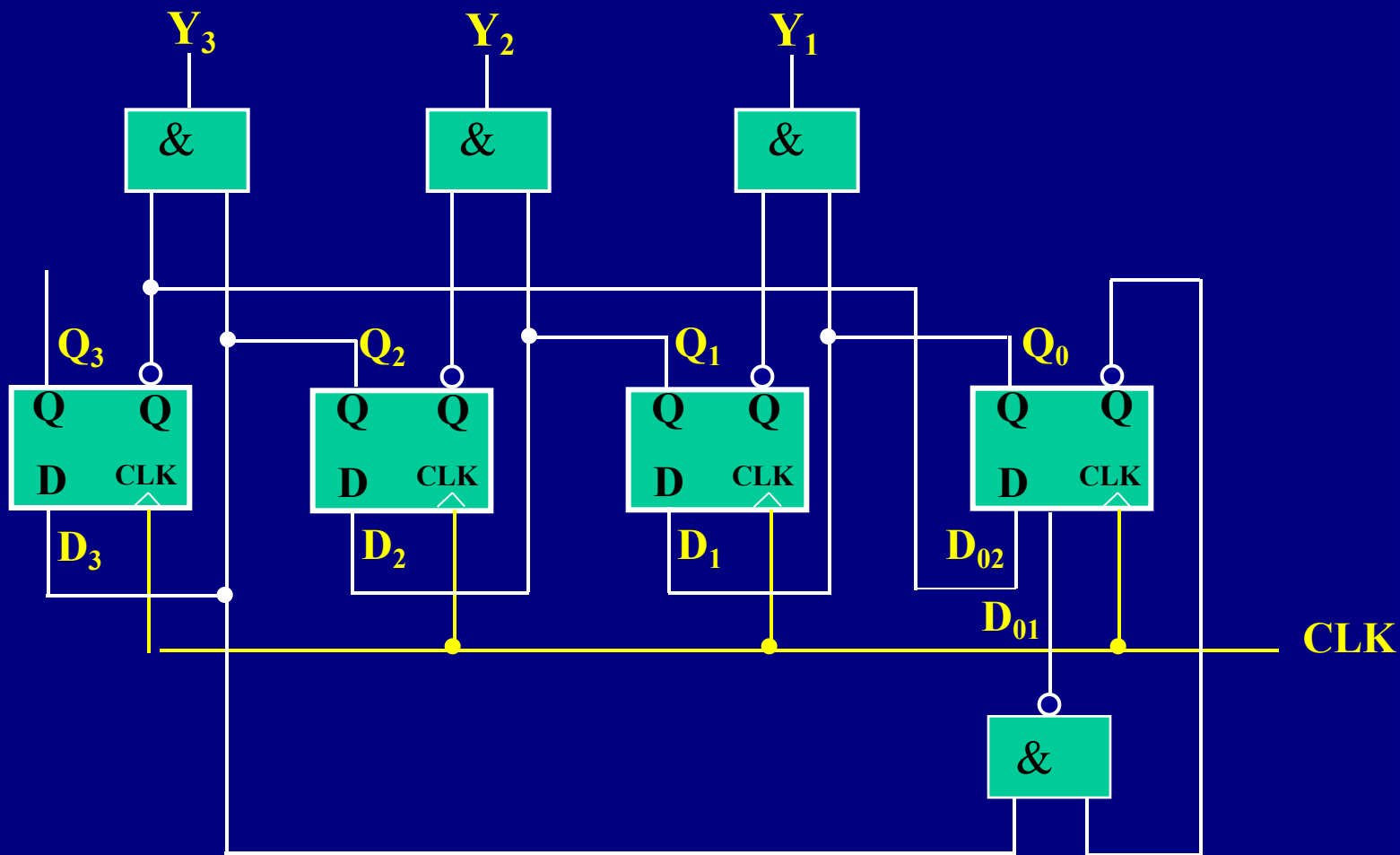
与非解挂

当右 7 位中有 “0”，则送 “1”

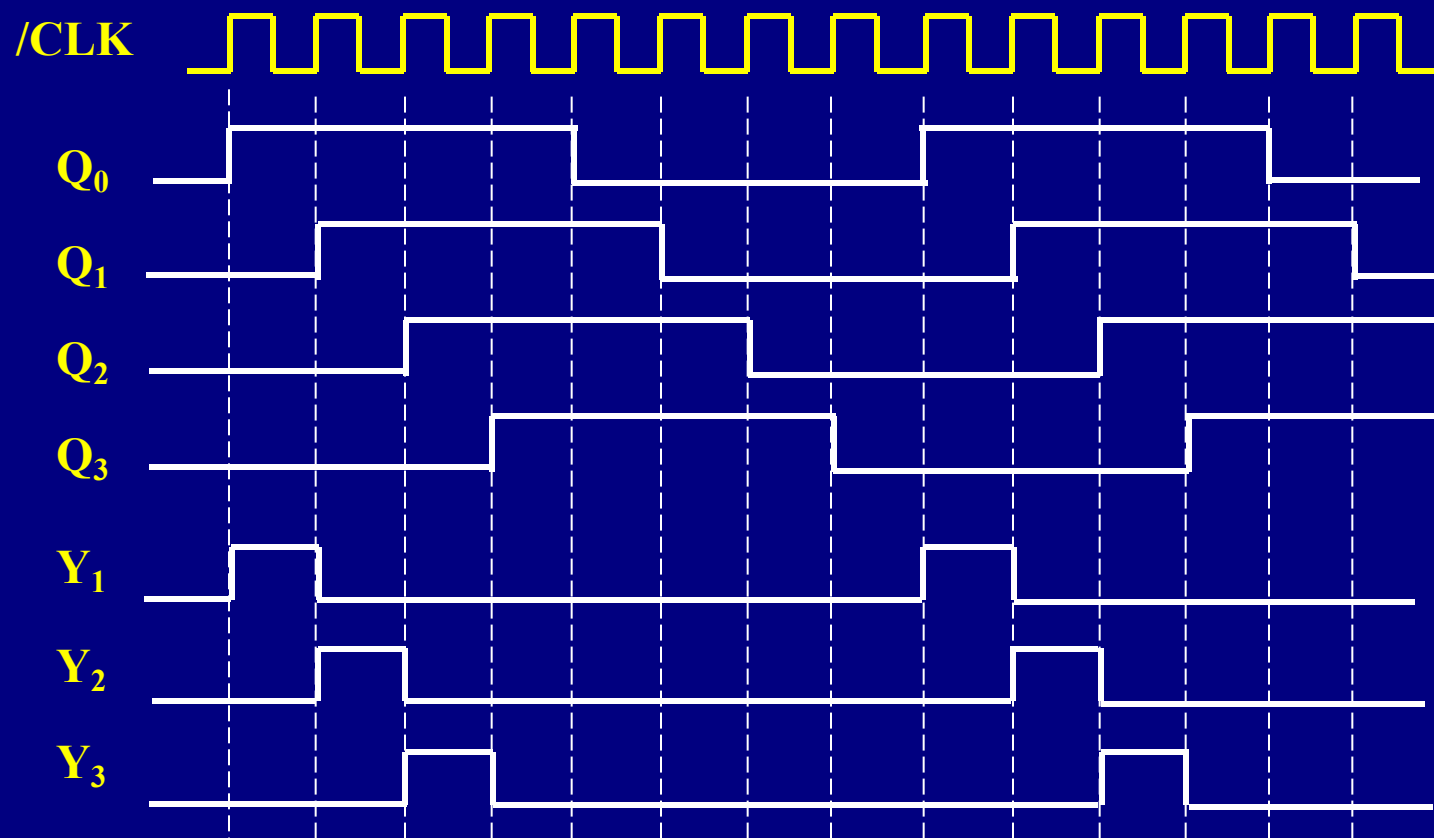
仅右 7 位全是 “1”，则送 “0”

故: $D_0 = Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0$

2. 三输出扭环移位型节拍分配器逻辑图



三输出移位型节拍分配器波形图



$$Y_1 = \overline{Q_1} Q_0$$

$$Y_2 = \overline{Q_2} Q_1$$

$$Y_3 = \overline{Q_3} Q_2$$

步进码节拍分配器的输出逻辑:

$$Y_1 = \overline{Q_1} Q_0$$

$$Y_5 = Q_1 \overline{Q_0}$$

$$Y_2 = \overline{Q_2} Q_1$$

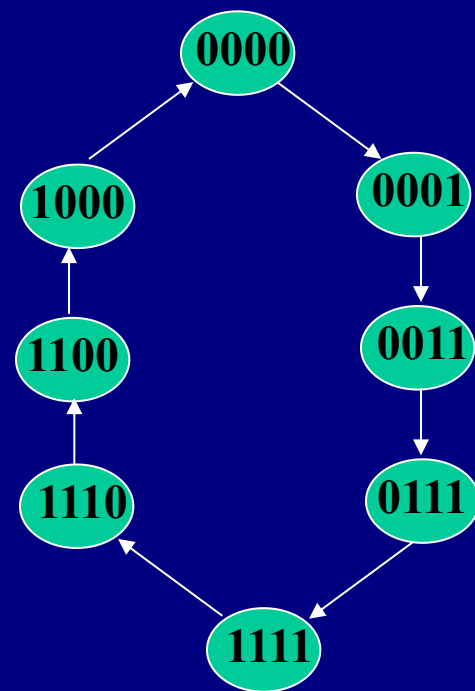
$$Y_6 = Q_2 \overline{Q_1}$$

$$Y_3 = \overline{Q_3} Q_2$$

$$Y_7 = Q_3 \overline{Q_2}$$

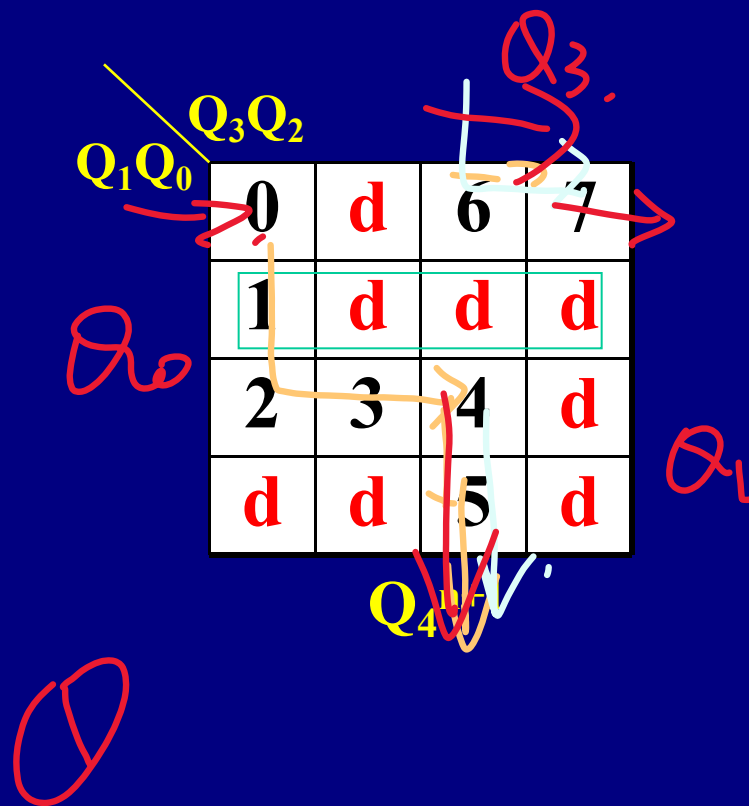
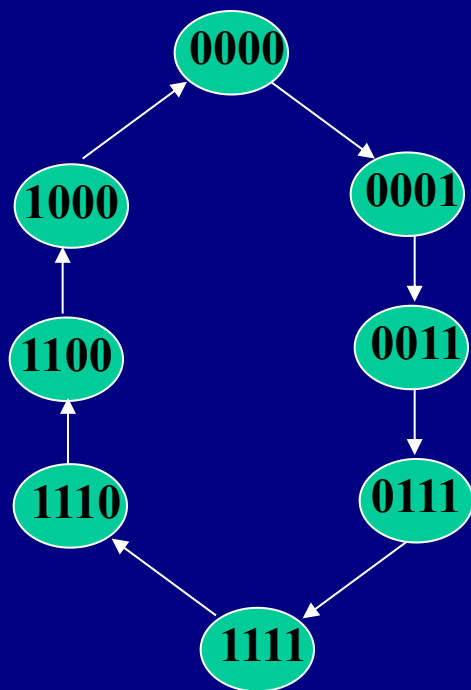
$$Y_4 = \overline{Q_3} Q_0$$

$$Y_0 = Q_3 \overline{Q_0}$$



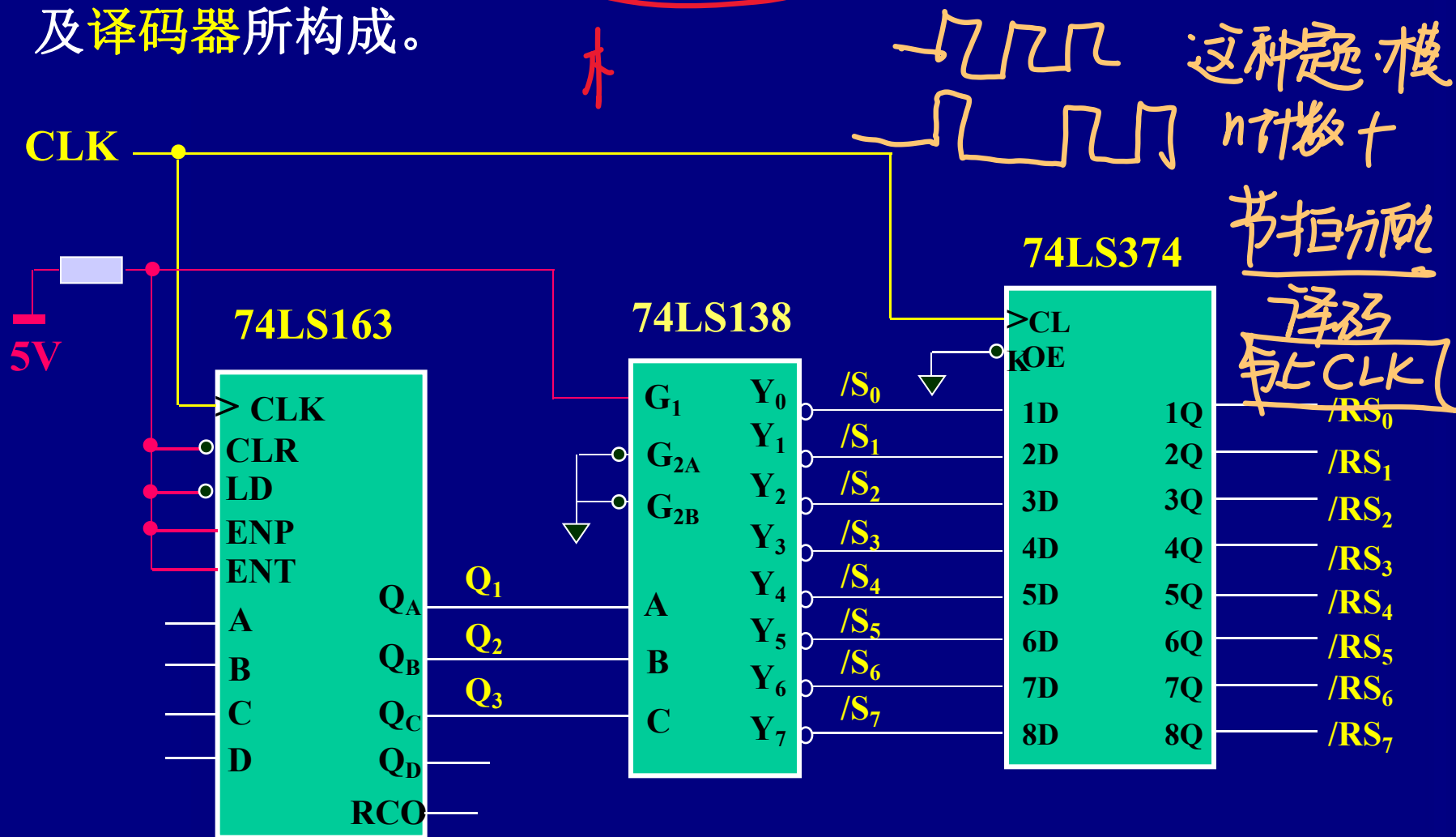
上述式中，没有用最小项，如 $Y_1 = \overline{Q_3} \overline{Q_2} \overline{Q_1} Q_0$ ，而是用简化表达式，它们可从波形图直接获得，当然也可利用卡诺图化简得到。

其他为无关项

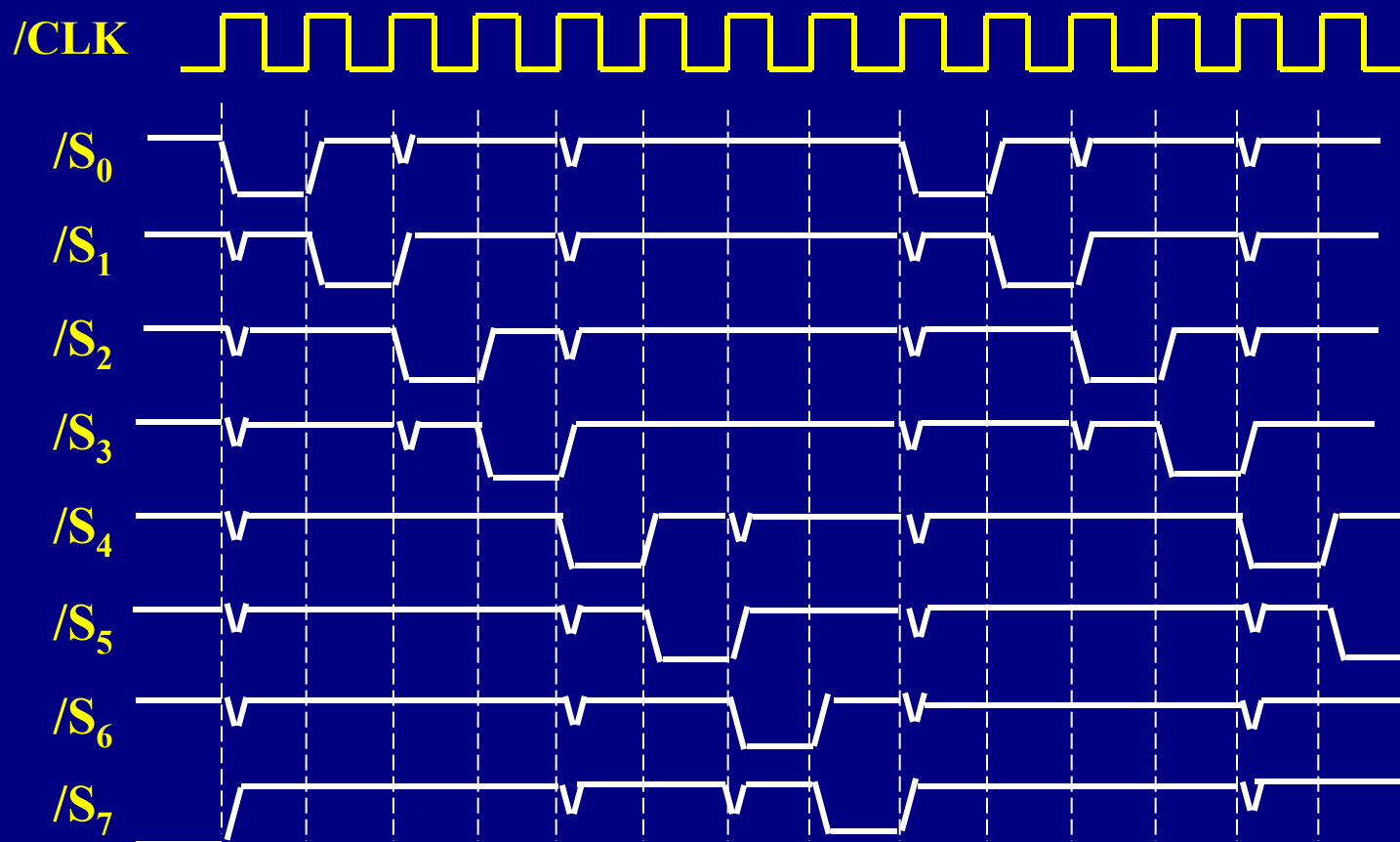


3.4.3.3 MSI节拍分配器举例

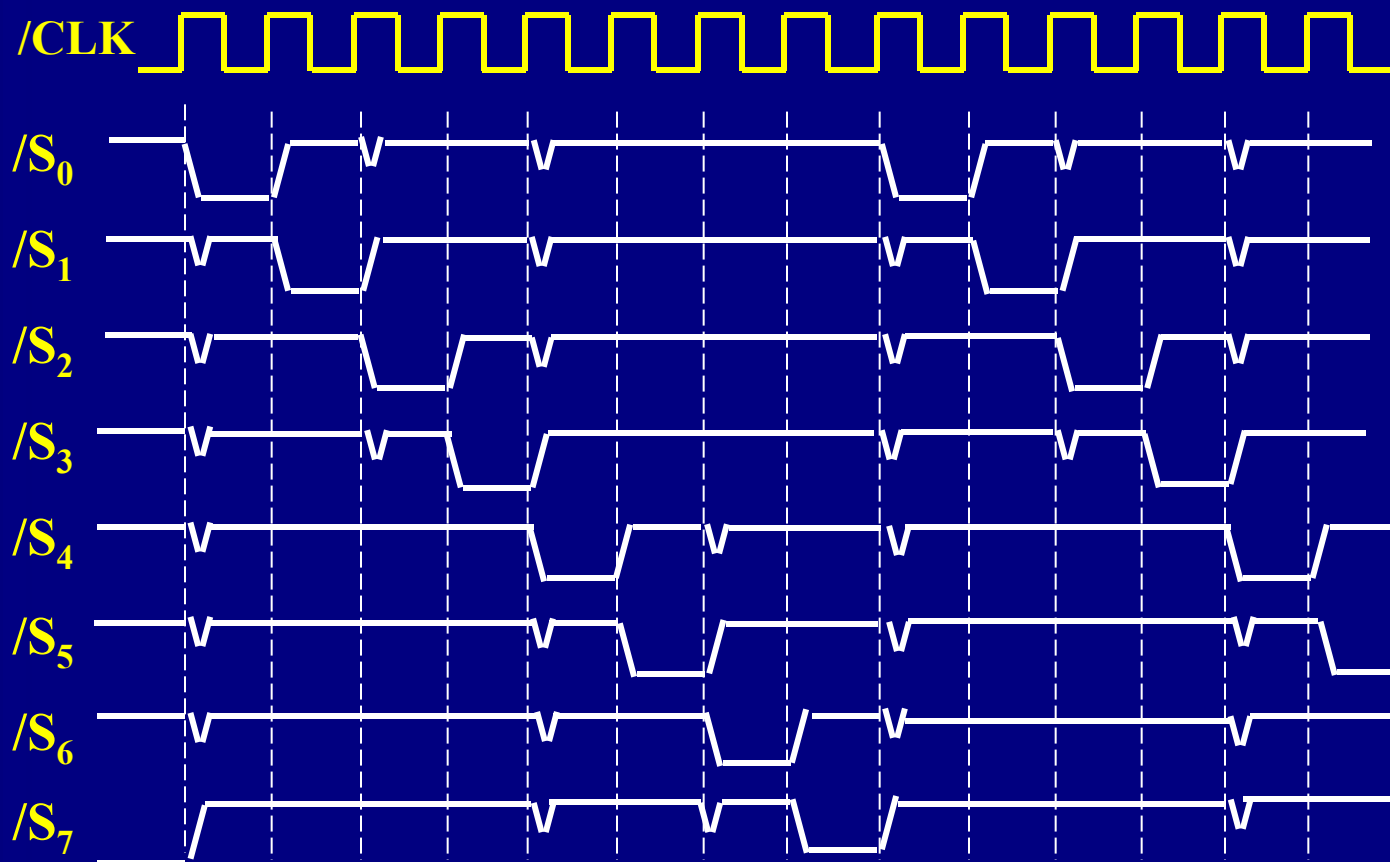
通常节拍分配器是由两片或多片MSI计数器、寄存器、及译码器所构成。



3-8译码器74LS138的输出节拍信号时序图



3-8译码器74LS138的输出节拍信号时序图



作业

作业