

基本逻辑门电路

《数字逻辑电路》课程补充材料

- 一、逻辑门电路的分类
- 二、晶体管的开关特性
- 三、教学要求
- 四、TTL集成逻辑门
- 五、其他双极型逻辑门电路
- 六、单极型集成逻辑门

不在考试
范围内

一、逻辑门电路的分类

- 设计电子逻辑电路的发展过程：

20世纪30年代——贝尔实验室开发的第一部**基于继电器逻辑**的电控逻辑电路；

1939年IBM公司根据哈佛大学**埃特肯**的论文制造计算机，采用机械方法进行逻辑运算，没有条件转移逻辑。16米长，4马力电动机驱动。1944年这台计算机还没有完工。

德国人卒色（Konrad Zuse，1910年-1995年），土木工程师。1939年设计出**Z2计算机**，1941年设计**Z3型全继电器计算机**。采用二进制浮点运算。旧电影胶片存储程序和数据。包括穿孔机、控制单元、浮点运算单元、输入/输出单元。具备了1946年由冯·诺依曼等人设计的计算机的几乎全部特性，64字的内存太小了，只用于存储数据。

二战后，卒色把正在制作的**Z4计算机**驮在马车上秘密带到瑞士。1949年他在苏黎士联邦工学院应用数学部完成了Z4的设计制作，一直使用到1955年。**Z4计算机**具有一个1024字的机械存储器，并采用了**卡片存储程序**。建立世界上第一个计算机厂，1964年交给西门子公司。

一、逻辑门电路的分类

- 设计电子逻辑电路的发展过程：

20世纪40年代中期——首部基于真空管的电子数字计算机**Eniac**；

在为美军研究弹道计算表的过程中，宾西法尼亚大学已使用了模拟计算机。1946年制造了第一台电子计算机ENIAC，它包含条件转移功能，**Eniac**中有大约18000个真空管和电磁阀，30.48m长，3.048m高，0.9144m深，功耗140000瓦（100匹马力），采用十进制运算，采用大量开关键输入新程序，需好几天时间才能完成程序的输入。它没有把程序存储起来，对每一个新程序，它都必须重新再调整输入。

一、逻辑门电路的分类

- 设计电子逻辑电路的发展过程：

20世纪40年代中期——基于真空管的电子数字计算机

冯·诺曼在1945年提出“程序存储”的计算机结构，由此设计了Edvac计算机，并于1951年完工。

1949年美国出现了第一台通用计算机Edsac（电子继电器存储自动计算机）。

1950年美国国家物理实验室与英国图灵合作设计了相似了通用计算机ACE。

20世纪50年代末期——基于半导体 semiconductor diode和双极型晶体管 bipolar teansistor的计算机，更快、更小、功能更强；

20世纪60年代——基于集成电路芯片的计算机，性能更好。

...

一、逻辑门电路的分类

- 逻辑系列 *Logic family*:

20世纪60年代——出现了第一个**集成电路逻辑系列**；

不同的集成电路芯片的集合。

同系列的芯片有类似的输入、输出及内部电路特征，而逻辑功能不同。

同系列的芯片可以互连，实现任意逻辑功能。

不同系列的芯片直接连接，可能不匹配。如：采用了不同的电源电压，或以不同的输入、输出条件来代表逻辑值。

20世纪60年代——首先出现的是**双极型逻辑系列**（属于**双极型晶体管**的一种），其中最成功的是**晶体管—晶体管逻辑TTL *transistor- transistor logic***。

20世纪90年代——**CMOS晶体管**基本替代了**TTL**。

一、逻辑门电路的分类

- 逻辑系列 *Logic family*:

MOS晶体管 金属-氧化物半导体场效应晶体管 MOSFET，早在TTL之前10年已发明，但早期的MOS晶体管制造困难，直到20世纪60年代，制作工艺的大发展才使得基于MOS的逻辑和存储电路实用起来。

MOS电路在速度上比不上双极电路，但功耗低、集成度高，使得它在某些特殊应用场合下占有优势。

20世纪80年代中期——MOS电路，尤其是互补MOS *Complementary MOS* 的进步，大大提高了其性能和通用性，速度更高，功耗更低。

到目前为止，新的大规模集成电路，如微处理器和存储器，大多采用CMOS电路。

一度采用TTL逻辑系列设计的小、中规模的应用场合，现在也采用CMOS器件。CMOS电路已占领了绝大部分世界的IC市场。

一、逻辑门电路的分类

1. 按基本结构分类 —— 双极型逻辑门 单极型逻辑门

(1) 双极型BJT(*Bipolar junction transistor*) :

按其结构再细分为 **PNP** 型和 **NPN** 型，构成的集成逻辑门电路有 **TTL** 逻辑门、**ECL** 逻辑门、**HTL** 逻辑门。

其中：**TTL**集成逻辑门应用的最广泛，由于它的输入输出都采用三极管构成，也称晶体管—晶体管 逻辑门电路(*Transistor-Transistor Logic*)，简称**TTL逻辑门**。

ECL 射极耦合逻辑门电路(*Emitter-coupled Logic*) 。

(2) 单极型(*Unipolar transistor*): 也称场效应管

可分为结型的(JFET)和绝缘栅的(IGFET)，即**MOS晶体管**。

MOS又分**PMOS**、**NMOS**、**CMOS**。

在LSI 和VLSI 中，**MOS** 型以其集成度高和工艺简单而获得了青睐。

一、逻辑门电路的分类

2. 按集成电路的集成度分类:

小规模集成电路**SSI**、中规模集成电路**MSI**

大规模集成电路**LSI**、超大规模集成电路**VLSI**

(1) 小规模集成电路 SSI (*Small Scale Integration*):

集成度 ≤ 10 门/片、 ≤ 100 元器件/片，如逻辑门或触发器等。

(2) 中规模集成电路 MSI (*Medium Scale Integration*):

集成度： $10 \leq \sim \leq 99$ 门/片、 $100 \leq \sim \leq 999$ 元器件/片。如译码器、计数器、寄存器等逻辑功能部件。

(3) 大规模集成电路 LSI (*Larger Scale Integration*):

集成度： $100 \leq \sim \leq 1000$ 门/片、 $1000 \leq \sim \leq 10000$ 元器件/片。如CPU、存储器、简单的数字逻辑系统等。

(4) 超大规模集成电路 VLSI (*Very Larger Scale Integration*)

集成度： ≥ 1000 门/片、 ≥ 10000 元器件/片。如单片机、数字逻辑系统等。

一、逻辑门电路的分类

3. 常用门电路型号

1) 双极型TTL SN54/74 FAMnn 系列

- **SN**——Semiconductor Network 半导体电路网络(美国德州仪器公司)。
- **54系列**——分 **I (Industry)** 工业级、**M (Military)** 军用级，尺寸小、功耗小、可靠性高、工作温度范围大 ($-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$)。
- **74系列**——**C (Commercial)** 商用级，低成本改进型，在一般场合下使用，工作温度($0^{\circ}\text{C} \sim +70^{\circ}\text{C}$)。

性能分类为：

S (Schottky) TTL：利用 Schottky Potential Barrier Diode 来防止晶体管饱和，所以，速度很快，但功耗也很大。

LS： Low-power Schottky TTL *低功耗*

ALS： Advanced LS TTL

H： High Speed TTL

F： Fast TTL

STD： 标准TTL

HCT： CMOS TTL（与TTL管脚兼容）

一、逻辑门电路的分类

3. 常用门电路型号

常用集成电路规格一览表（器件图参见书附录三）

类型	国标名称	国产名称	时延 ns	功耗 mv	速度功耗乘积ps
普通型	74	T1000	10	10	100
高速型	74H	T2000	6	22	132
低功耗型	74L		33	1	33
超高速型(肖特基)	74S	T3000	3	19	57
低功耗超高速型	74LS	74000	9.5	2	19

封装: (Package)

- P- 塑料DIP封装 (Plastic)
- M- 金属DIP封装 (Metal)
- C- 陶瓷封装 (Ceramic)
- CF- 塑料扁平封装 (Flat)

一、逻辑门电路的分类

3. 常用门电路型号

2) MOS

MOS门的特点：

- 出入阻抗高（1000 Mohm）
- 电压范围宽（+3 — +18V）
- 噪声容限大
- 耗电少（mw/门或pW/Gate对CMOS）

一、逻辑门电路的分类

3. 常用门电路型号

3) 单极型 CMOS

CMOS门的特点：

- 可单电源 ($V_{DD} = +5V$) 工作
- 电压范围宽 (+3 — +18V)
- 无DC功耗 (总有一个管子OFF,) 2.5 nW/gate
- 高集成度 (一个FET的面积是双极晶体管的1/50, 一个电阻可集成15个双极晶体管)
- 制造工艺简单 (是双极晶体管工艺步骤的1/3)
- 输出低阻抗, 扇出大 (≥ 50), 输入阻抗大 ($R_i = \text{Ohm}$)
- 噪声容限大 (V_{DD} 的40%)
- 电平与TTL兼容
- 速度可与TTL相比

一、逻辑门电路的分类

3) 单极型 CMOS

SN54/74 FAMnn 系列

第一个商业上成功的CMOS系列是 4000系列CMOS（4000-series CMOS），低功耗，低速度（与当时流行的TTL相比较）。

在多数应用中，由能力更强的CMOS系列承担。

比4000-series速度更高，更强的电流吸收能力和提供能力

- HC —— high-speed CMOS。
- HCT —— high-speed CMOS，与TTL兼容，提供V_{cc}为5V。
- VHC —— very high-speed CMOS。
- VHCT —— very high-speed CMOS，与TTL兼容，提供V_{cc}为5V。

20世纪80~90年代出现的，速度比 HC/HCT快2倍。

以上四种都具有对称输出驱动，即在高态时提供电流、和在低态时吸收电流的大小相同，两种状态下的输出驱动能力同样强。

VHC和VHCT逻辑系列由几家公司制造：Motorola, Fairchild, toshiba,...与TTL器件的兼容主要参考输出规格说明，驱动、电源、负载、...

一、逻辑门电路的分类

3) 单极型 CMOS

SN54/74 FAMnn 系列

第一个商业上成功的CMOS系列是 4000系列CMOS（4000-series CMOS），低功耗，低速度（与当时流行的TTL相比较）。

在多数应用中，由能力更强的CMOS系列承担。

- FCT —— fast-speed CMOS，与TTL兼容。
- FCT-T —— high-speed CMOS，与TTL兼容。

20世纪90年代初出现的，专门为与TTL器件共用而设计的系列。

主要优点是：在减少功耗并与TTL完全兼容的条件下，能达到和超过最好的TTL系列的速度和输出驱动能力。

FCT系列不生产单独的门电路，最简单的逻辑元件是74FCT138T译码器。

一、逻辑门电路的分类

3. 常用门电路型号

4) ECL逻辑门 SN54/74 FAMnn 系列

特点：

- 不饱和，速度快， $t_{pd} < 1ns$
- 工作电流基本不变，干扰小。功耗大：60 ~ 80Mw/门
- 输入阻抗高-（相当于运算放大器，大于TTL，小于MOS）
- 逻辑电平扫幅小： $V_{oh} = V_{ih} = -0.8V$
 $V_{ol} = V_{il} = -1.6V$
- 抗扰容限小，只0.2V
- 驱动能力大，扇出系数 > 10
- 输出可直接相连，实现线或（WIRED-OR）逻辑

一、逻辑门电路的分类

3. 常用门电路型号

5) 美国德州仪器公司 SN74 **FAMnn** 系列

- 74, 74S, 74LS TTL
- 74AS, 74ALS TTL
- 74F TTL
- 74HC, 74HCT CMOS
- 74AC, 74ACT CMOS
- 74AHC, 74AHCT CMOS

6) 美国摩托罗拉公司

- 74F, 74LS TTL
- 74HC, 74HCT CMOS
- 74AC, 74ACT CMOS
- 10K ECL

一、逻辑门电路的分类

7) 不同逻辑门的互连

- 电平配合
- 驱动能力
- 逻辑门输出一般不可并联（特殊门，如，**OD**、**TRI**及传输门除外）
- 要记住MOS门使用中的注意事项：
 1. 输入端不可悬空，否则，容易引起“**自激震荡**”而增大功耗；
（不用管脚应接地或接电源）
 2. 注意“**静电击穿**”，应断点插拔，还应带放电手环

一、逻辑门电路的分类

7) 不同逻辑门的互连

- **TTL**与**74HCT-CMOS** 门可直接互连。与其它**CMOS**则不行
- **TTL**与**PMOS**和**BMOS**门的互连要经适当电平变换
- **TTL**可直接驱动**NMOS**门
- **NMOS**门要驱动**TTL**门，须经电平变换
- **TTL**与**ECL**门连接要用变换电路
- 不同门互连时，要计算其驱动能力

一、逻辑门电路的分类

3. 常用门电路型号

7) 不同逻辑门的互连

参数	TTL(LS)	MOS	CMOS	ECL
Voh (V)	3.4	Vdd	4.4	- 0.8
Vol (V)	0.3	GND	0.1	-1.6
Vih	2	>Vdd/2	3.15	
Vil	0.8	<Vdd/2	0.8	
转换电压(Vt)	1.4	Vdd/2	Vdd/2	-1.2
抗扰能力	较好	好	好	差
驱动能力(N)	>10	>50	好 >100	好 >15
功耗	几十毫瓦	微瓦级	PW级	60-80Mw
时延 ns	几到十几	几百	几到十几	1左右
集成度	低	高	高	低
应用范围	中速及高速 民用及工业	低速电路 民用	中高速电路 民用及工业	超高速电路 工业

一、逻辑门电路的分类

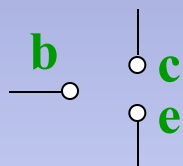
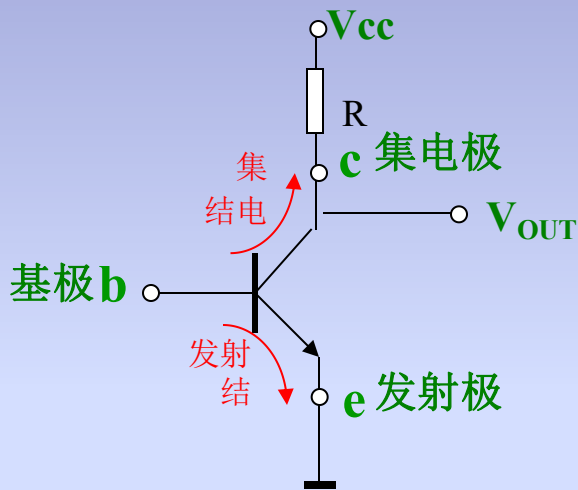
3. 常用门电路型号

7) 不同逻辑门的互连

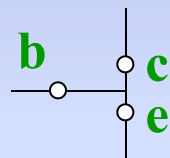
	7400标准 TTL	CMOS (4000)	74HC CMOS	74HCT 高速CMOS
Uohmin V	2. 4	2. 4	2. 4	2. 4
Uolmax V	4. 95	4. 95	4. 95	4. 95
Iolmax ma	4. 4	4. 4	4. 4	4. 4
Iohmax ma	4. 4	4. 4	4. 4	4. 4
Uihmin V	0. 4	0. 4	0. 4	0. 4
Uilmax V	0. 05	0. 05	0. 05	0. 05
Iih UA	0. 1	0. 1	0. 1	0. 1
Iil MA	0. 1	0. 1	0. 1	0. 1

二、晶体管的开关特性

根据三极管的发射结和集电结的偏置极性，其输出特性划分为三个区域——**截止区**、**放大区**和**饱和区**。



1. **截止区**: V_{be} 、 V_{ce} 反偏，开关断开
 $I_b=0$, $I_c=0$, $V_{OUT}=V_{CC}$



2. **饱和区**: $V_{be} \geq 0.7V$ 、 $V_{ce}=0.3$ ，开关接通

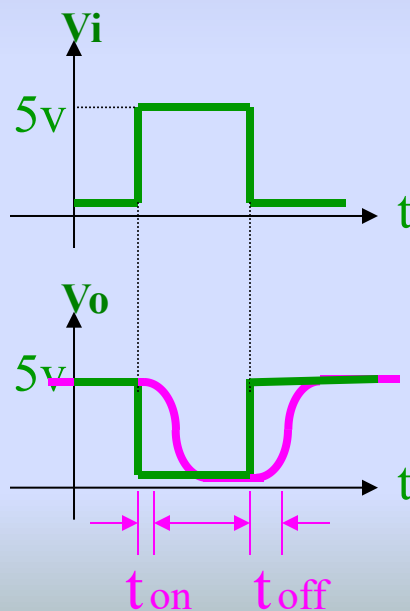
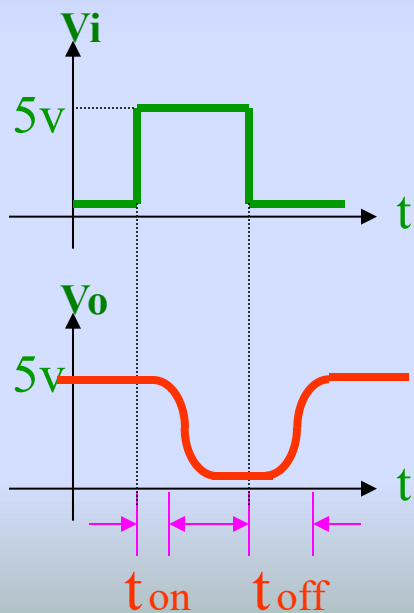
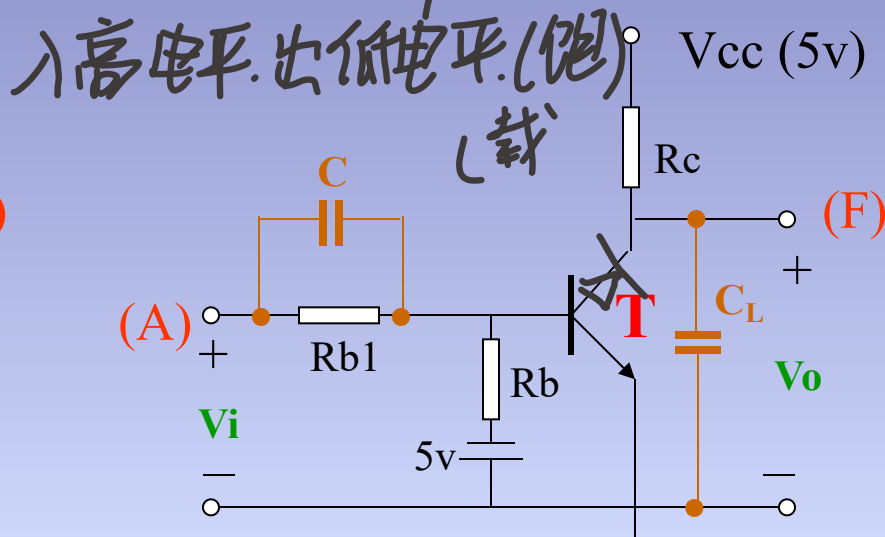
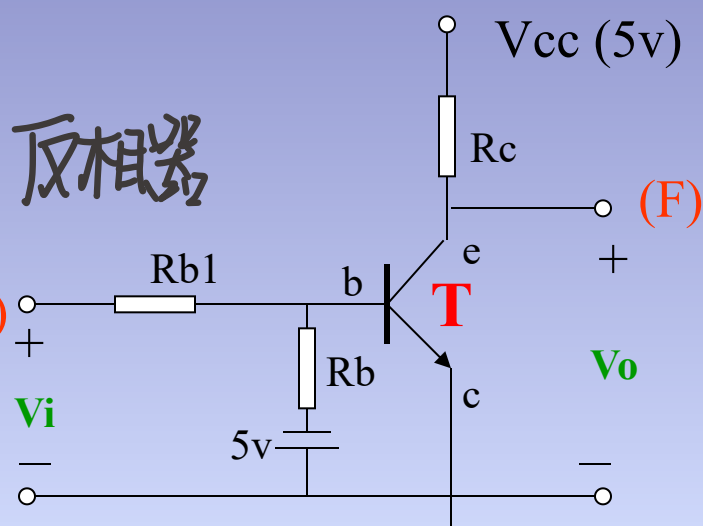
$$I_b = I_{b(SAT)}, I_c = I_{c(SAT)}, V_{OUT} = 0$$

3. **放大区**: V_{be} 正偏、 V_{ce} 反偏，线性放大

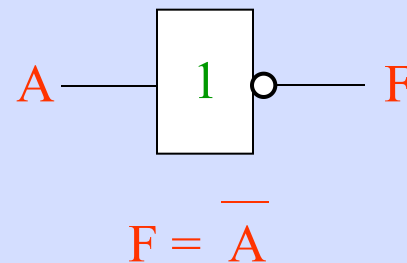
截止、饱和——这两种稳定的工作状态下的特性称三极管的**静态特性**；在截止与饱和状态之间转换时所具有的过渡特性称**动态特性**。

在数字逻辑电路中，三极管作为开关元件，应工作在截止状态和饱和状态。

反相器：也称非门，理论电路及逻辑符号如下：



接钳位电容 C_L



接加速电容C后的波形

三、教学要求

从本课程教学目的出发，要求掌握如下几个方面：

1. 只研究门电路的开关特性，即截止、饱和和工作状态下的静态特性，不研究其线性工作状态，即放大状态下的动态特性；
2. 只重点讨论其逻辑特性，给出输入、输出信号的逻辑电平或逻辑状态，不计算其电路具体参数，如电阻、电流的大小等；
3. 关注逻辑门的输入信号的扇入数，输出信号的驱动能力；
4. 门的开关时间，即门的延时时间，开关时间越短，门速度越高。

三、教学要求

主要参数与指标:

输出高电平 V_{OH} ; 输入短路电流 I_{IL} ; 输出带灌电流 I_{OL} ;
输出低电平 V_{OL} ; 输入漏电流 I_{IH} ; 输出带拉电流 I_{OH} ;
开门电平(逻辑1的最小高电平) V_{OHmin} ; 空载导通功耗 P_{on} ;
关门电平(逻辑0的最大高电平) V_{OLmax} ; 空载截止功耗 P_{off} ;
扇入系数 N_r ; 传输延迟时间 T_r 输出 由低到高 T_{plh}
扇出系数 N_c ; 由高到低 T_{phl}
等。

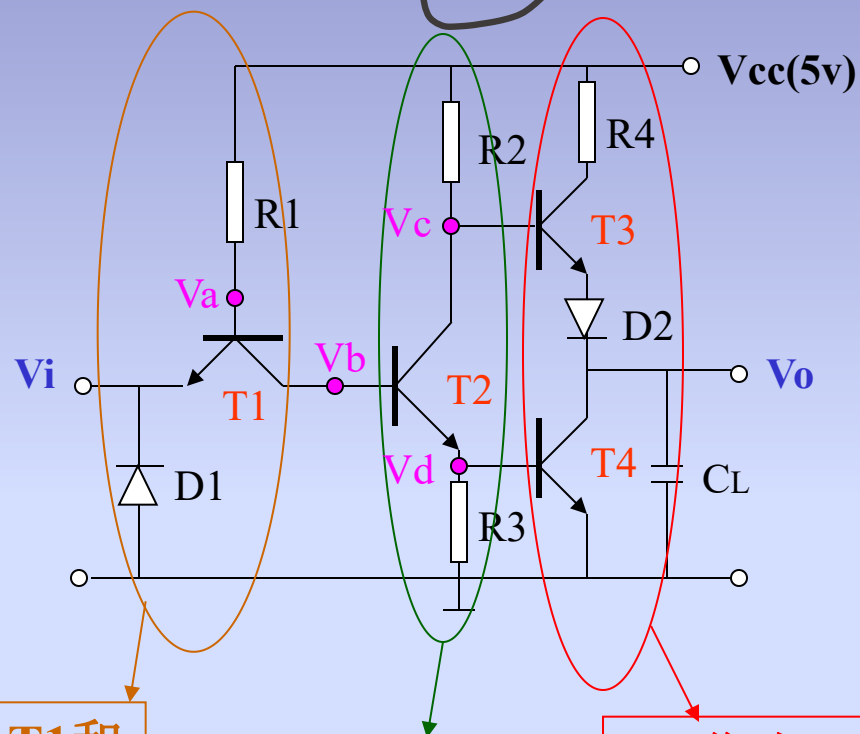
标称逻辑电平: 高电平 = 5V(工作电压Vcc) , 低电平 = 0V。

部分特性参数

参数 器件类型	V_{OHmin} (V)	V_{OLmax} (V)	I_{OHmax} (mA)	I_{OLmax} (mA)	V_{IHmin} (V)	V_{ILmin} (V)	I_{IH} (μ A)	I_{IL} (mA)
TTL 74LS系列	2.7	0.5	0.4	8	2	0.8	20	0.4
CMOS 74HCT系列	4.4	0.1	4	4	2	0.8	1	1×10^{-3}

四、TTL集成逻辑门

1. 7404集成反相器（非门）



T1和
D1、
R1组
成输
入级

T2和R2、R3
起分相器的作
用，为T3、T4
提供两个相位
相反驱动信号

T3作为T4的
有源负载替代
了Rc，即
T3、T4和D2、
R4组成的推
挽式输出级

电路分析: $V_o = \overline{V_i}$

① $V_i = "0"$ → T1的发射结导通(深饱和)

$$V_a = V_{be1} + V_i = 0.7 + 0.3 = 1V$$

$$(< V_{bc1} + V_{be2} = 2 * 0.7V)$$

→ T1 集电结不导通、T2截止

→ T3 导通(经Vcc, R2, D2), T4截止

→ $V_o = "1"$

② $V_i = "1"$ → 开始T1发射结、集电
结导通 → T2导通 → T4导通

$$V_a = V_{bc1} + V_{be2} + V_{be4} \\ = 3 * 0.7 = 2.1V (< V_i = 3.6V),$$

T1倒置(发射结反偏，集电结正偏)

→ 合理选择电路参数,使T2 饱和
(经Vcc, R1, T1集电结)

$$V_c = V_{ce2} + V_{be4} = 0.3 + 0.7$$

$$= 1V (< V_{be3} + V_{d2} = 2 * 0.7)$$

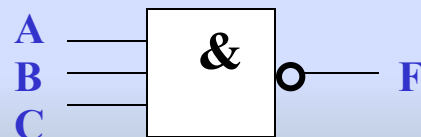
→ T3、D2截止, T4饱和 → $V_o = "0"$

输入级为多发射极三极管

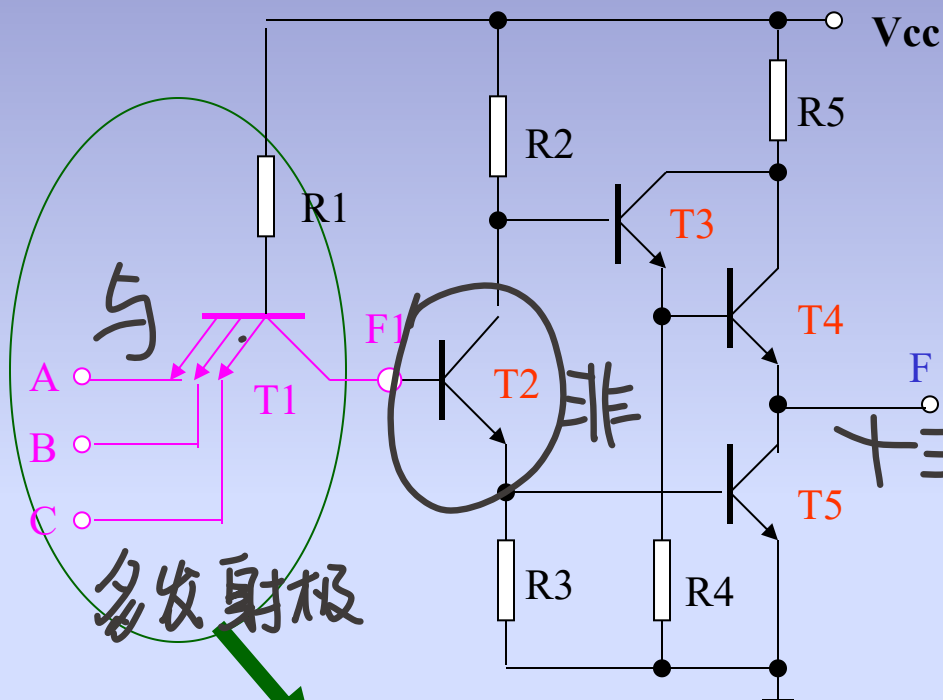
参照前面7404 电路分析，则：

- ① 输入A、B、C有一个为低电平
 → T1导通(深饱和) → T2、T5 截止
 → T3、T4导通(通过V_{cc}, R2) → F = 1
- ② 输入全部为高电平 → T1倒置
 (发射结反偏, 集电结正偏)
 → T2 饱和(合理地选择参数)
 → T3、T4截止而 T5饱和 → F = 0

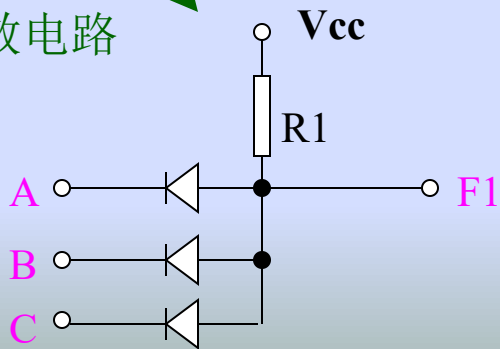
所以，此电路实现 $F = \overline{ABC}$



门的逻辑符号



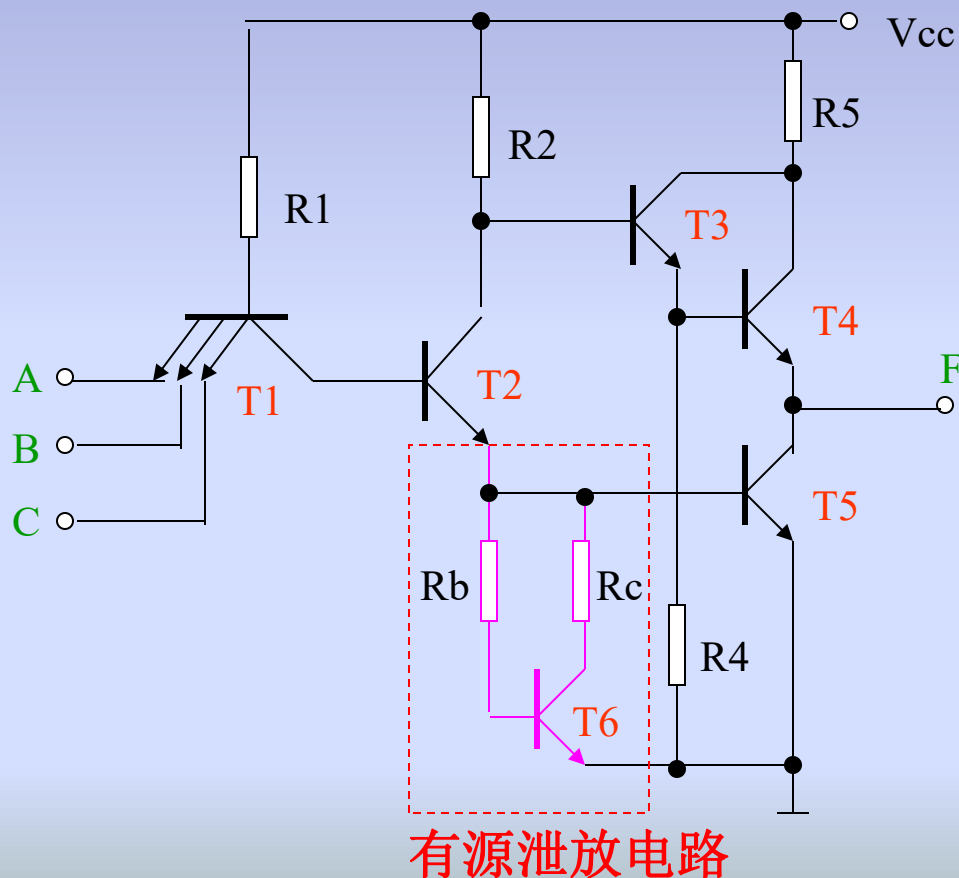
等效电路



3. TTL与非门改进电路

为了提高逻辑门的工作速度、降低功耗、提高抗干扰能力及提高集成度等，对TTL电路不断进行改进。

(1) 有源泄放电路



电路分析：用T6和Rb、Rc组成的有源泄放电路替代原来的R3，加快了T5在截止状态与饱和导通状态之间的开关时间，提高工作速度

① T2：截止 → 饱和导通

开始，T5比T6优先导通，几乎全部 I_{E2} 电流都流入T5，使T5迅速饱和；而后T6才导通，泄放电路起分流作用，可减轻T5的饱和深度。

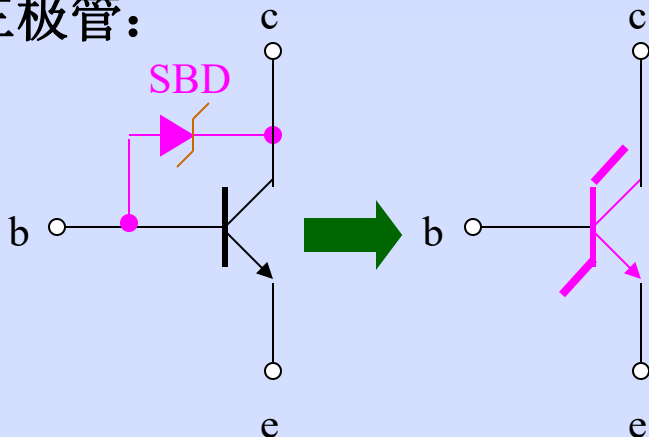
② T2：饱和导通 → 截止

在T2截止后的一段时间T5、T6仍处在导通状态，T5的存储电荷能很快地通过有源泄放电路消散。

(2) 抗饱和电路与抗饱和TTL与非门

存储时间是影响三极管开关速度的主要原因，而存储时间又是由管子的饱和深度决定的，饱和越深，存储电荷越多，电荷消散时间越长。故限制饱和深度可以提高工作速度

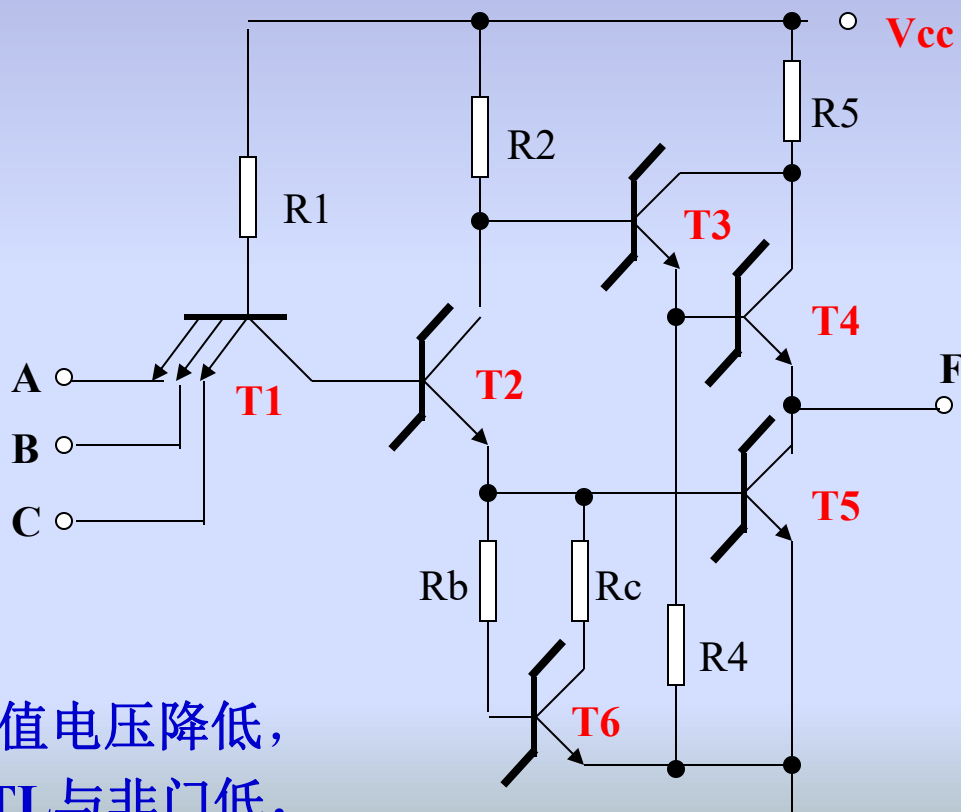
如下是采用肖特基势垒二极管(SBD)(开启电压 $0.4V$)构成的抗饱和三极管：



存在问题：T1管导通压降增加，阈值电压降低，输入低电平的噪声容限要比普通TTL与非门低，故抗干扰能力差。T5管的导通压降高，使输出低电压值高。

当 V_b 为高电位时，由于SBD的钳位作用，使 $V_{bc}=0.4V(<0.7V)$ ，则 I_b 的过量驱动电流经过并联二极管流掉，而不再向集电区注入过量的存储电荷。有效限制了饱和深度

由此获得抗饱和TTL与非门，如下



(3) 集电极开路与非门(OC门)

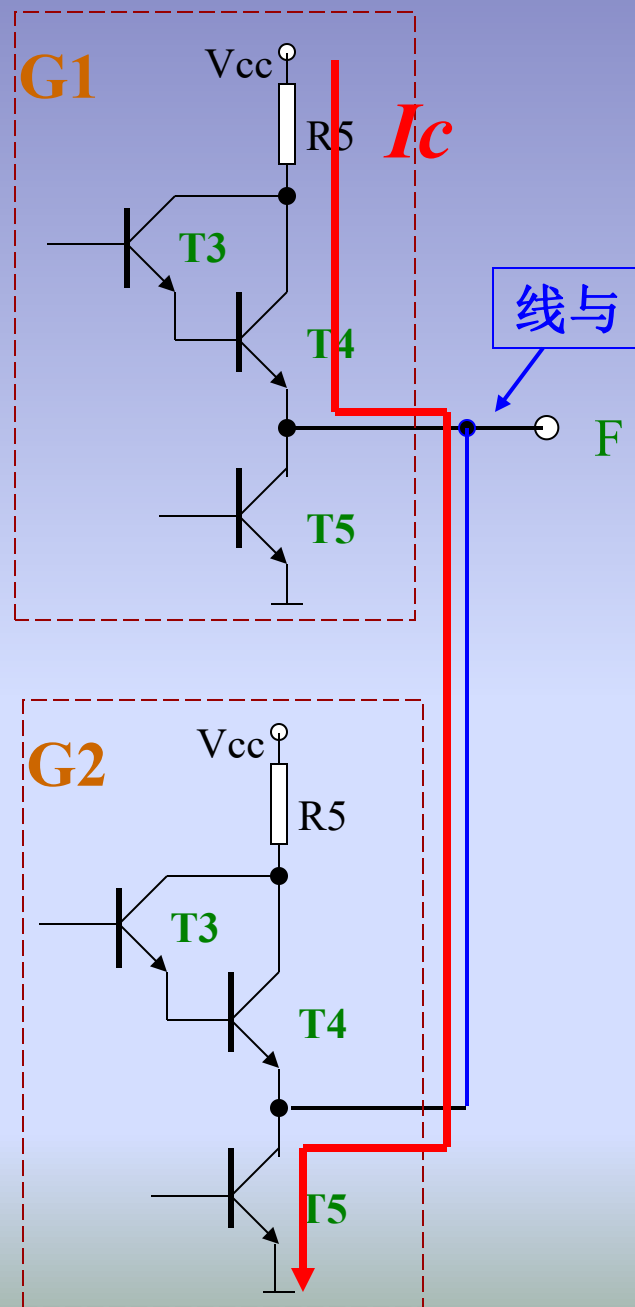
在实际使用中，若将两个以上与非门输出端直接相连（如把多个与非门输出接到同一根总线上），实现“与”的逻辑关系，通常称为“线与”。

普通的TTL与非门，由于其输出电阻很低，不允许这样“线与”。如左图中所示，将门G1与

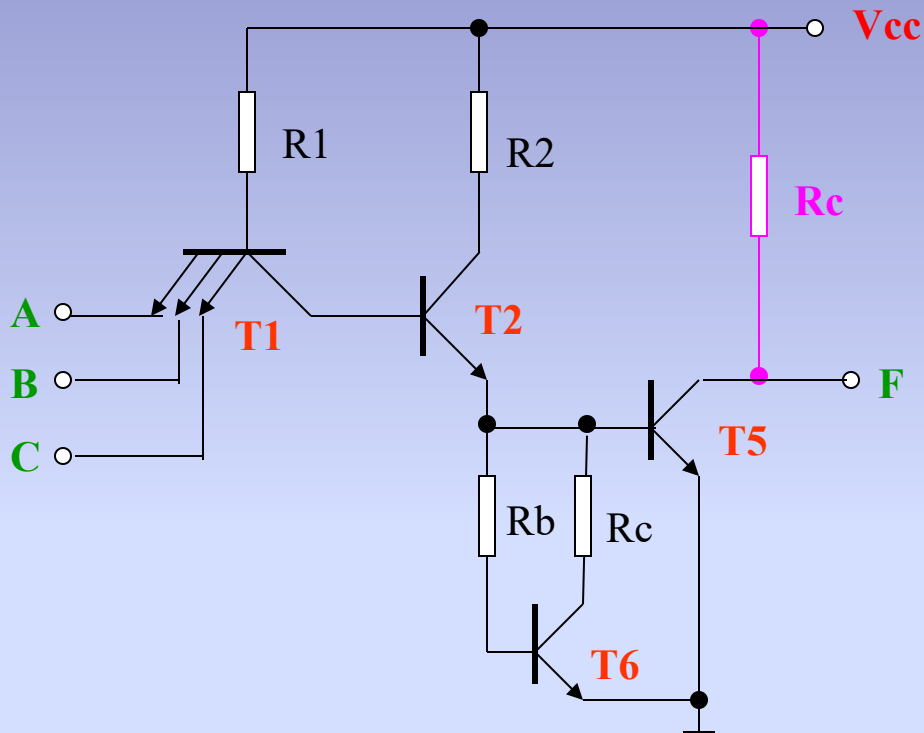
G2的输出端直接连接。

当G1的输入端有低电平时，其T3、T4处于饱和导通；而此时G2的输入端全为高电平时，其T5处于饱和导通。这时从Vcc经 G1门的 T4到输出，再经 G2门的 T5到地线，形成低阻通路，则G2门的 T5被电流 I_c 倒流。

当若干个门的输出“线与”在一起时，若出现仅一个门的T5处于饱和导通，则来自其它门的倒流电流 I_c 将会很大，致使该门电路因功耗过大而被烧坏。

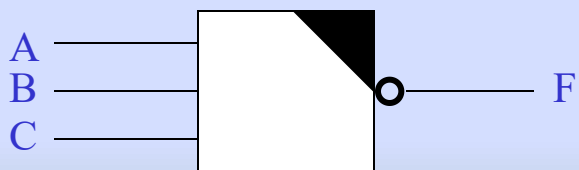


解决的办法：集电极开路，如下图所示，称为集电极开路与非门，简称OC门。

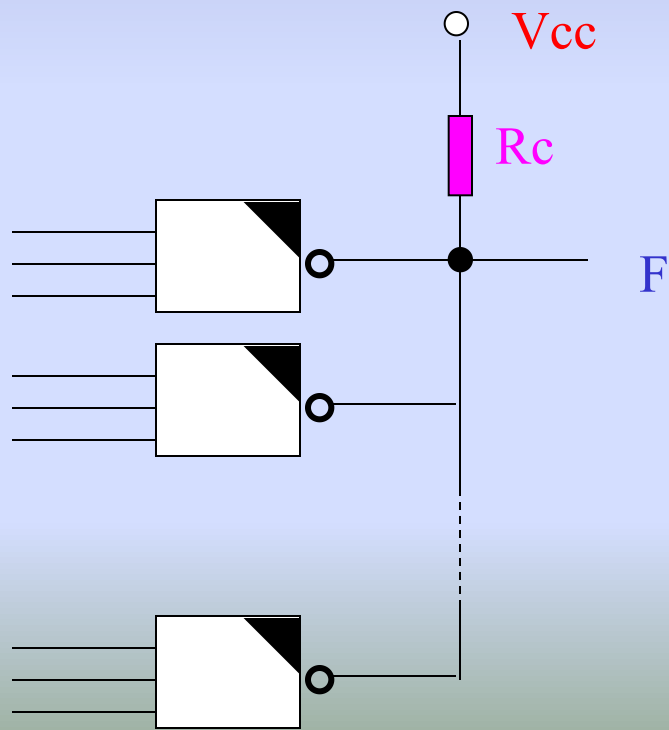


在实际连接时，要外接电阻 R_c 。

根据“线与”的门的个数和负载门的情况，正确计算出的 R_c 的值，保证输出正确的高电平和低电平，同时流经T5管的电流不会过大。



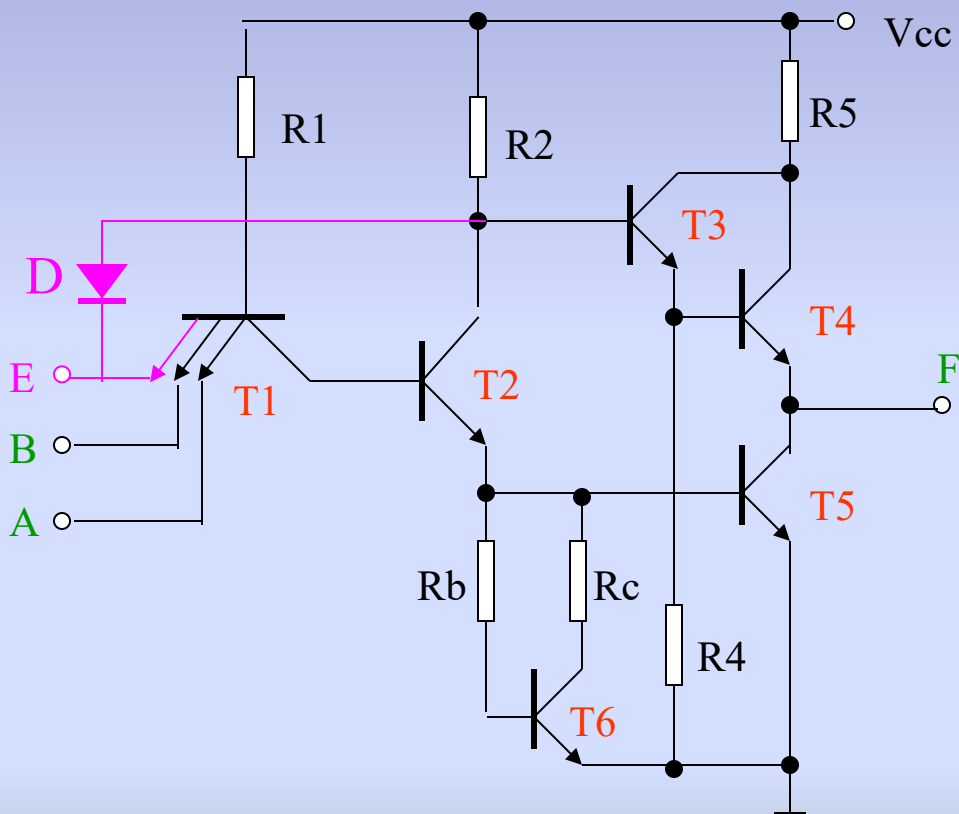
门的逻辑符号



(4) 三态门(TSL门)

三态门具有三种输出状态：高电平、低电平和高阻状态，后者也称禁止状态。

下图为普通的TTL与非门：

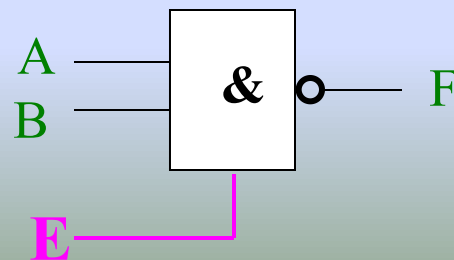


设计一个控制端E(或称使能端Enable)

电路分析：

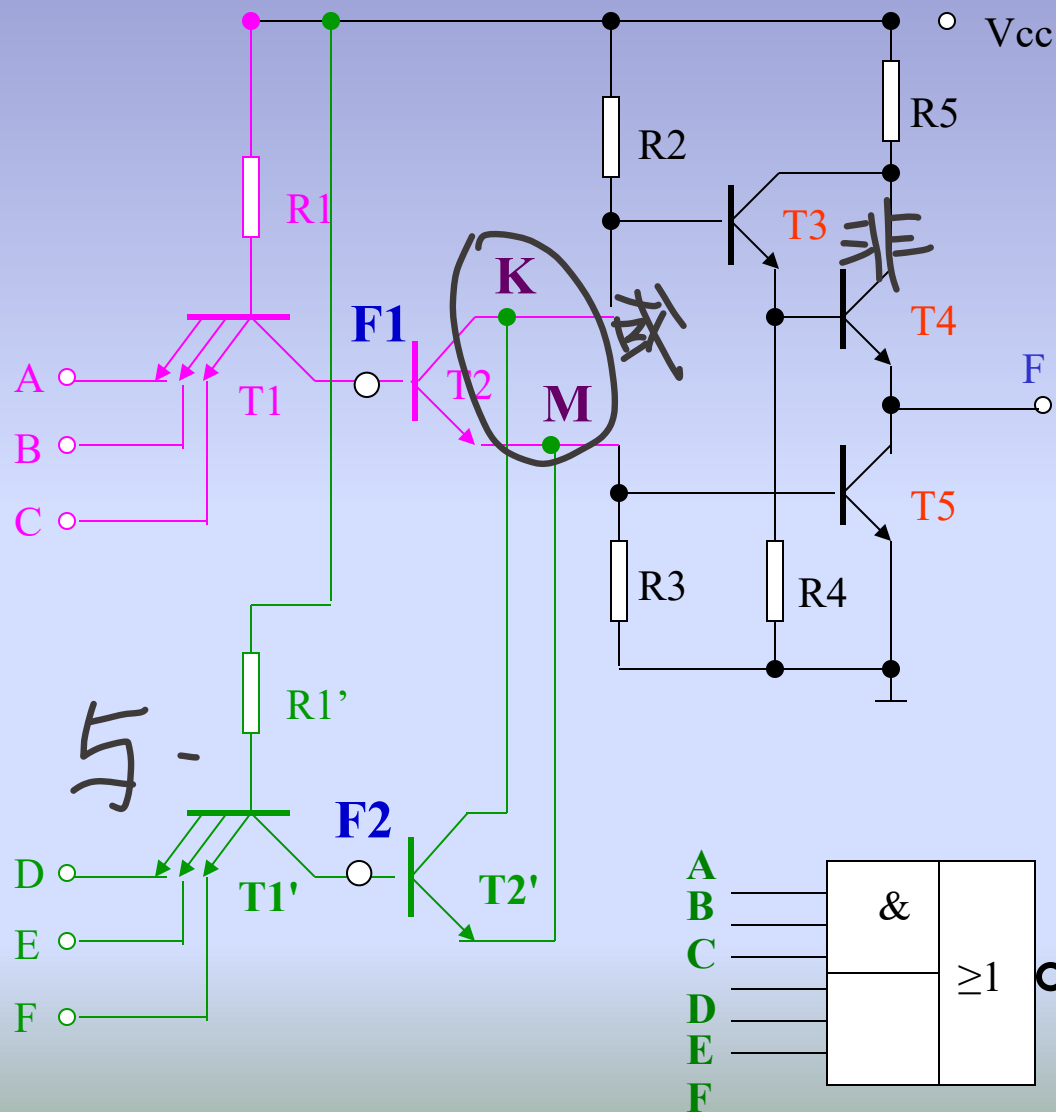
- ① 当 $E = 1$ 时， $F = \overline{AB}$
- ② 当 $E = 0$ 时， $T1$ 截止 $\rightarrow T2$ 、 $T5$ 截止
由于二极管D钳位， $V_{c2} = V_E + V_D = 0.3 + 0.7 = 1V \rightarrow T3$ 、 $T4$ 截止
故， $T4$ 、 $T5$ 同时截止，从门的输出端向门里看去，等效电阻很大，即呈高阻状态。

三态门的逻辑符号如下：



(5) 与或非门

与或非门实现的逻辑关系: $F = \overline{ABC + DEF}$



电路分析:

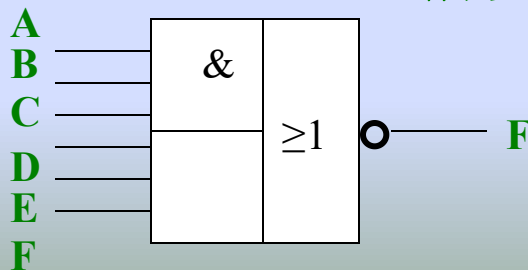
$$F1 = ABC, \quad F2 = DEF$$

T2、T2'分别在K、M两点并联

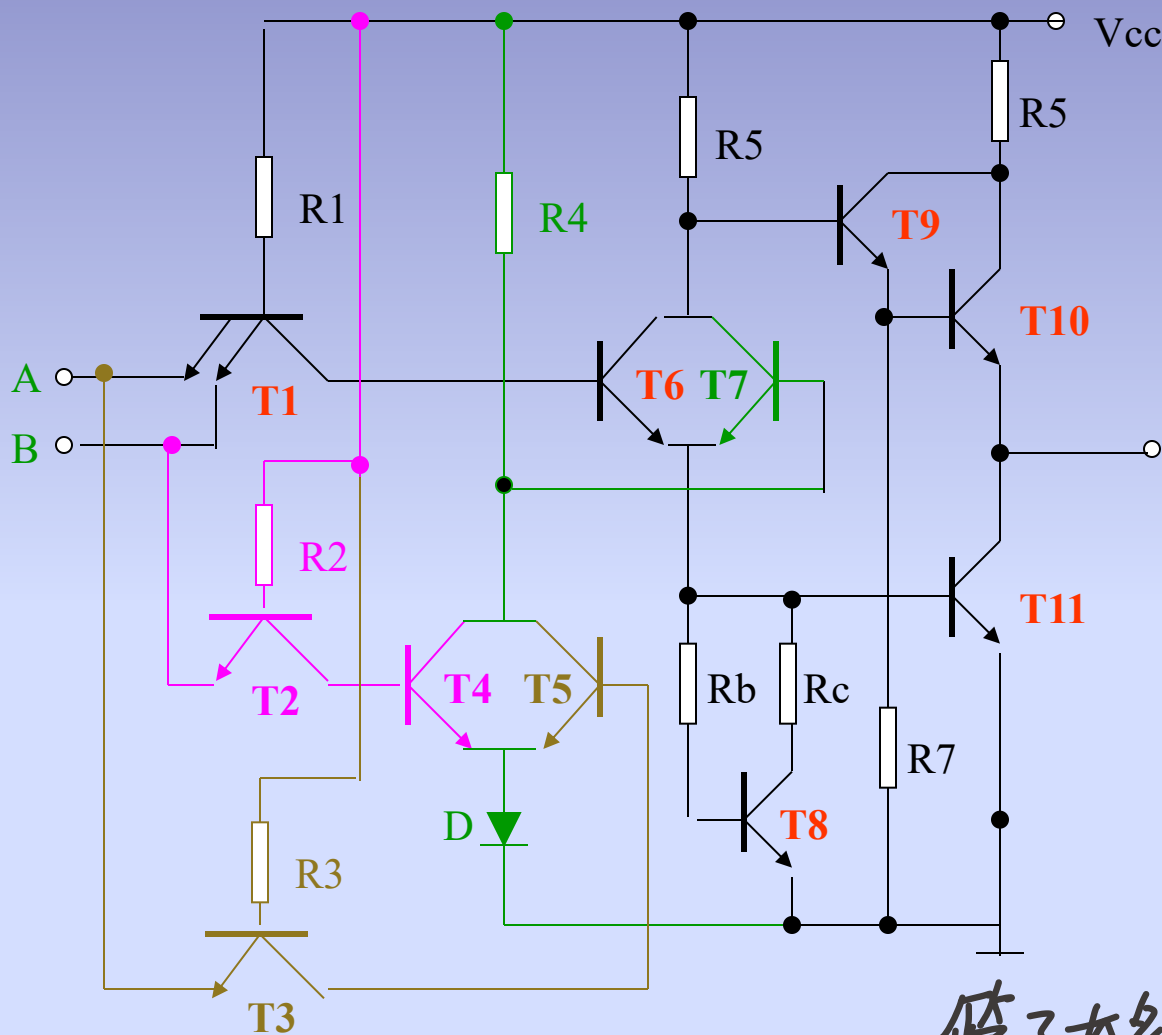
① 只要T2、T2'中有一个导通，都会使T5导通饱和，使T3、T4截止，输出为低电平

② 只有当T2、T2'都截止，使T3、T4导通而T5截止，输出为高电平

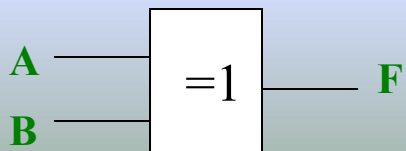
$$\text{所以, } F = \overline{F1 + F2} \\ = \overline{ABC + DEF}$$



(6) 异或门 $F = A \oplus B = \bar{A}B + A\bar{B}$



门的逻辑符号



电路分析:

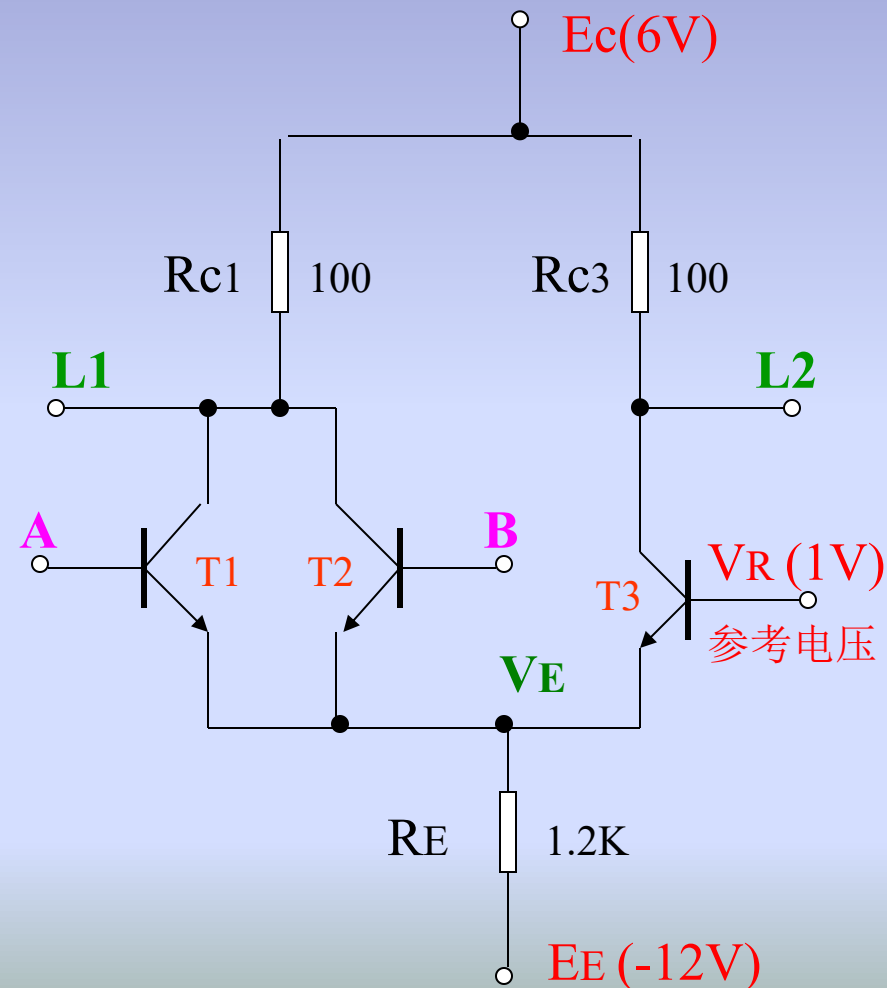
- ① $A=B=1 \rightarrow T1, T2, T3$ 饱和, $T4, T5, T6$ 截止 $\rightarrow T7$ 饱和 $\rightarrow T11$ 饱和 $\rightarrow T9, T10$ 截止 $\rightarrow F=0$
- ② $A=0, B=1 \rightarrow T1, T3$ 饱和, $T2$ 倒置 $\rightarrow T4$ 导通 $\rightarrow T6, T7$ 截止 $\rightarrow T9, T10$ 导通 $\rightarrow T11$ 截止 $\rightarrow F=1$
- ③ $A=1, B=0 \rightarrow T1, T2$ 饱和, $T3$ 倒置 $\rightarrow T5$ 导通 $\rightarrow T6, T7$ 截止 $\rightarrow T9, T10$ 导通 $\rightarrow T11$ 截止 $\rightarrow F=1$
- ④ $A=B=1 \rightarrow T1, T2, T3$ 倒置, $T4, T5, T6$ 饱和 $\rightarrow T11$ 导通 $\rightarrow T9, T10$ 截止 $\rightarrow F=0$

管子太多了
但很广泛使用

五、其他双极型逻辑门电路

比TTL门电路具有更高的抗干扰、高集成度、高速度等特点。

1. 射极耦合逻辑门(ECL) 为提高速度而设计的一种非饱和型高速电路。



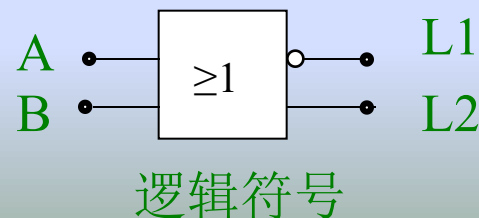
① 当 $A = B = \text{"0"} (0.5V)$, 因为 $V_R = 1V$
→ T_3 优先导通 → $V_E = V_R - V_{be3} = 0.3V$
→ T_1 、 T_2 仍截止 → $L1 = E_c = \text{"1"} (6V)$
→ $I_E = (V_E - E_E) / R_E = 10mA$,
 $L2 = \text{"0"} (= E_c - I_E R_{c3} = 5V)$

② 当 $A = B = \text{"1"} (1.5V)$ → T_1 、 T_2 优先
导通 → $V_E = V_A - V_{be3} = 1.5V - 0.7V$
 $= 0.8V$, $L1 = \text{"0"} (= 0.3 + 0.8 = 1.1V)$
→ T_3 截止 → $L2 = E_c = \text{"1"} (6V)$

③ 当 A 或 $B = 1 (1.5V)$ → T_1 或 T_2 优先
导通 → $V_E = 0.8V$, $L1 = \text{"0"}, L2 = \text{"1"}$

$$L1 = \overline{A + B}$$

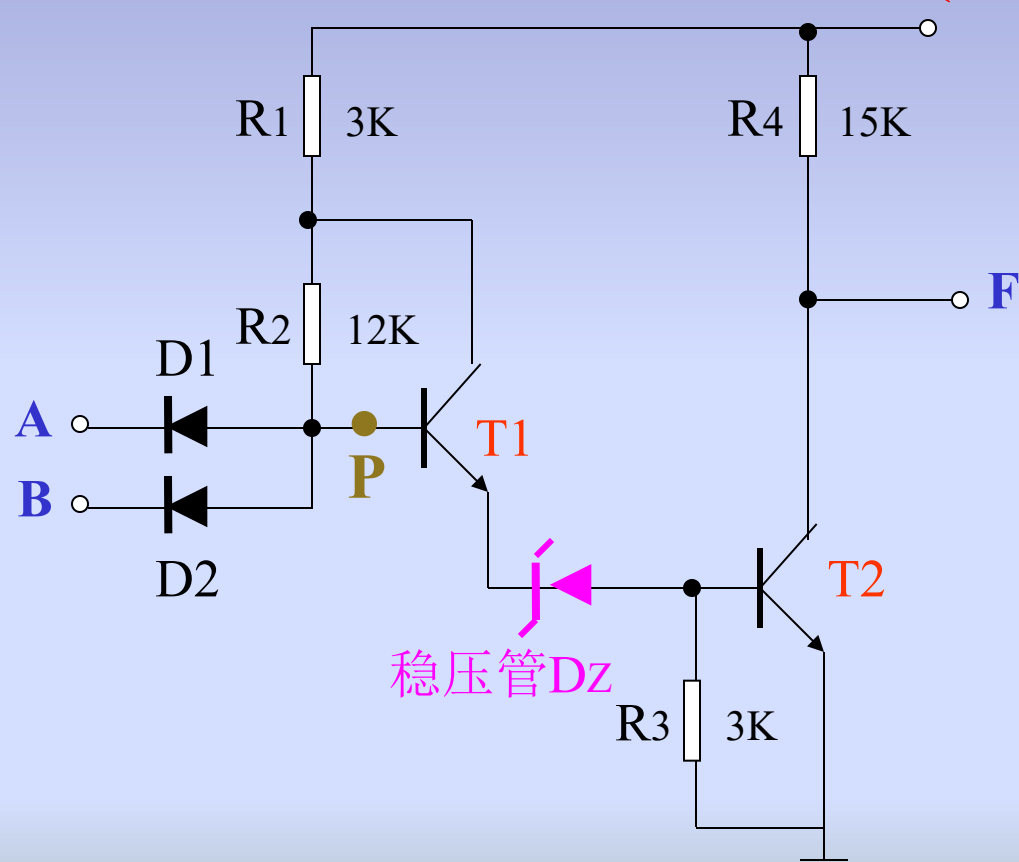
$$L2 = A + B$$



2. 高阈值逻辑门(HTL) 为提高电路的抗干扰能力设计有较高阈值电压的门

所谓“阈值电压”是指在保证与非门正常工作时，输入端所允许的最大干扰

电压。这种门是专门为工业控制设备而设计的一种逻辑电路，又称高抗电路。



基本HTL与非门

稳压管Dz采用齐纳二极管， V_Z 为7V，噪声容限为5.5V，起电平转移作用。

当输入信号为低电平(0.3V)，P点电位 $V_P = 0.3 + 0.7 = 1V$

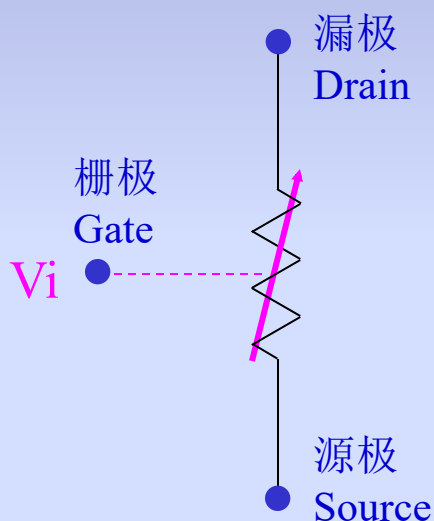
此电位使T1、T2截止， $F = "1"$ 。此时，输入端受到外来干扰信号， V_P 在原来基础上向上偏移，但只要干扰电压 $< 6.4V$ ，则 $V_P < 6.9V$ ，DZ仍不导通，T2仍截止， $F = "1"$

缺点：工作速度低，功耗大。

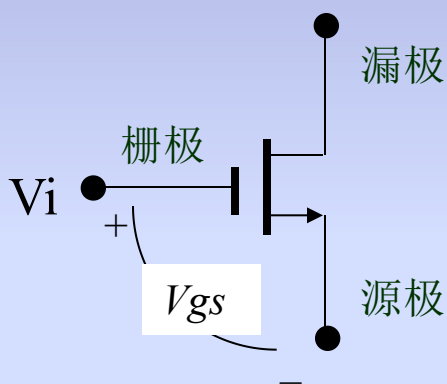
六、单极型集成逻辑门

MOS (Metal Oxide Semiconductor 金属氧化物半导体), 其特点是结构简单, 集成度高, 广泛地采用在LSI、VLSI 中。

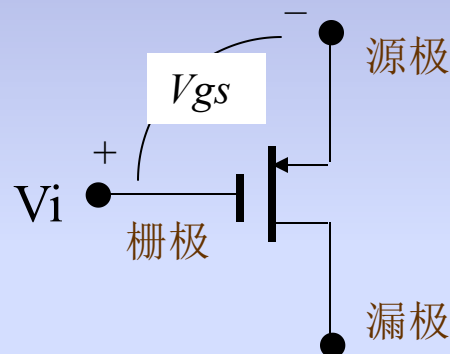
1. MOS 晶体管



等效为压控电阻
的MOS晶体管



NMOS晶体管



PMOS晶体管

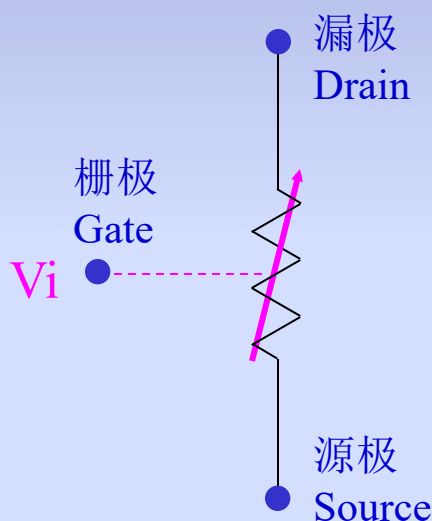
NMOS晶体管：通常 $V_{gs} \geq 0$ 。

当 $V_{gs} = 0$, R_{ds} 很大, 至少 10^6 欧姆, 随着栅电压 V_{gs} 的增加, R_{ds} 会降低到很低的值, 10 欧姆或更低。

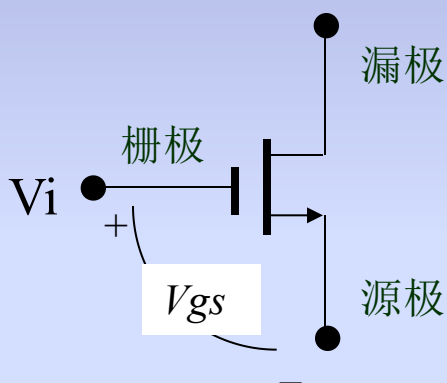
六、单极型集成逻辑门

MOS (Metal Oxide Semiconductor 金属氧化物半导体), 其特点是结构简单, 集成度高, 广泛地采用在LSI、VLSI 中。

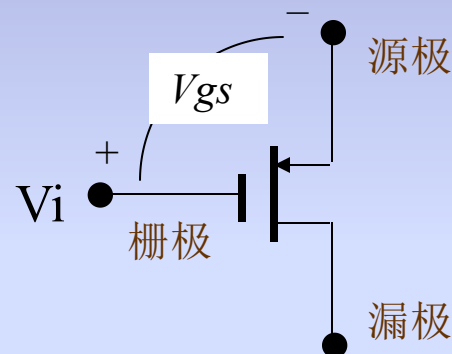
1. MOS 晶体管



等效为压控电阻
的MOS晶体管



NMOS晶体管



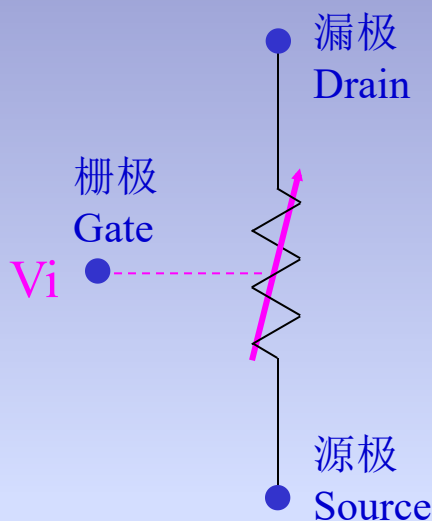
PMOS晶体管

PMOS晶体管：通常 $V_{gs} \leq 0$ 。

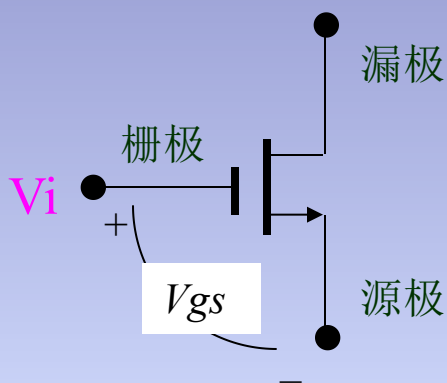
当 $V_{gs} = 0$, R_{ds} 很大, 至少 10^6 欧姆, 随着栅电压 V_{gs} 的下降, R_{ds} 会降低到很低的值, 10欧姆或更低。

六、单极型集成逻辑门

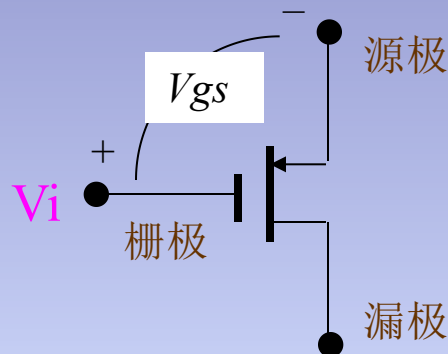
1. MOS 晶体管



等效为压控电阻
的MOS晶体管



NMOS晶体管



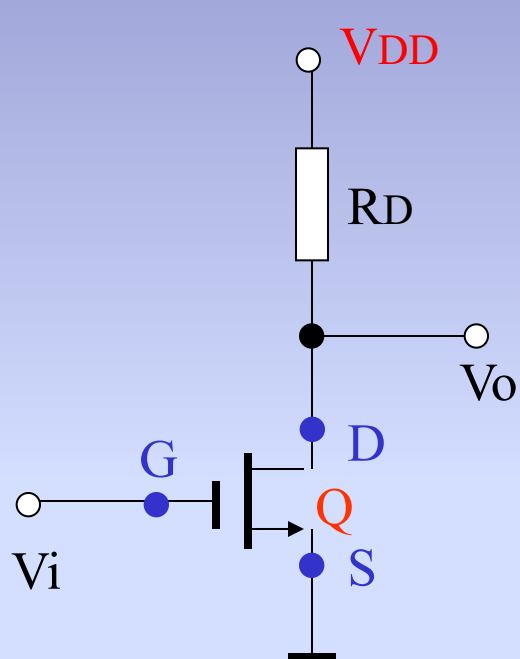
PMOS晶体管

MOS晶体管的栅极是由具有非常高电阻的绝缘材料与源极和漏极分隔开的。栅电压 V_{gs} 能够产生电场来增强或降低源—漏间的电流，故称“**场效应**”。而且，栅—源间、栅—漏间几乎没有电流（漏电流 $\leq 1 \mu A$ ）。

栅极与源、漏极之间有**电容性耦合**，输入信号 V_i 转换时该电容的充放电所需的功耗，占相当比重的整个电路的功耗。

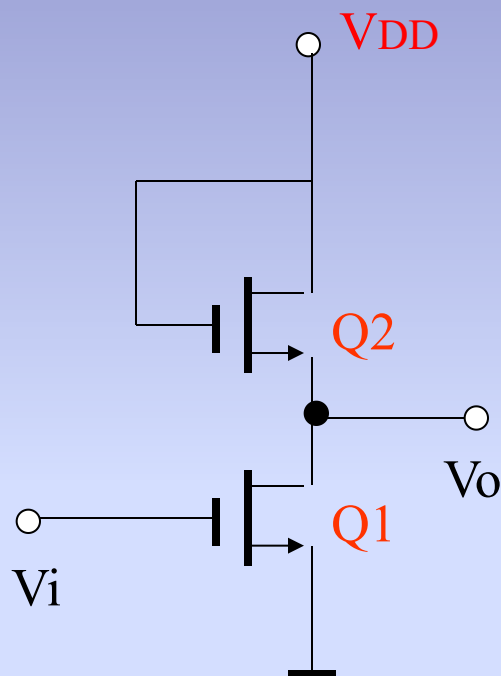
六、单极型集成逻辑门

2. MOS 反相器



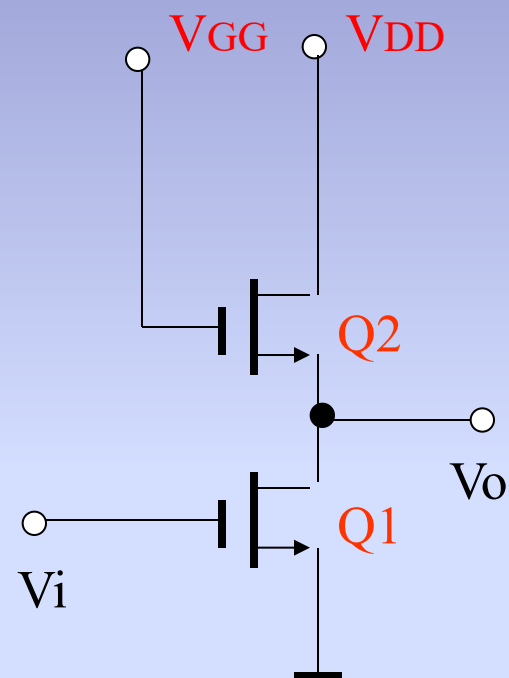
电阻负载

NMOS反相器



饱和型负载

NMOS反相器

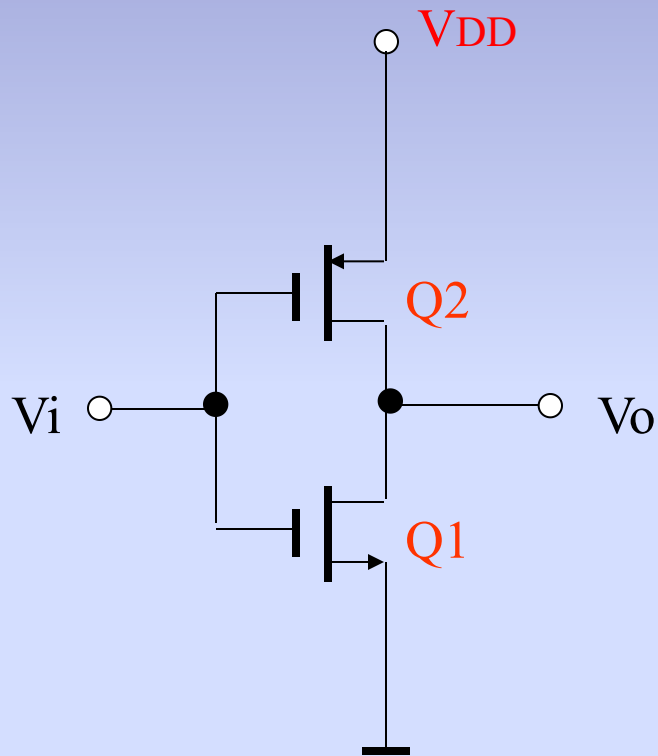


非饱和型负载

NMOS反相器

3. CMOS 反相器

NMOS和PMOS晶体管以互补的方式共用，就形成CMOS逻辑（CMOS logic）。



CMOS反相器

工作管Q1为N沟道增强型MOS管，负载管Q2为P沟道增强型MOS管。

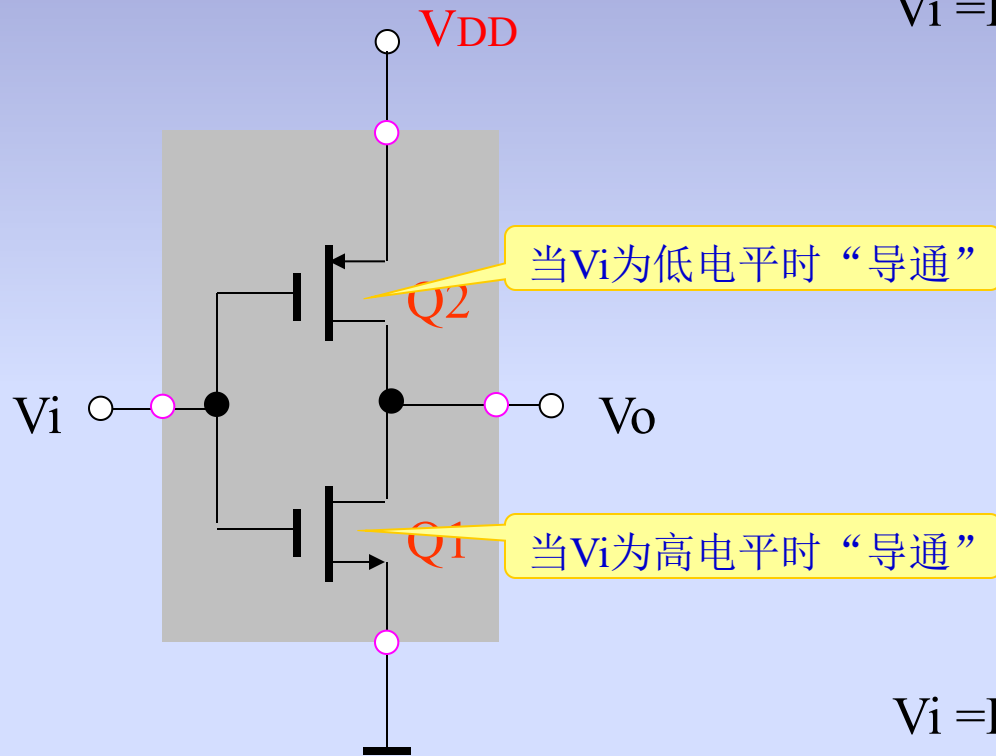
工作原理：

- ① $V_i = 0V$ ，Q1断开，Q2导通，使Q2表现为一个小电阻，则 $V_o = V_{DD}$
- ② $V_i = 5.0V$ ，Q2断开，Q1导通，使Q1表现为一个小电阻，则 $V_o = 0V$ 接地

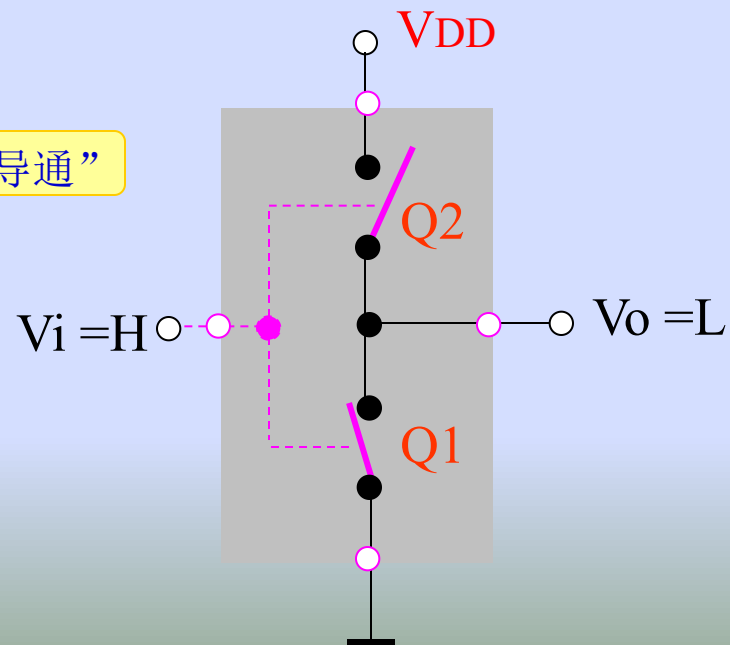
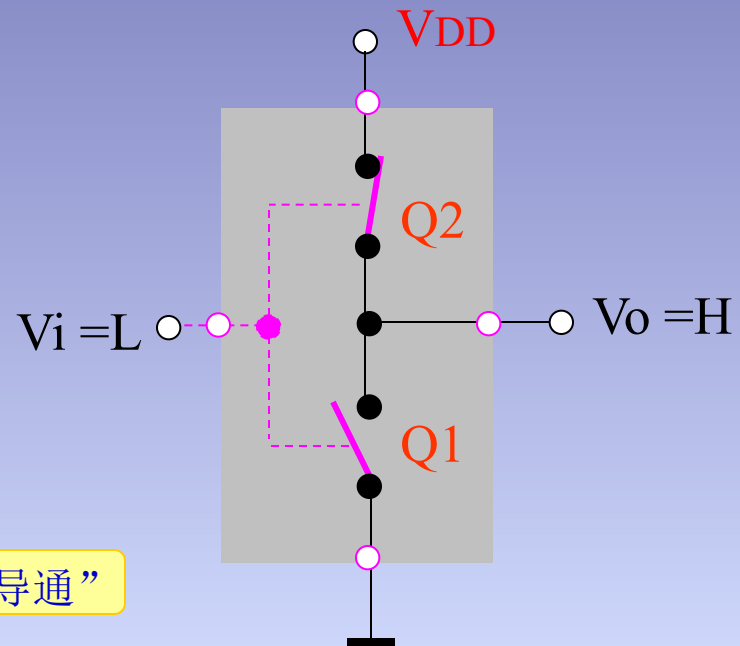
用开关模型说明如下：

3. CMOS 反相器

CMOS 反相器的开关模型:



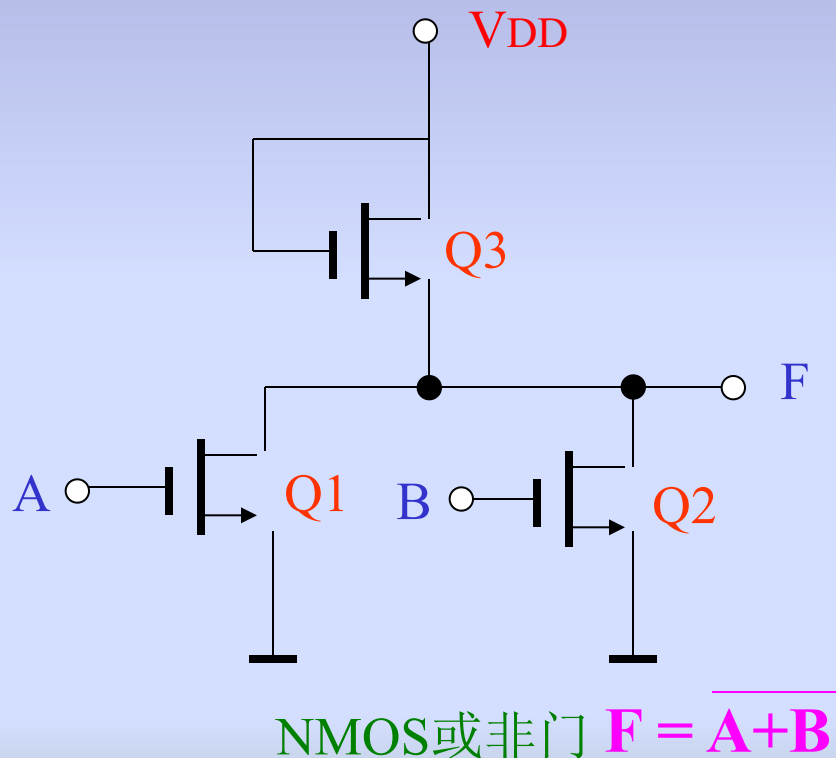
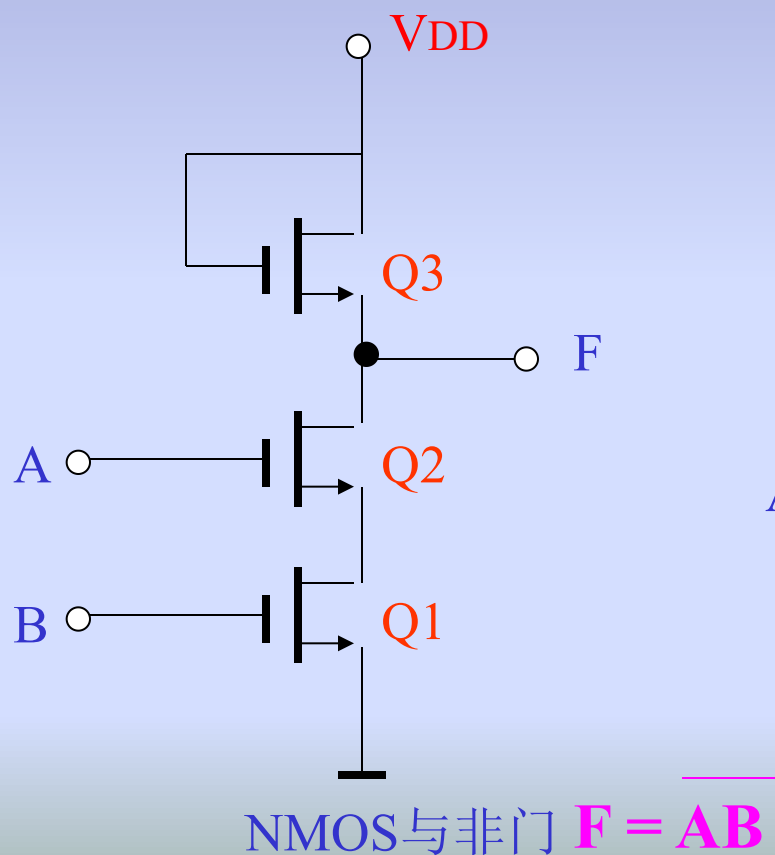
CMOS反相器



4. MOS 门电路

(1) NMOS门电路

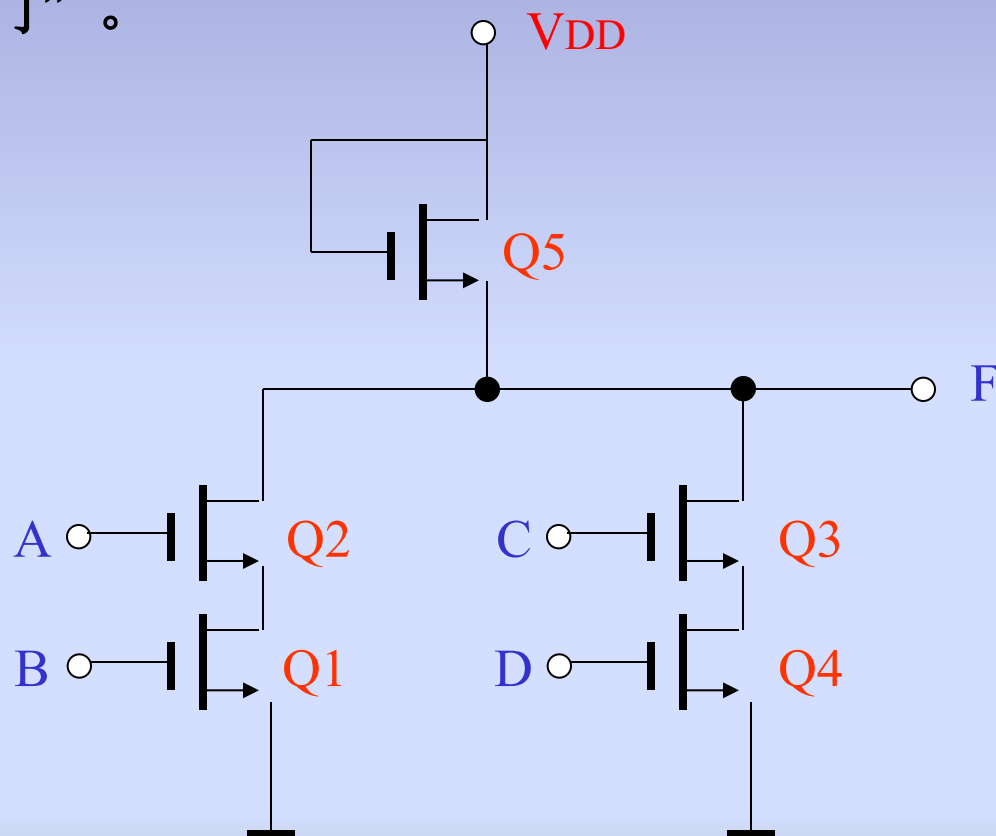
常用的NMOS门电路有“与非门”、“或非门”和“与或非门”。



4. MOS 门电路

(1) NMOS门电路

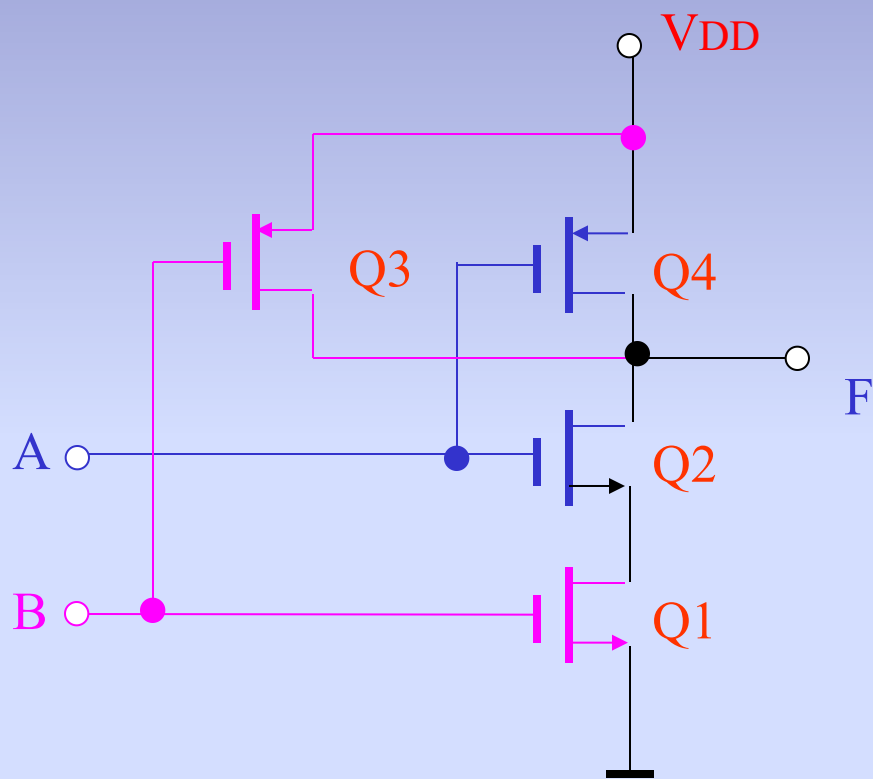
常用的NMOS门电路有“与非门”、“或非门”和“与或非门”。



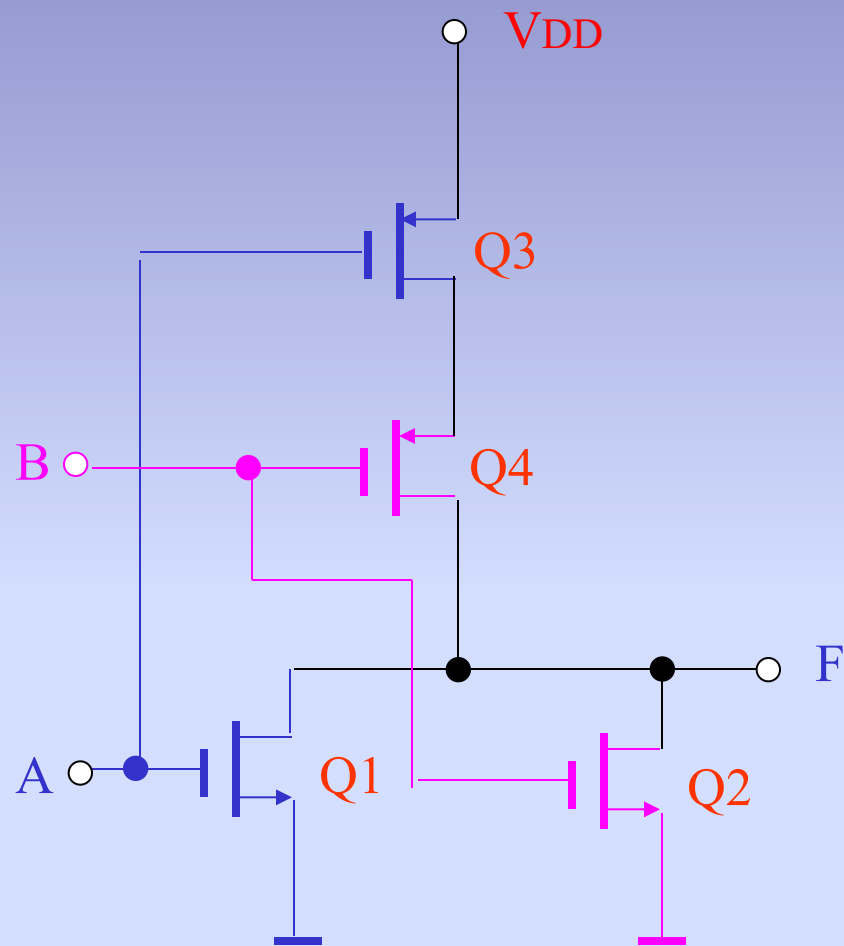
NMOS与或非门 $F = \overline{AB + CD}$

4. MOS 门电路

(2) CMOS门电路



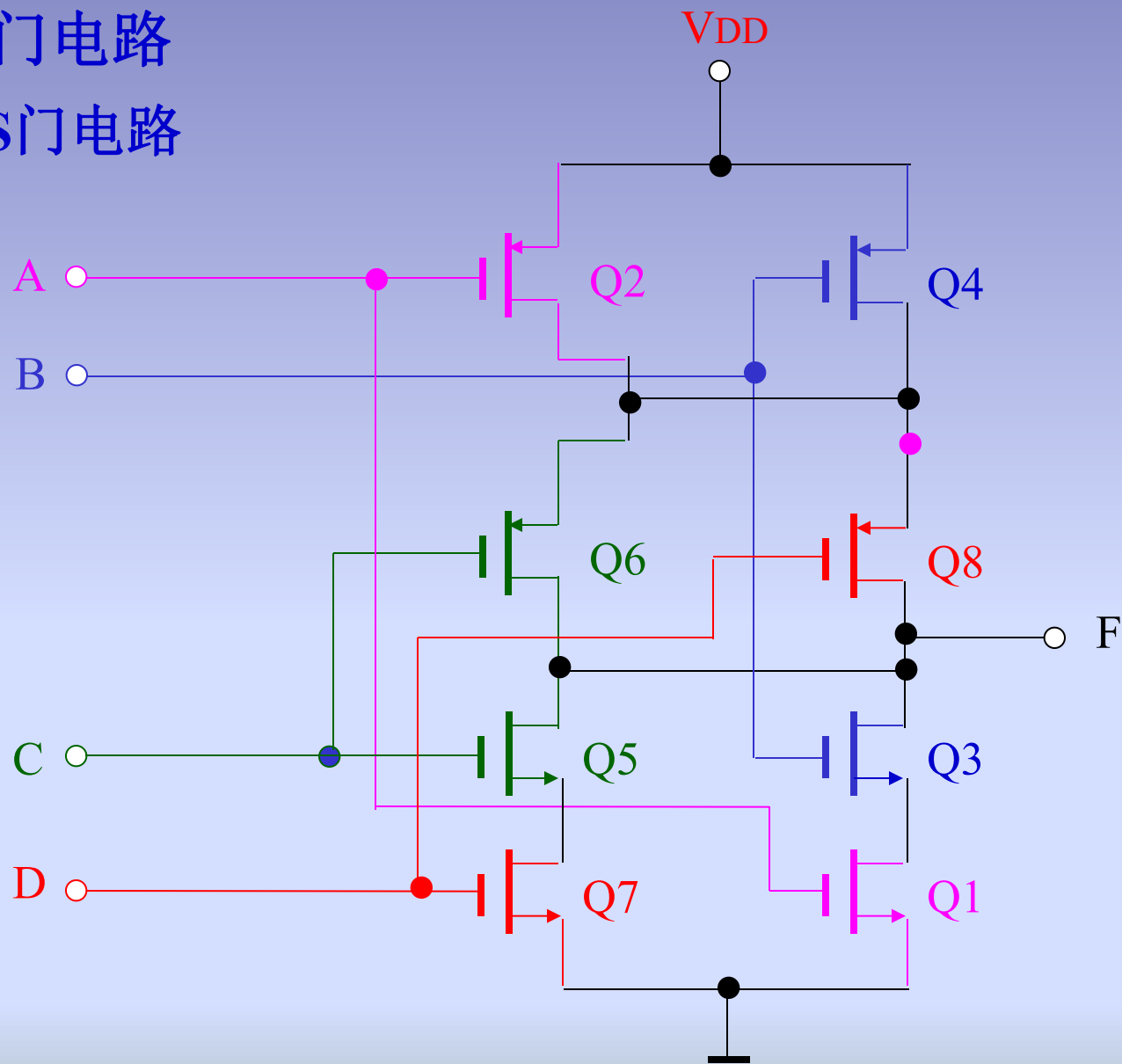
$$F = \overline{AB}$$



$$F = \overline{A+B}$$

4. MOS 门电路

(2) CMOS门电路



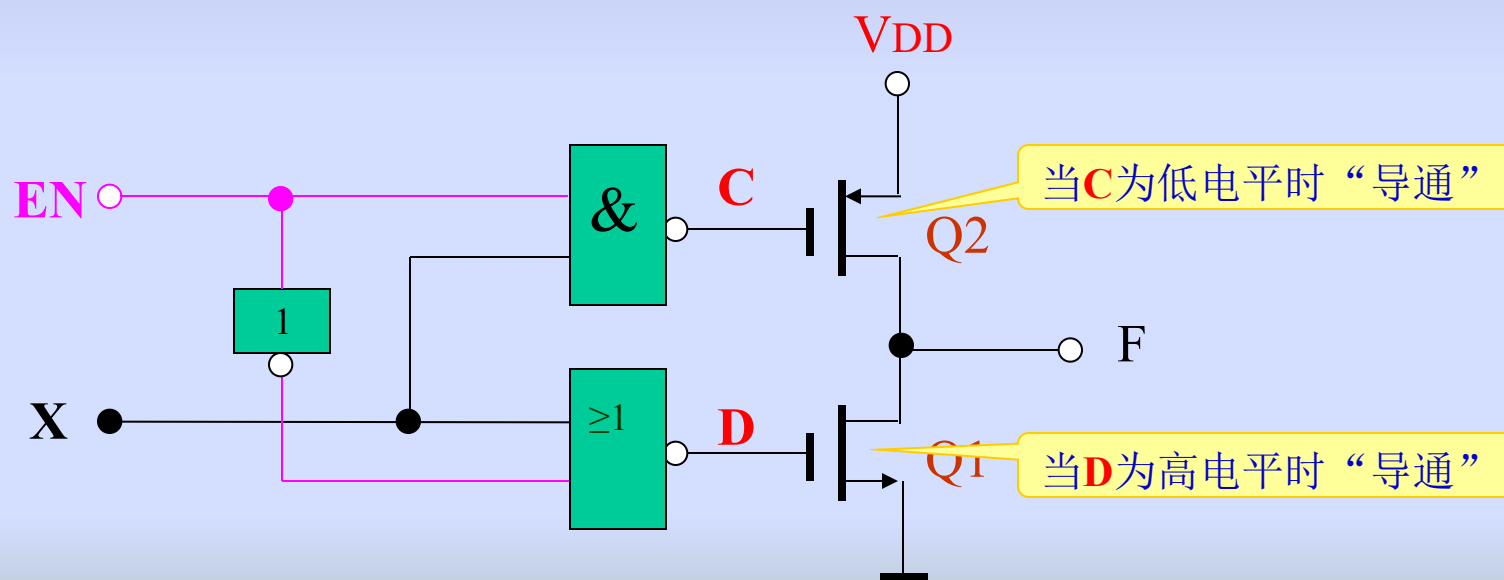
CMOS与或非门 $F = \overline{AB + CD}$

4. MOS 门电路

(2) CMOS门电路

当 $EN = 0$ 时， C 为高电平， $Q2$ 不导通， D 为低电平， $Q1$ 不导通，输出高阻。

当 $EN = 1$ 时，该信号不起限制作用，输入信号 X 使 C 、 D 的电平相同，使 $Q1$ 、 $Q2$ 互补，输出 $F = X$ 。



CMOS三态门

5. CMOS 电路的电气特性

略。