

# 电子技术实验2 实验报告

学号：2234412866 班级：信息2306 姓名：郑楠曦

## 7 时序逻辑电路设计

### 一 题目描述（10分）

1. 题目：设计一个任意模值计数器，使输入为时钟信号CLK，输出为d\_high[3:0]和d\_low[3:0]，并在CPLD开发板上进行验证。

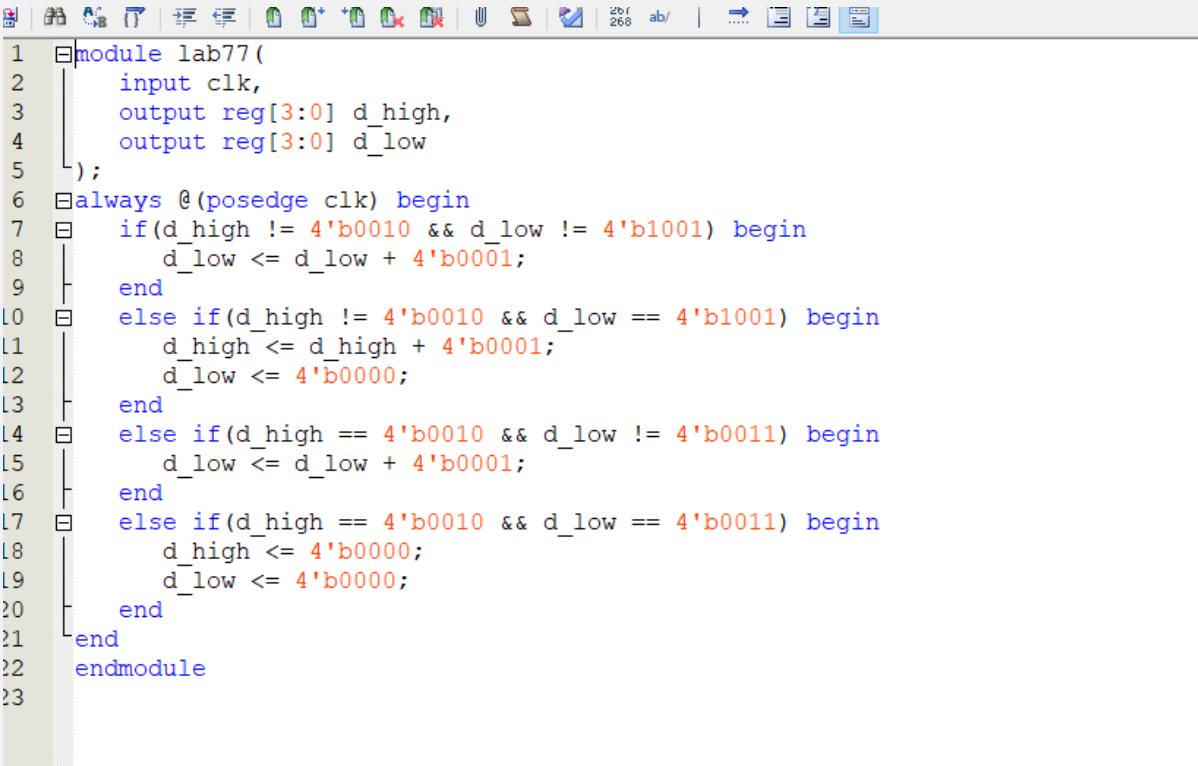
### 二 实验原理（30分）

1. 时序逻辑电路的基本概念

### 三 实验过程（30分）

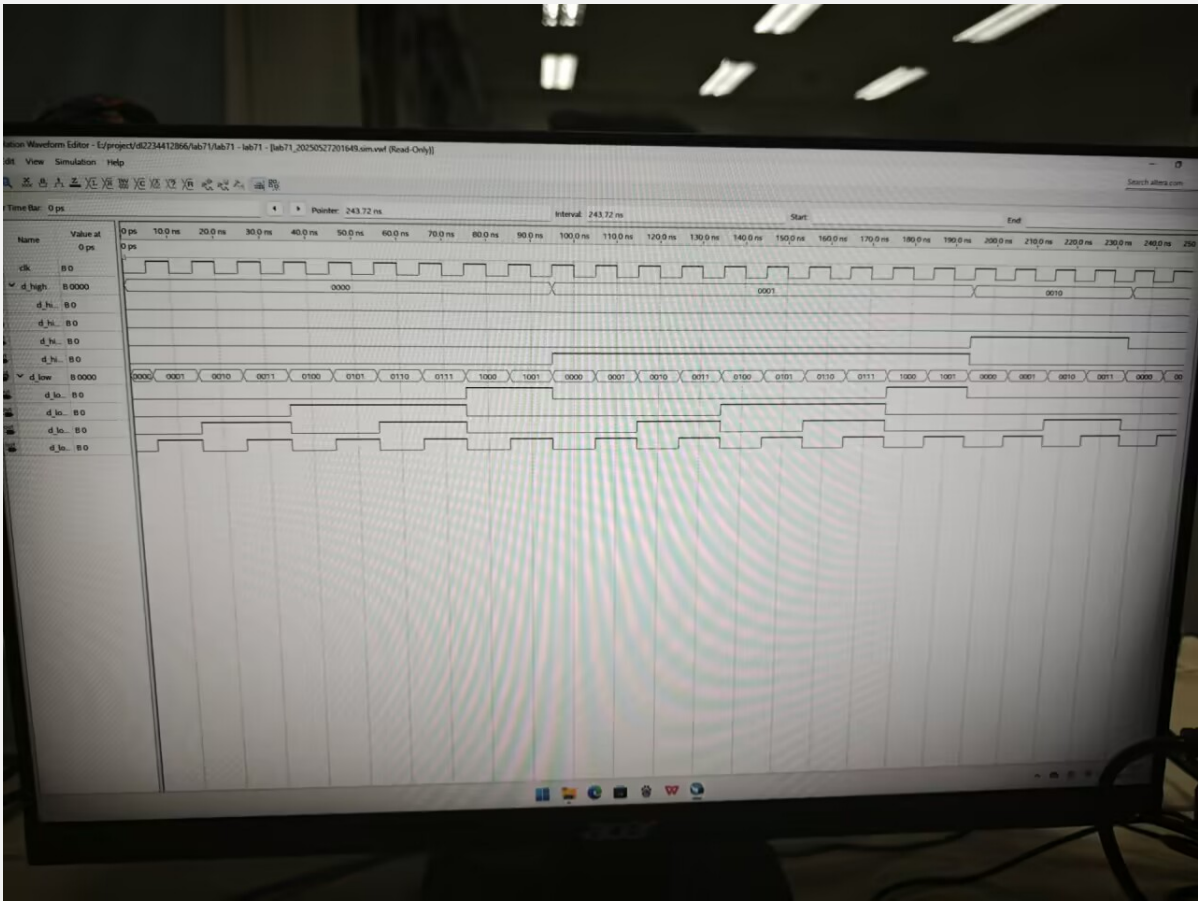
1. 新建工程lab7；

2. 添加设计文件，完成对模24计数器的设计并编译；

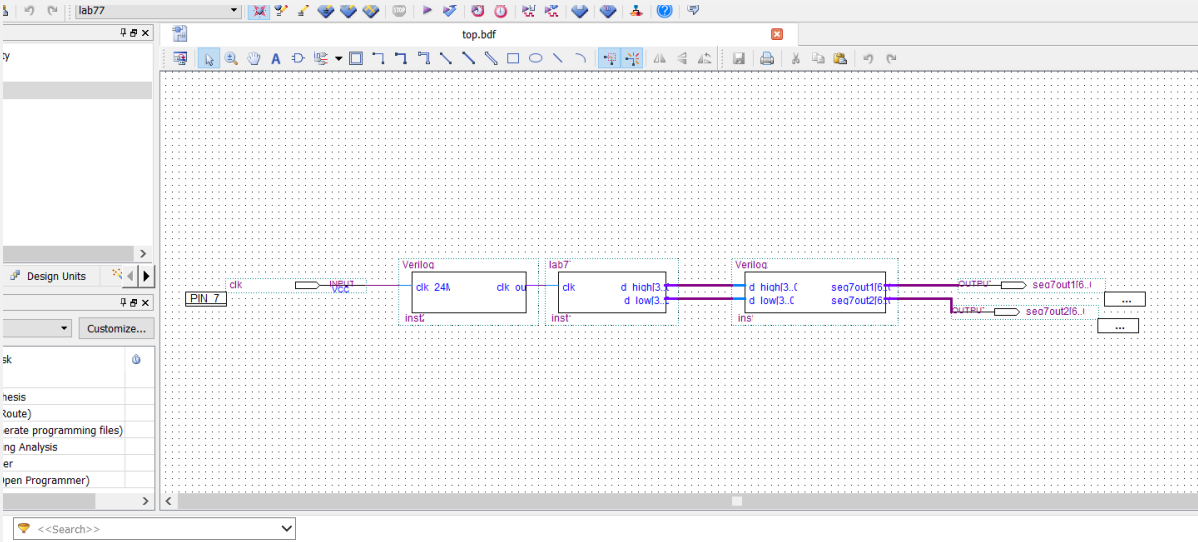


```
1 module lab77(  
2     input clk,  
3     output reg[3:0] d_high,  
4     output reg[3:0] d_low  
5 );  
6 always @(posedge clk) begin  
7     if(d_high != 4'b0010 && d_low != 4'b1001) begin  
8         d_low <= d_low + 4'b0001;  
9     end  
10    else if(d_high != 4'b0010 && d_low == 4'b1001) begin  
11        d_high <= d_high + 4'b0001;  
12        d_low <= 4'b0000;  
13    end  
14    else if(d_high == 4'b0010 && d_low != 4'b0011) begin  
15        d_low <= d_low + 4'b0001;  
16    end  
17    else if(d_high == 4'b0010 && d_low == 4'b0011) begin  
18        d_high <= 4'b0000;  
19        d_low <= 4'b0000;  
20    end  
21 end  
22 endmodule  
23
```

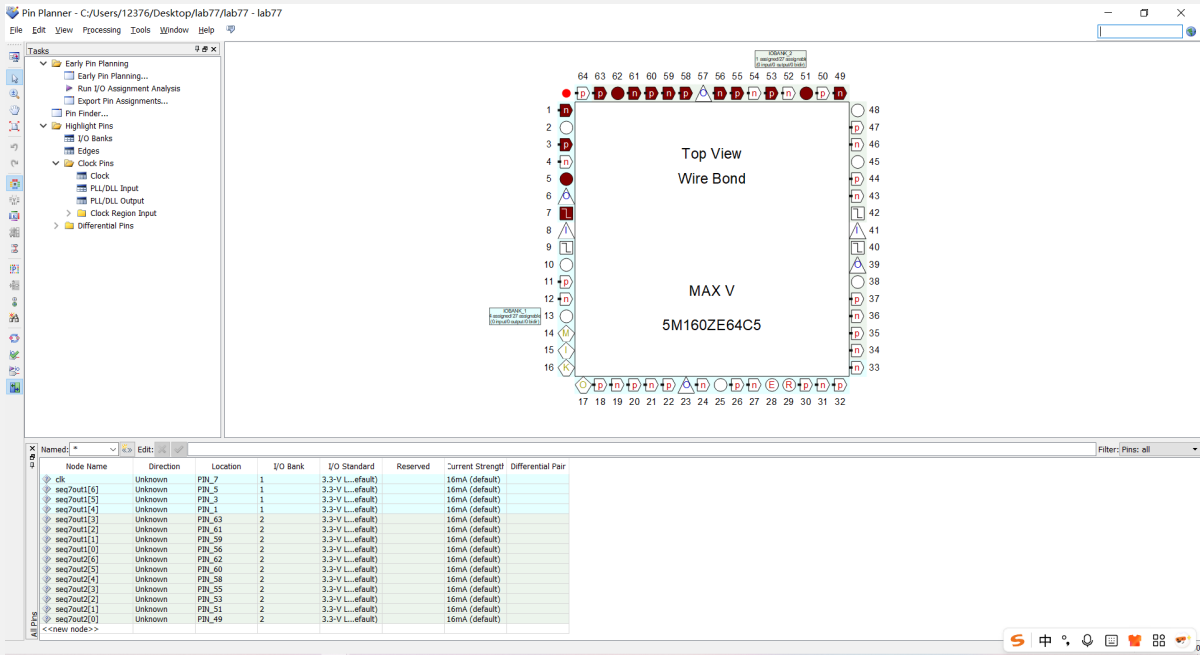
3. 对设计进行功能仿真和时序仿真；



4. 调用24M分频器、7段数码管符号模块，在BDF设计文件中，搭建顶层模块，完成顶层模块的设计并编译。

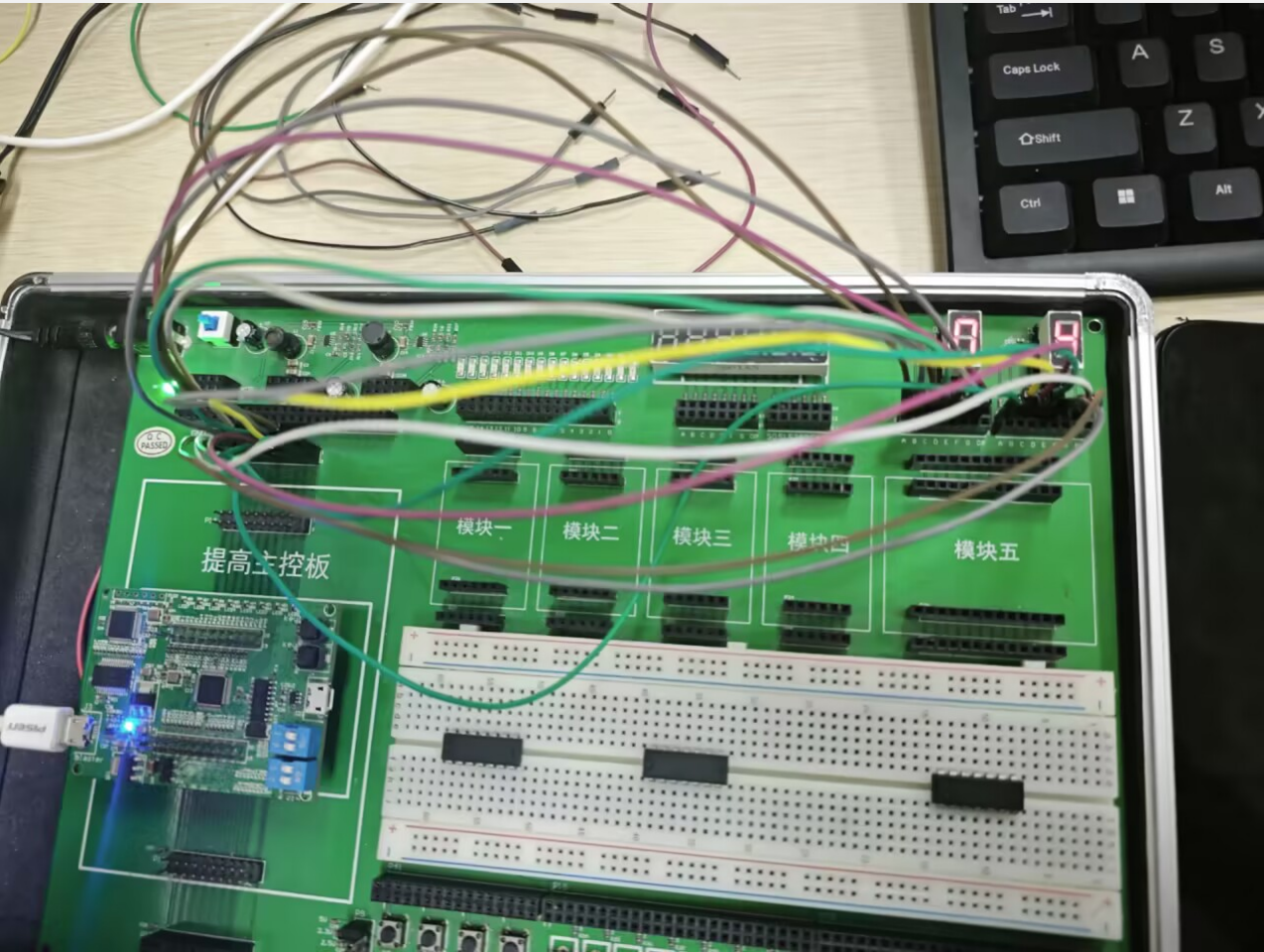


5. 分配管脚后编译所有文件，然后下载验证。



四 实验结果（20分）

下载验证后，正确连接导线，发现两个数码管可以按时序显示0-23.



五 总结（10分）

1. 描述时序逻辑电路的设计方法 第一步：状态抽象。 第二步：写出原始状态图和画出原始状态表。 第三步：化简状态。 第四步：将状态分配成二进制状态，得到二进制状态表。 第五步：分配合适

的触发器，写出状态转移方程、输出方程、触发器激励方程。第六步：根据方程，画出时序电路图。

2. **对本次实验的思考** 本次实验中，我们将课堂上学到的时序逻辑电路设计的思路运用到实际的数字电路设计中，并使用代码和仿真工具进行了验证，最后下载到CPLD核心板得到了验证。

将模块分开设计，形成封装，然后再进行顶层模块的设计，这样可以使代码更加清晰，便于调试和修改，这很类似于C语言的模块化编程。

这是一次很综合的实验，将我们对知识密度较高的时序逻辑电路设计的知识充分调用。在实验中，出现了很多意向不到的问题，比如管脚的实际分配需要和数码管的7段标号一一对应，下载验证时需要文件逐一编译成功后才能点亮数码管等。在解决问题的过程中，我逐步调试，逐渐理清了思路，对数字电路的设计和开发也有了更深的理解。