电子技术实验2 实验报告

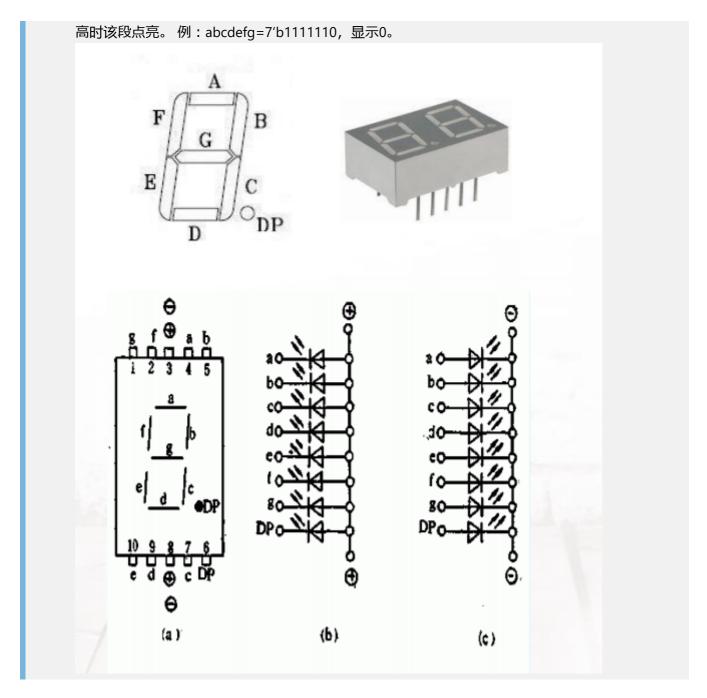
学号:2234412866 班级:信息2306 姓名:郑楠曦

5 七段数码管

- 一实验内容(10分)
 - 1. 了解七段数码管的驱动原理
 - 2. 使用Quartus软件的Verilog HDL语言设计一个七段数码管驱动模块,并在CPLD核心板上下载,并 搭建电路验证。

二实验原理(20分)

1. **七段数码管的驱动原理**: 七段数码管由a,b,c,d,e,f,g,dp八段发光管组成,靠每一段的亮灭状态的不同来显示不同的字符。 ◆分为共阴极和共阳极 ◆共阳极数码管是指数码管的八段发光二极管的阳极(正极)都连在一起,而阴极对应的各段可分别控制,如图(b)所示,此时控制各段的信号为低时该段点亮;例:abcdefg=7′b0000001,显示0。 ◆共阴极数码管是指数码管的八段发光二极管的阴极(负极)都连在一起,而阳极对应的各段可分别控制,如图(c)所示,此时控制各段的信号为



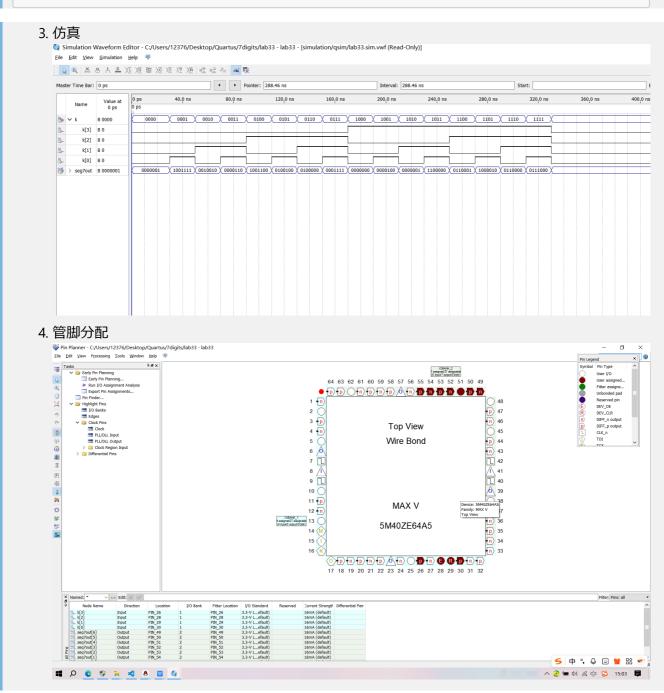
三 具体实现(40分)

包括工程创建、七段数码管驱动代码设计、仿真、管脚分配、下载验证。

- 1. 工程创建 打开Quartus软件,选择合适的芯片5M160ZE64C5N,选择HDL Verilog语言,创建工程,编写代码。
- 2. 七段数码管驱动代码设计

```
module lab33(
    input wire [3:0] k, // 4位输入信号,用于选择不同的显示模式
    output reg [6:0] seg7out // 7位输出信号,连接七段数码管
);
always @(k) begin
    case (k)
    4'b0000: seg7out = 7'b00000001;
    4'b0001: seg7out = 7'b1001111;
    4'b0010: seg7out = 7'b0010010;
```

```
4'b0011: seg7out = 7'b0000110;
       4'b0100: seg7out = 7'b1001100;
       4'b0101: seg7out = 7'b0100100;
       4'b0110: seg7out = 7'b0100000;
       4'b0111: seg7out = 7'b0001111;
       4'b1000: seg7out = 7'b00000000;
       4'b1001: seg7out = 7'b0000100;
       4'b1010: seg7out = 7'b00000001;
       4'b1011: seg7out = 7'b1100000;
       4'b1100: seg7out = 7'b0110001;
       4'b1101: seg7out = 7'b1000010;
       4'b1110: seg7out = 7'b0110000;
       4'b1111: seg7out = 7'b0111000;
       default: seg7out = 7'b00000000;
   endcase
end
endmodule
```



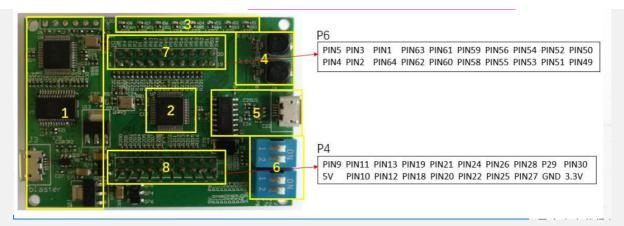


四实验结果(20分)



五 实验总结(10分)

1. 对实验箱、核心板、下载验证等的理解和总结 **实验箱的电源问题**:要注意供电电源和下载器的插 拔。 **核心板的型号选择**:不同型号的CPLD核心板,其引脚分配,封装、速度等级可能都不同,如 果选择错误的型号往往会下载失败。 **核心板的引脚分配**:要根据说明书和引脚分配,正确连接数 码管,最好能有序



下载验证的注意事项:要注意勾选Program/configure的所有。下载验证前,必须要先进行一次编译,成功后方能进行下载验证。

2. 对遇到的问题的总结 **数码管的显示问题**:要注意数码管的显示方式,共阴极和共阳极。不同类型的电路连接方式不同。 **下载器连接接触不良的问题**:需要及时排查,有误时要及时更换下载器。