

第四章 可编程逻辑器件 PLD

4.1 PLD 基础

4.1.1 PLD 概述

4.1.2 简单可编程逻辑器件

4.1.2.1 只读存储器

4.1.2.2 可编程逻辑阵列

4.1.2.3 可编程阵列逻辑

4.1.2.4 通用阵列逻辑(GAL)

4.2 FPGA结构

4.3 VHDL

4.4 PLD 设计举例

4.1.1 PLD (*Programmable Logic Device*)概述

专用集成电路ASIC：采用LSI和VLSI工艺制造的数字逻辑器件。

PLD：是ASIC的一个重要分支。

PLD器件的发展历史：

最早出现的：

- 可编程只读存储器PROM、
- 紫外线可擦除只读存储器EPROM、
- 电可擦除只读存储器EEPROM。

可以完成简单的逻辑功能，用于小型的逻辑实现。

4.1.1 PLD (*Programmable Logic Device*)概述

PLD器件的发展历史:

随后出现的一般被称为PLD的可编程器件可以通过编程比较灵活地完成各种数字逻辑功能:

- 可编程阵列逻辑PAL
- 通用阵列逻辑GAL

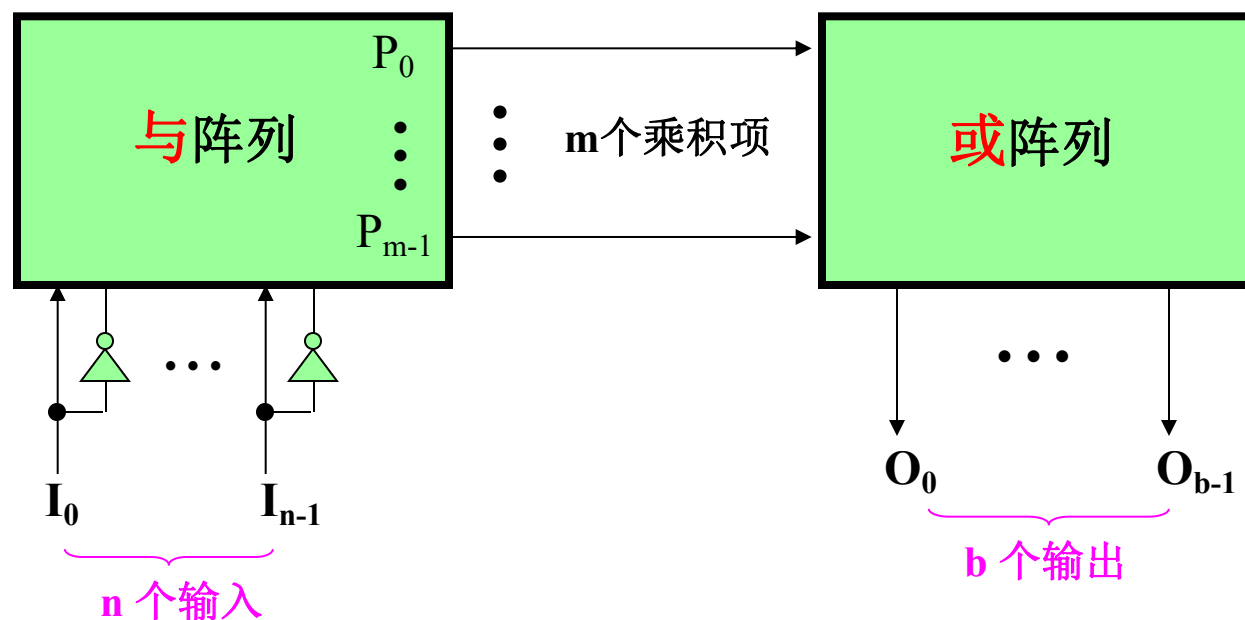
结构仍简单,用于实现规模较小的逻辑,具有价格、速度等方面的优势。

- 基于PAL结构扩展的复杂可编程阵列逻辑器件CPAL、
- 类似标准门阵列的现场可编程门阵列FPGA。
结构复杂,用于实现较大规模的逻辑电路。

4.1.1 PLD (*Programmable Logic Device*)概述

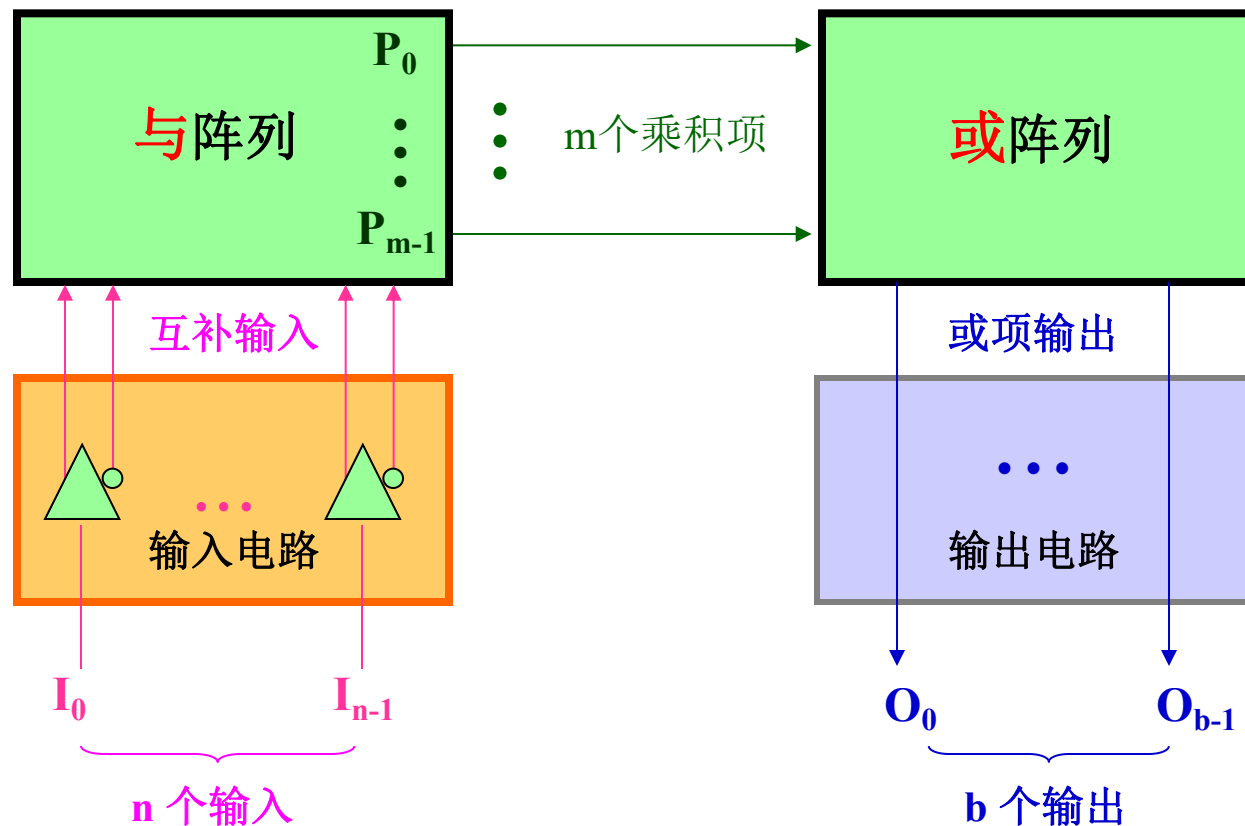
4.1.1.1 PLD的电路结构及分类

PLD 的电路结构



4.1.1 PLD (Programmable Logic Device)概述

PLD 的电路结构

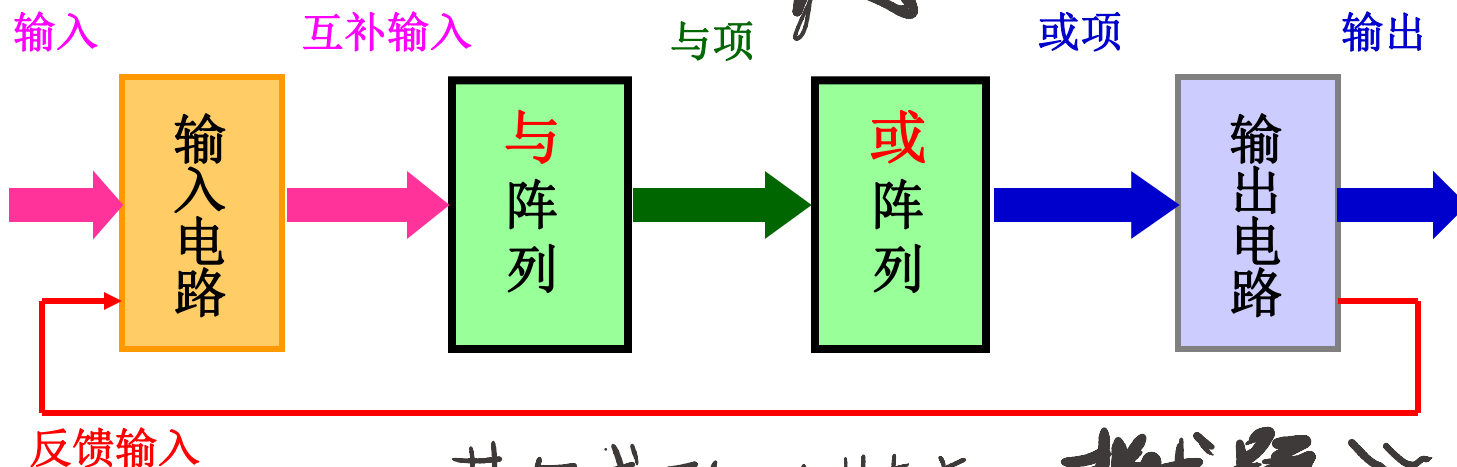


4.1.1 PLD (Programmable Logic Device)概述

PLD 的电路结构

★考

真值表很重要



其与或阵列特点: 背书题

分类	与阵列	或阵列	输出电路
可编程只读存储器 PROM	固定	可编程	固定
可编程逻辑阵列 PLA	可编程	可编程	固定
可编程阵列逻辑 PAL	可编程	固定	固定
通用逻辑阵列 GAL	可编程	固定	可组态

有一个范围规定可以用几个门

4.1.1.2 PLD 的编程工艺及描述的逻辑规则和符号

一、PLD 的编程工艺

1.掩膜可编程PLD: **mask PLD** 计算机. 计算机 386 486

2.现场可编程PLD: **PPLD** (可编程PLD)

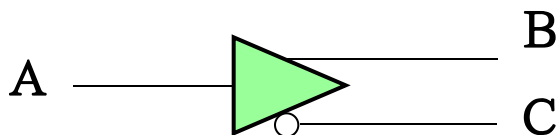
EPPLD (可擦除可编程PLD) 紫外光可擦

EEPPLD (电可擦除可编程PLD)

...

二、PLD 的描述规则和符号

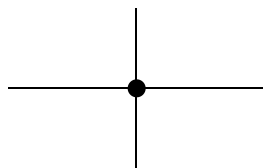
(1) 输入缓冲器



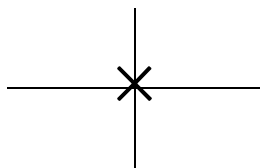
A	B	C
0	0	1
1	1	0

二、PLD 的描述规则和符号

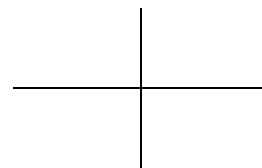
(2) PLD 编程点的连结方法



固定连接

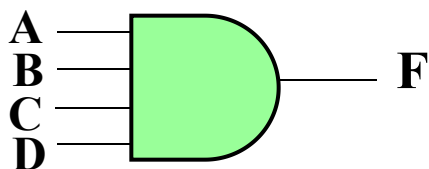


编程连接

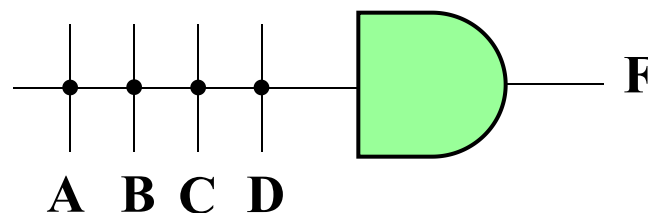


不连接

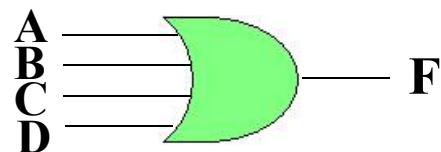
(3) 与门的表示



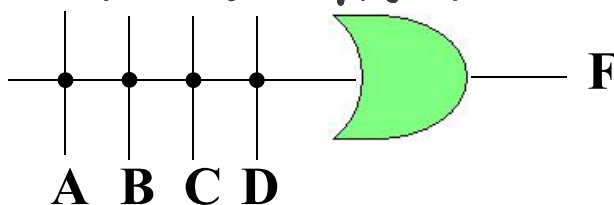
分立元件



(4) 或门的表示



分立元件



PLD 结构

PLD 结构
为了大规模处理.
为了大规模处理门输入.

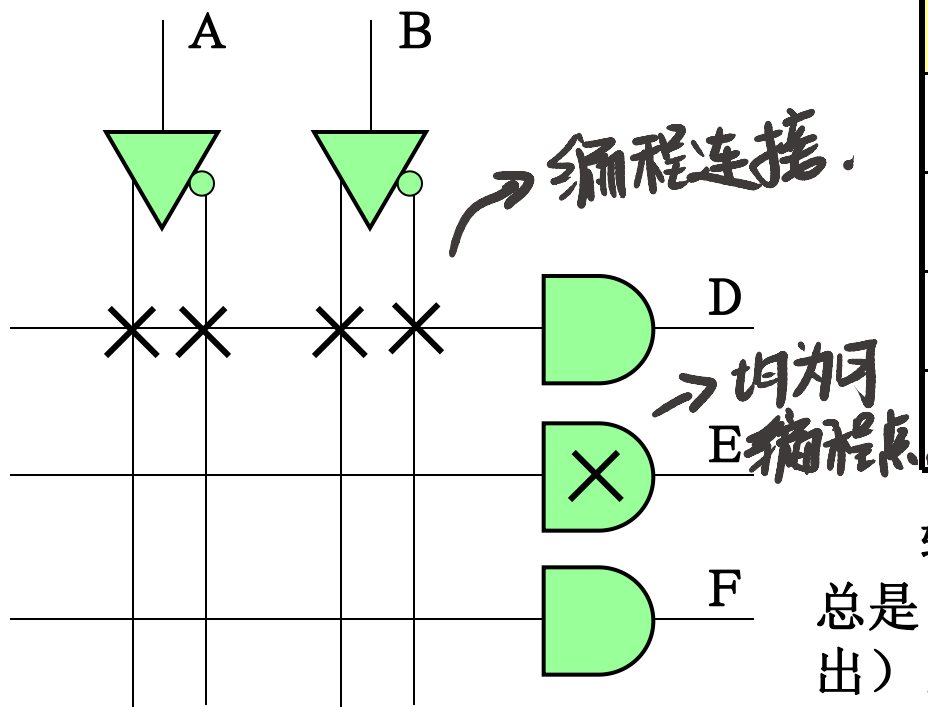
二、PLD 的描述规则和符号

(5) 与门的缺省状态

当一个输入缓冲器的互补输出同时接到某一个单独乘积项时，该乘积项的输出总为 0。如图中 D：

$$D = A \cdot \bar{A} \cdot B \cdot \bar{B} = 0$$

这种状态称为与门的缺省状态。可用乘积项 E 的速记符号表示。



A	B	D	E	F
0	0	0	0	1
0	1	0	0	1
1	0	0	0	1
1	1	0	0	1

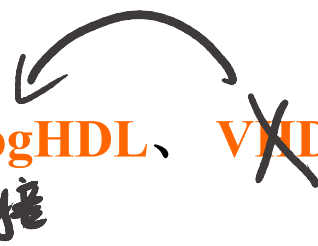
输出F与任何输入项无相连，总是“浮动”到逻辑“1”（恒1输出），导致与门关闭。

4.1.1.3 PLD 的设计过程及主要优点

一、PLD的设计过程

- 所需设备：两大类

1. 可编程逻辑开发软件 **ABLE**、**VerilogHDL**、**VHDL**
2. 编程器



- 设计过程分三个阶段：

1. 设计输入：将逻辑问题用**PLD语言**描述出来，如**VHDL**
2. 设计实现：PLD软件进行**编译**成编程文件，由编程器写入芯片
3. 设计验证：一是模拟功能，检查各临界定时路径；
二是在电路板上测试。

传统的原理图
硬件描述语言



4.1.2 简单可编程逻辑器件

4.1.2.1 只读存储器 *Read Only Memory*

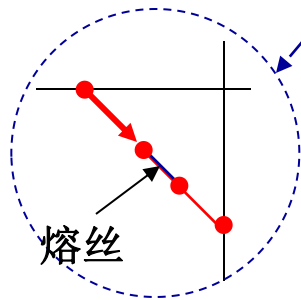
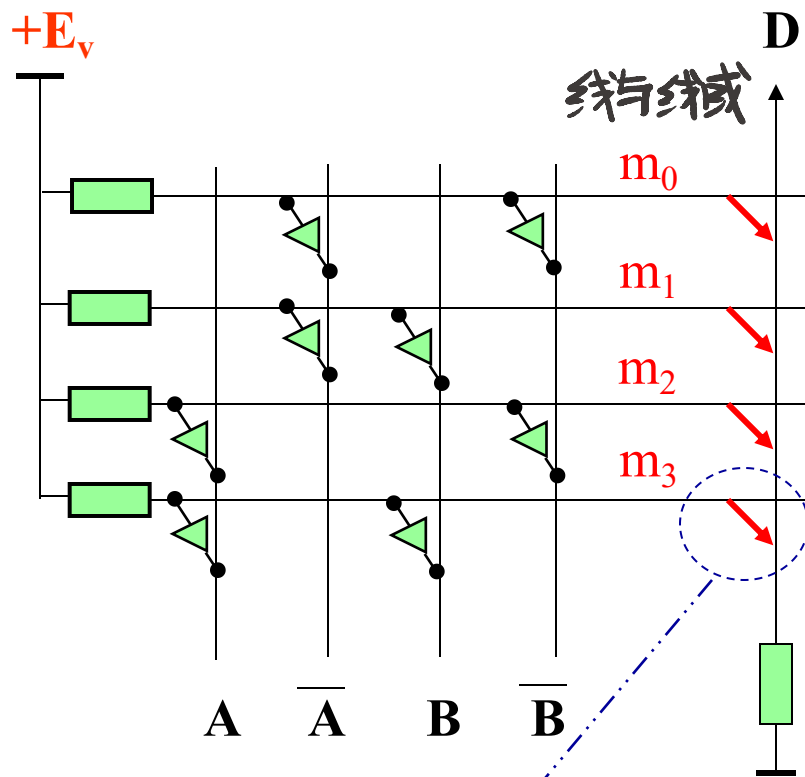
只读存储器按内部结构可分为：

- 固定只读存储器 ROM
 - 可编程只读存储器 PROM
 - 可擦除可编程只读存储器 EPROM
 - 电可擦除可编程只读存储器 EEPROM
- Electronic Erasable*

特点：与阵列——固定

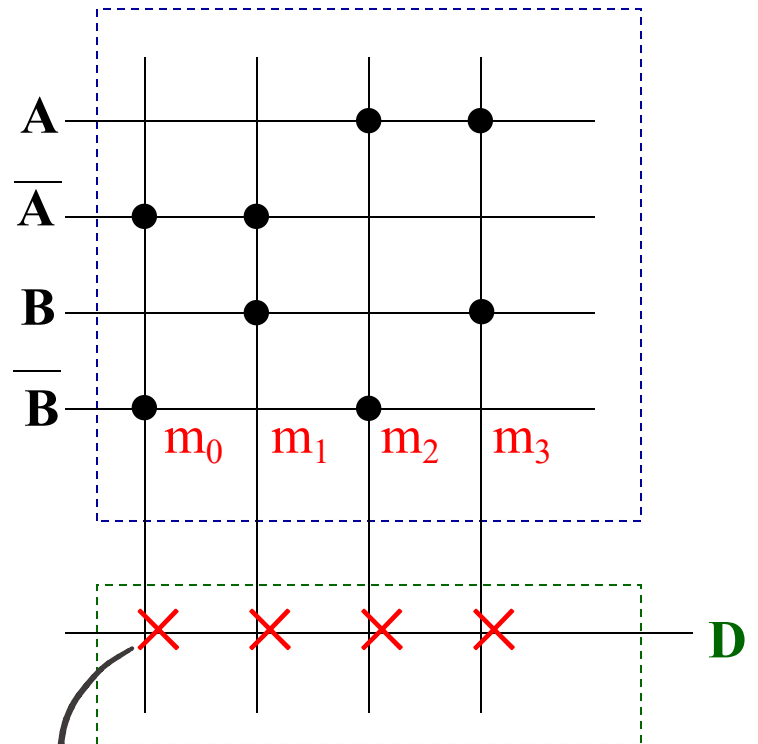
或阵列——可编程

4.1.2.1.1 ROM 的内部结构



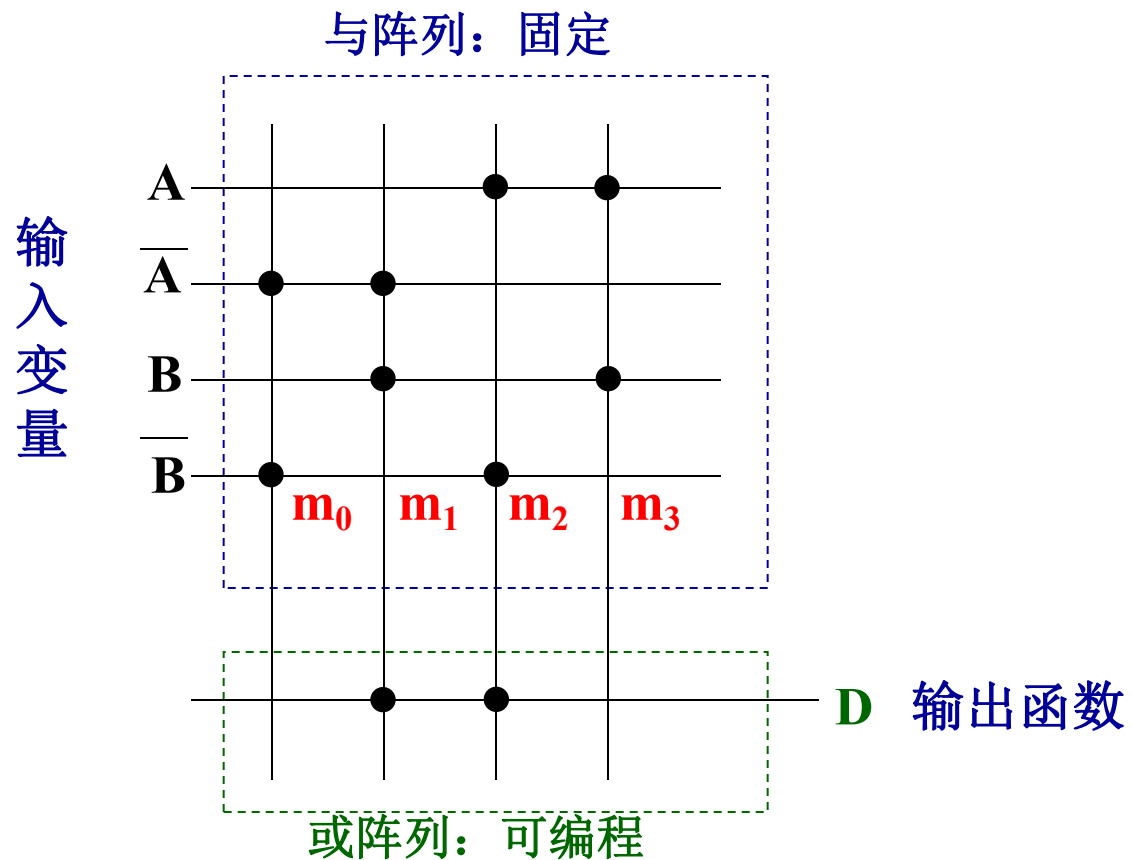
稍微加 12V.
烧断.

不怎么考这个
与阵列：固定

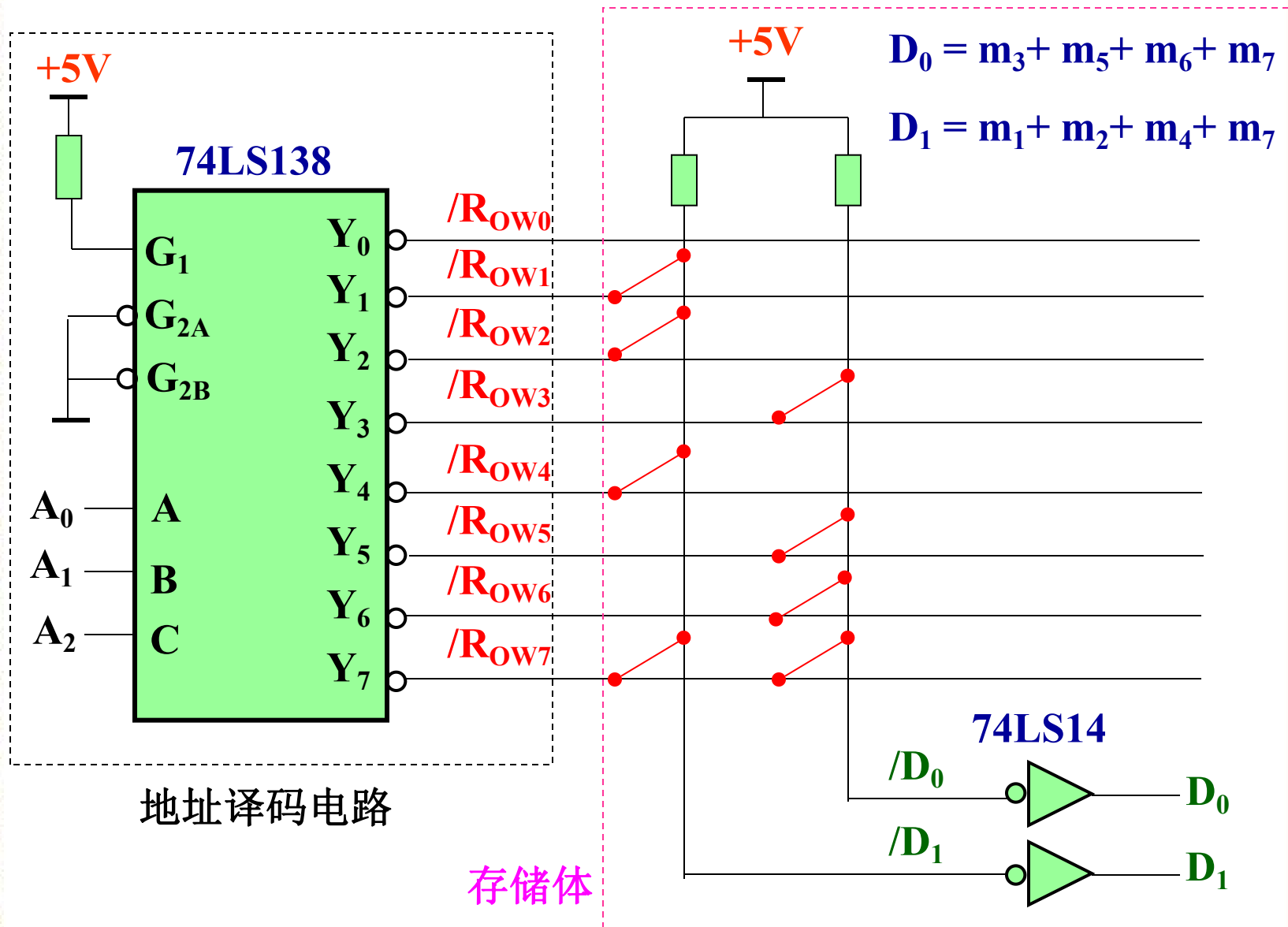


$D = m_0 + m_1 + m_2 + m_3$
最小项之和.

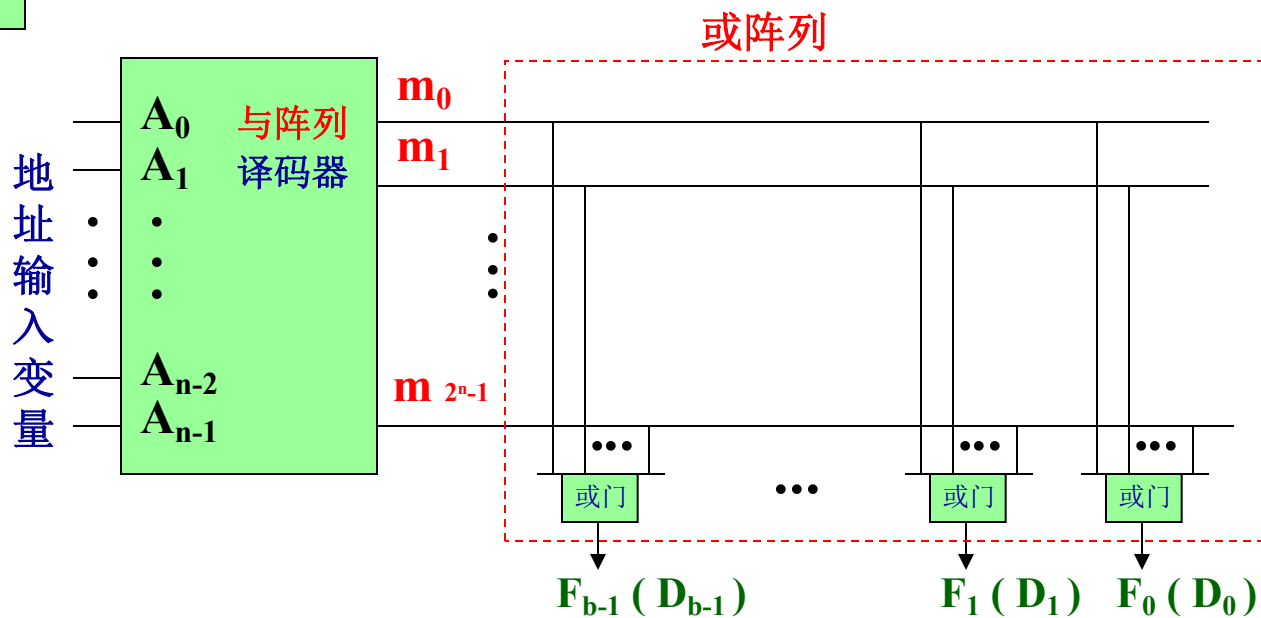
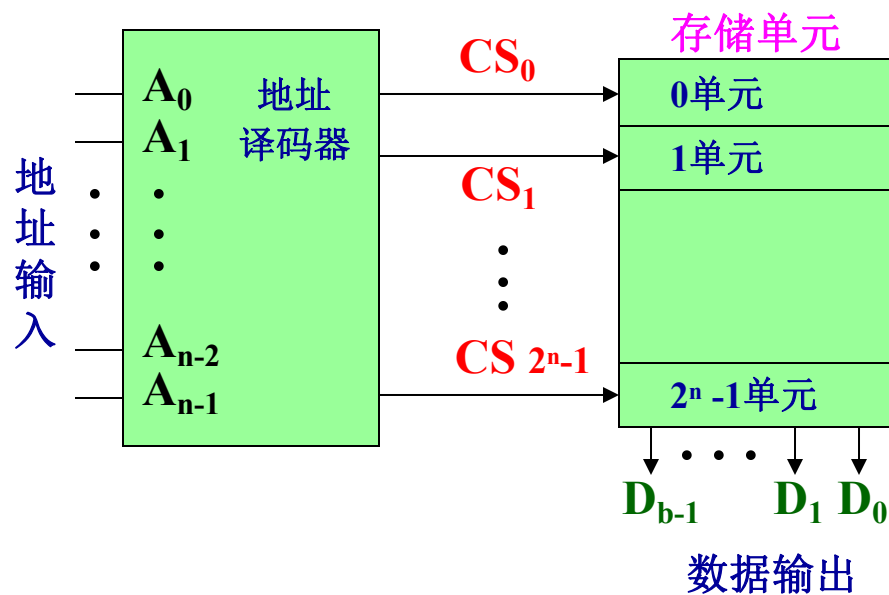
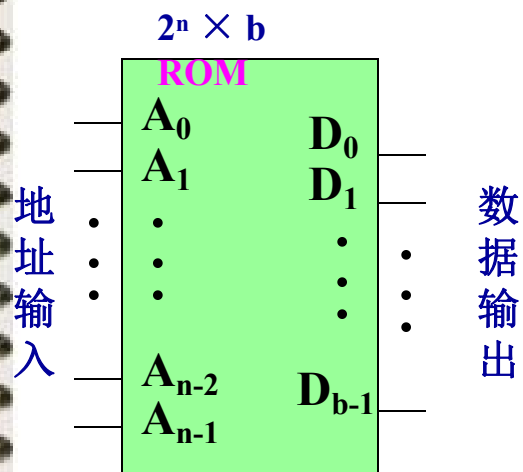
举例：实现逻辑函数 $D = A\bar{B} + \bar{A}B$



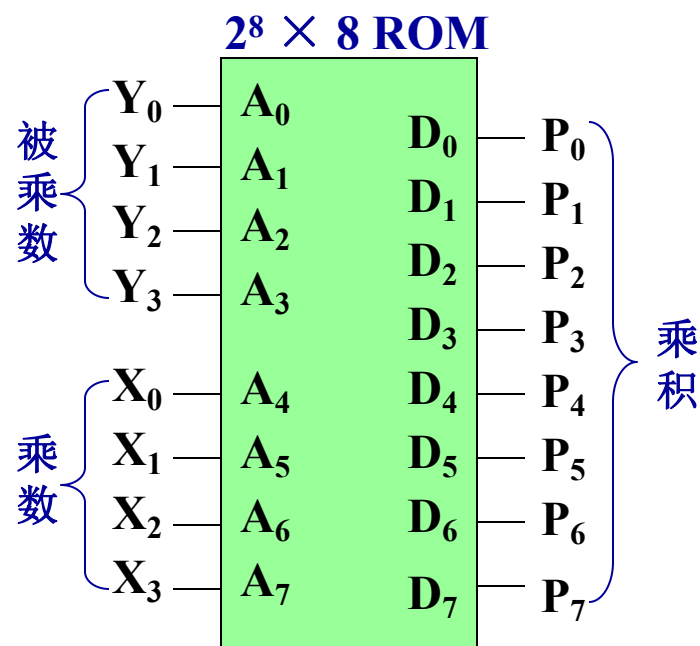
用 TTL 电路构成的 8×2 ROM 的逻辑图



ROM存储器



1. 用ROM实现4 × 4乘法器



乘积

乘积的取值参见书P296表7.1。

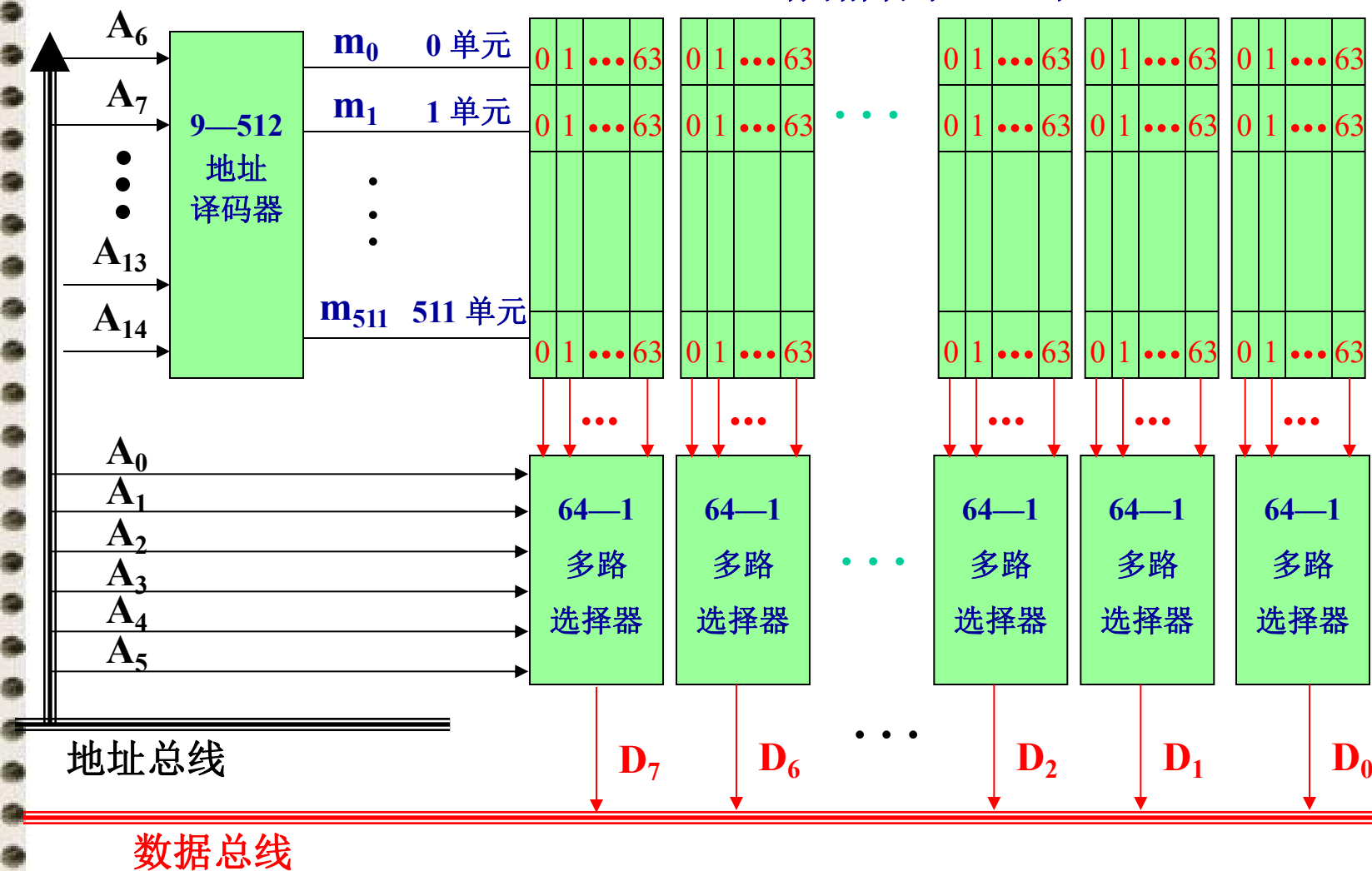
2. 用ROM(EPROM)实现字符发生器

字符逐行读出并扫描之。参见书P297图7.13。

广告牌：存在。
控制地址
线读出。

32K × 8 EPROM组成框图 ~~✗~~ 不考. ~~✓~~ 微机原理.

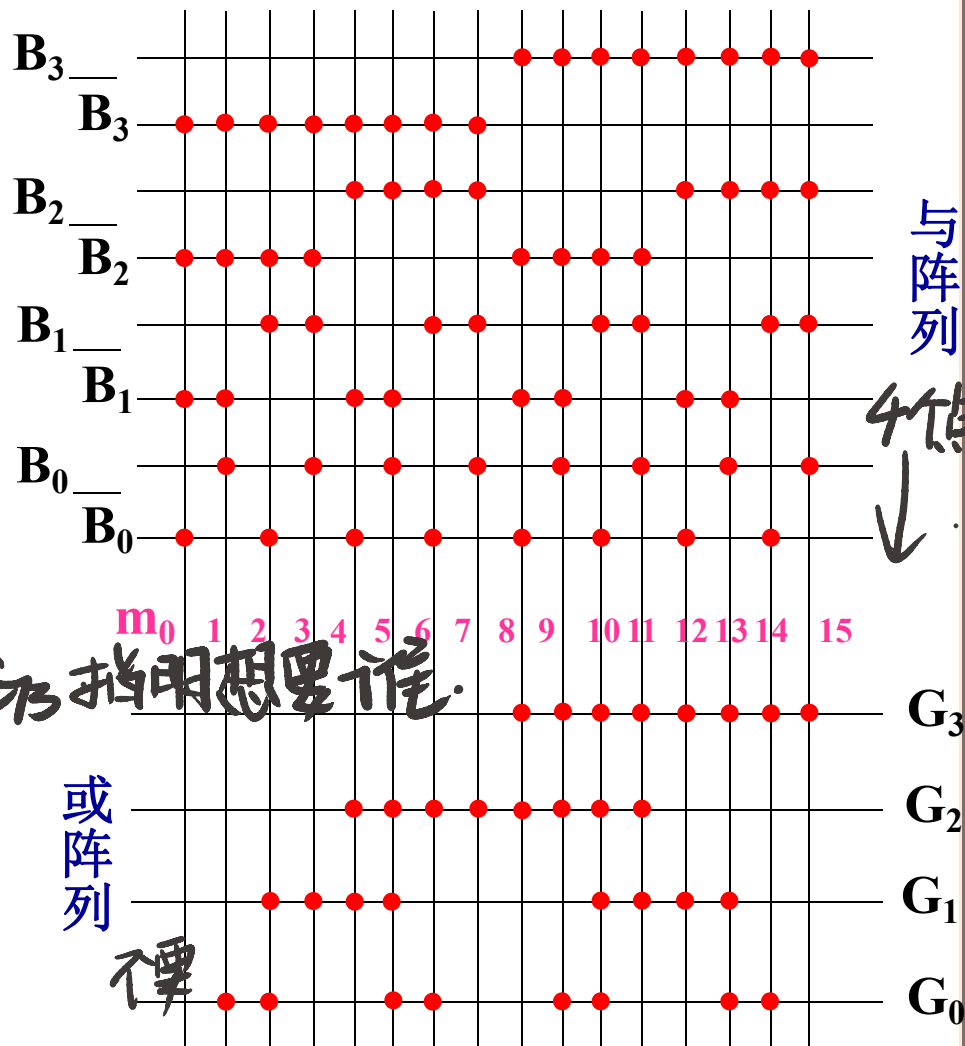
(512 × 64 存储阵列) × 8 位 = 512 × 512



4.1.2.1.2 用ROM实现组合逻辑设计

例1 将4位二进制数转换为 Gray 码。公式：异或图。

B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

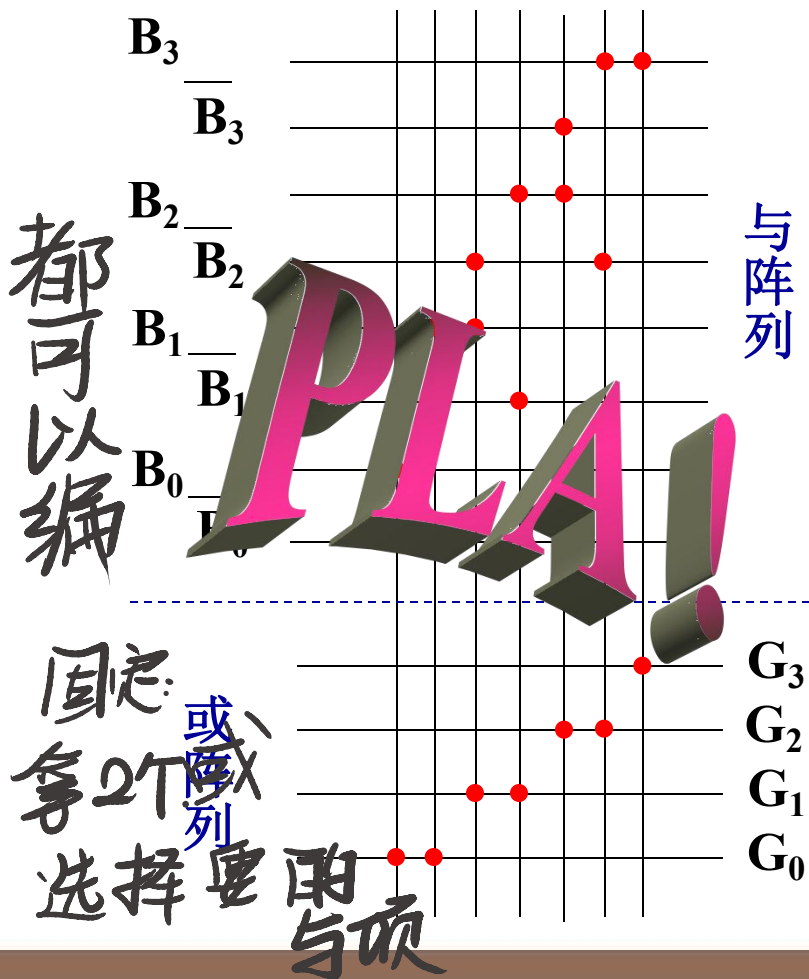


例1 将 4 位二进制数转换为 Gray 码。

若与阵列也可编程，则： $G_3 = B_3$ $G_2 = B_3\bar{B}_2 + \bar{B}_3B_2$

$G_1 = B_2\bar{B}_1 + \bar{B}_2B_1$ $G_0 = B_1\bar{B}_0 + \bar{B}_1B_0$

B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0



4.1.2.2 可编程逻辑阵列 (PLA)

Programmable Logic Array

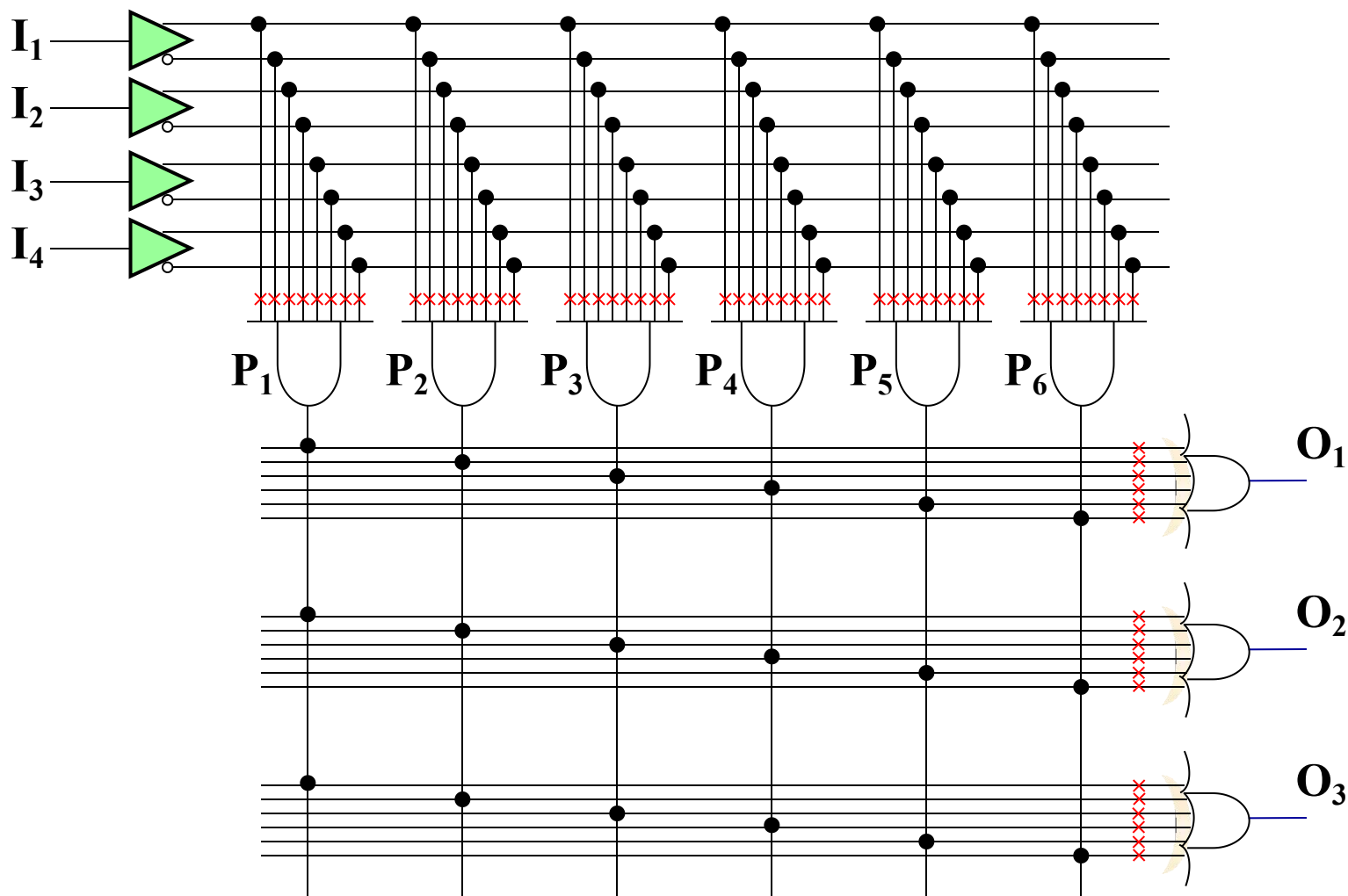
特点：与、或阵列都可编程

1. 针对逻辑函数的最简与或式——

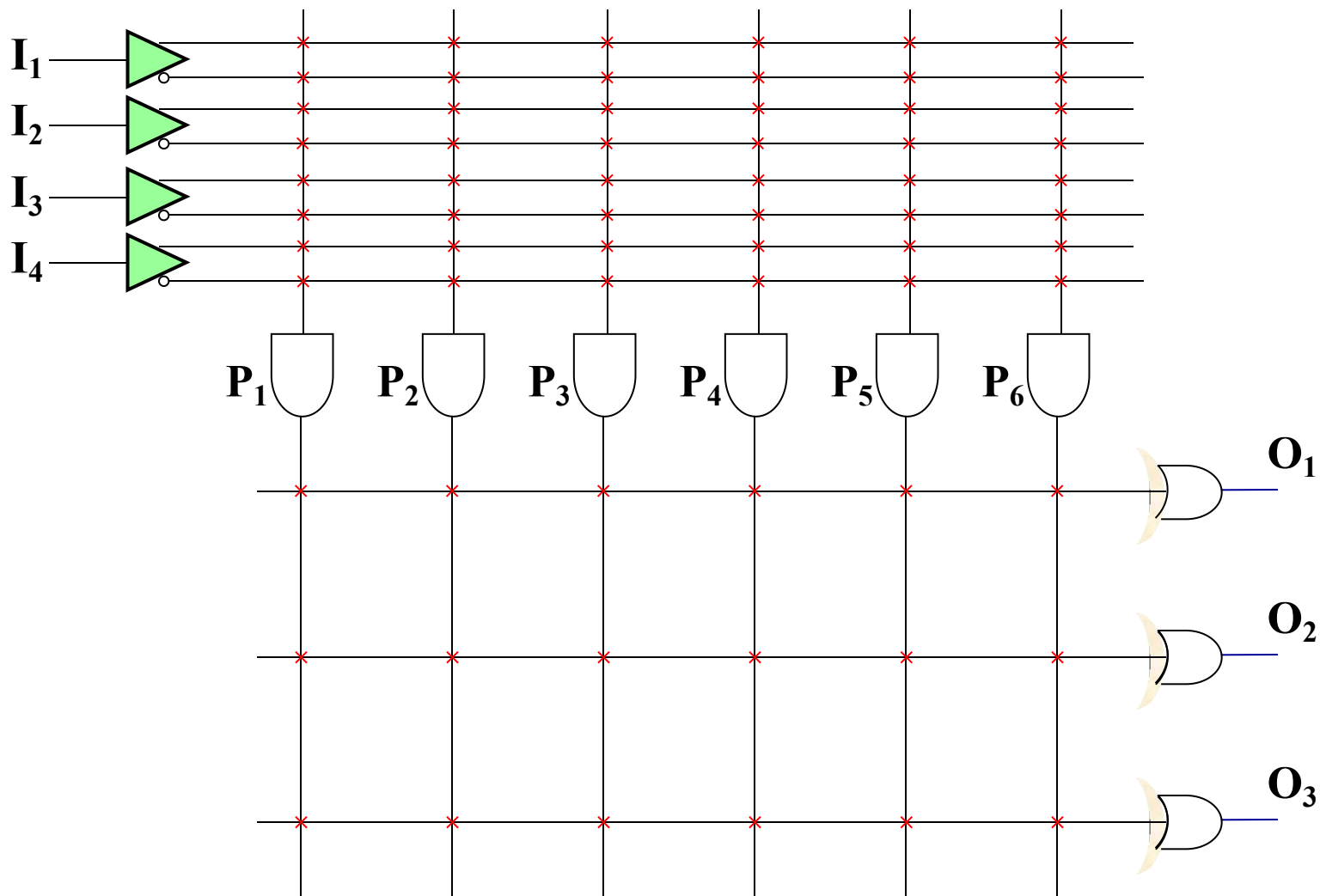
- PLA中的与阵列被编程产生所需的全部与项
- PLA中的或阵列被编程完成相应与项间的或运算并最终产生输出。逻辑功能越复杂，其优点越明显。这样，就大大提高了芯片面积的有效利用率。

2. PLA分组合PLA和时序PLA(包含有触发器)。

例 具有6个与项的 4×3 PLA的电路。

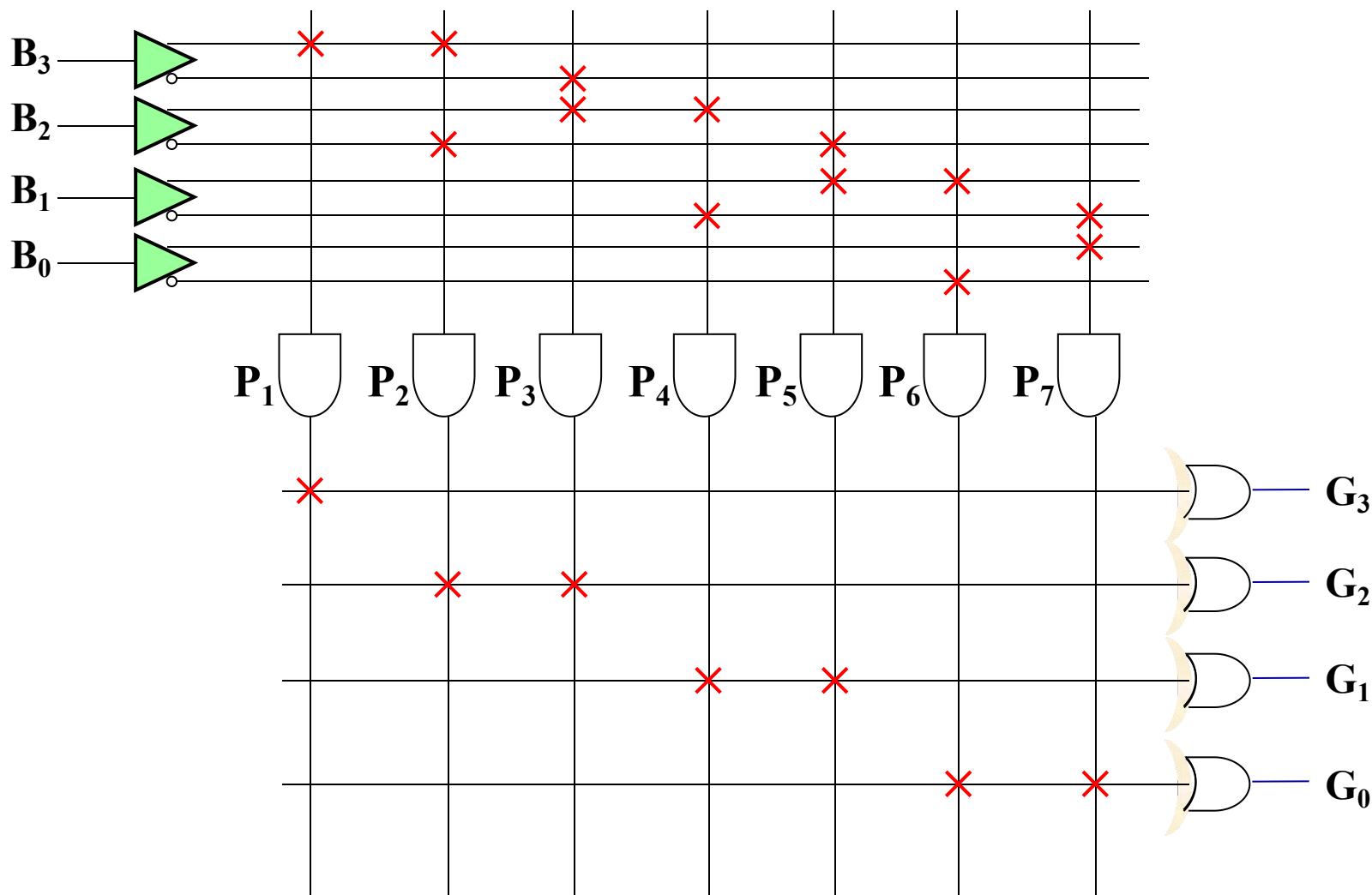


例 具有6个与项的 4×3 PLA的电路。



例 用PLA实现4位二进制数转换为Gray码。

$$G_3 = B_3 \quad G_2 = B_3\bar{B}_2 + \bar{B}_3B_2 \quad G_1 = B_2\bar{B}_1 + \bar{B}_2B_1 \quad G_0 = B_1\bar{B}_0 + \bar{B}_1B_0$$



4.1.2.3 可编程阵列逻辑 (PAL)

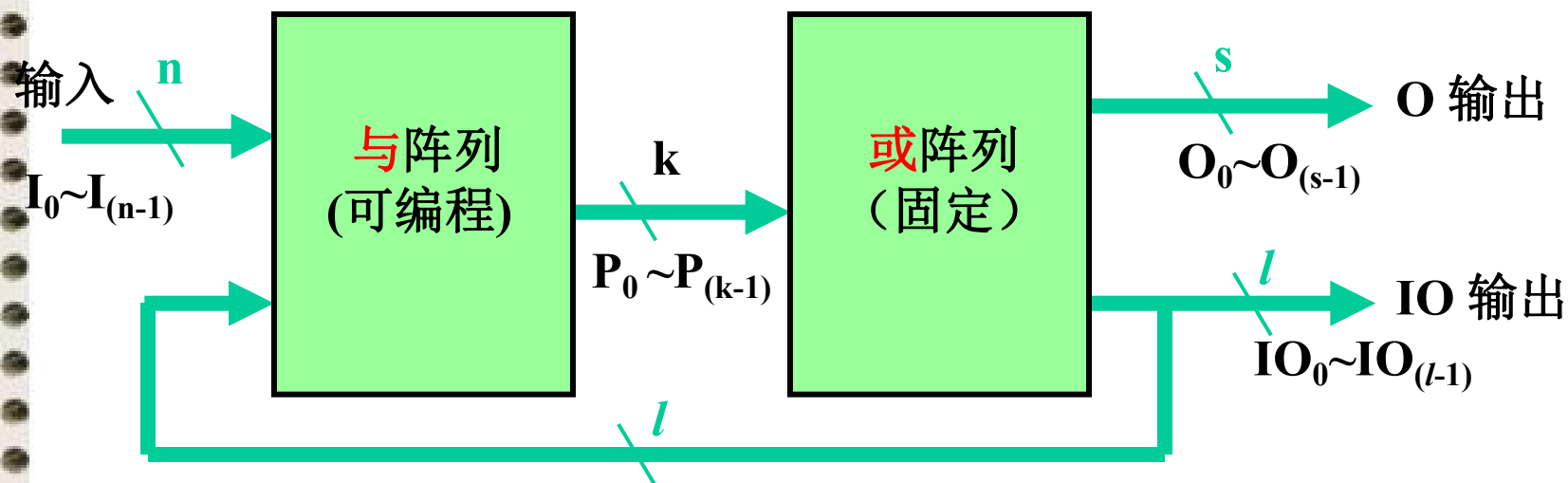
Programmable Array Logic

特点：固定的或阵列和可编程的与阵列

PAL与ROM相反，与同样位数的PLA相比，PAL减少了编程点数，从而简化了编程工作(或阵列固定，仅对与阵列编程，工作单一)。这样，就更有利于辅助设计系统的开发。

1. 大多数的PAL提供7~8个与项($P_1 \sim P_8$)。
2. PAL器件可分为组合PAL和时序PAL两大类。

4.1.2.3.1 组合 PAL 器件



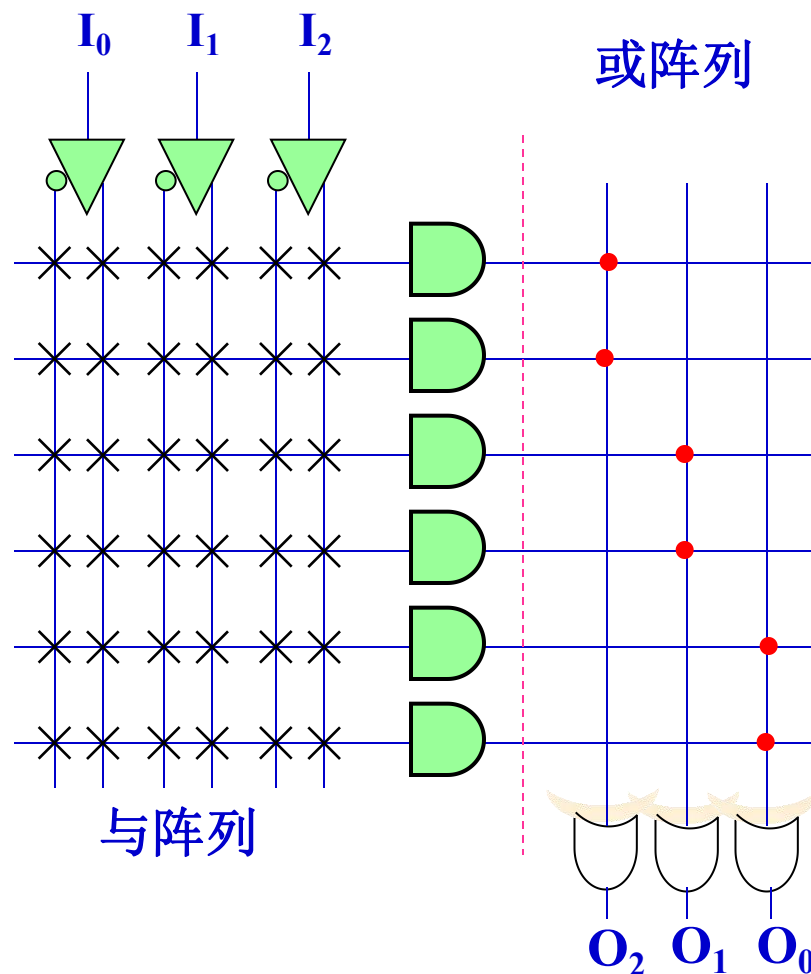
组合PAL的基本结构框图

具有三态输出功能的PAL结构，器件PAL16L8，如书P302图7.20。

- 10个纯输入引脚 $I_0 \sim I_9$
- 6个IO引脚(反馈)提供的输入引脚 $IO_2 \sim IO_7$
- 8个输出(或阵列) O_1 ， $IO_2 \sim IO$ 和 O_8
- 与阵列 $(16 \times 2) \times (8 \times 8)$
- L: 输出形式(L—低有效， H—高有效， C—互补)

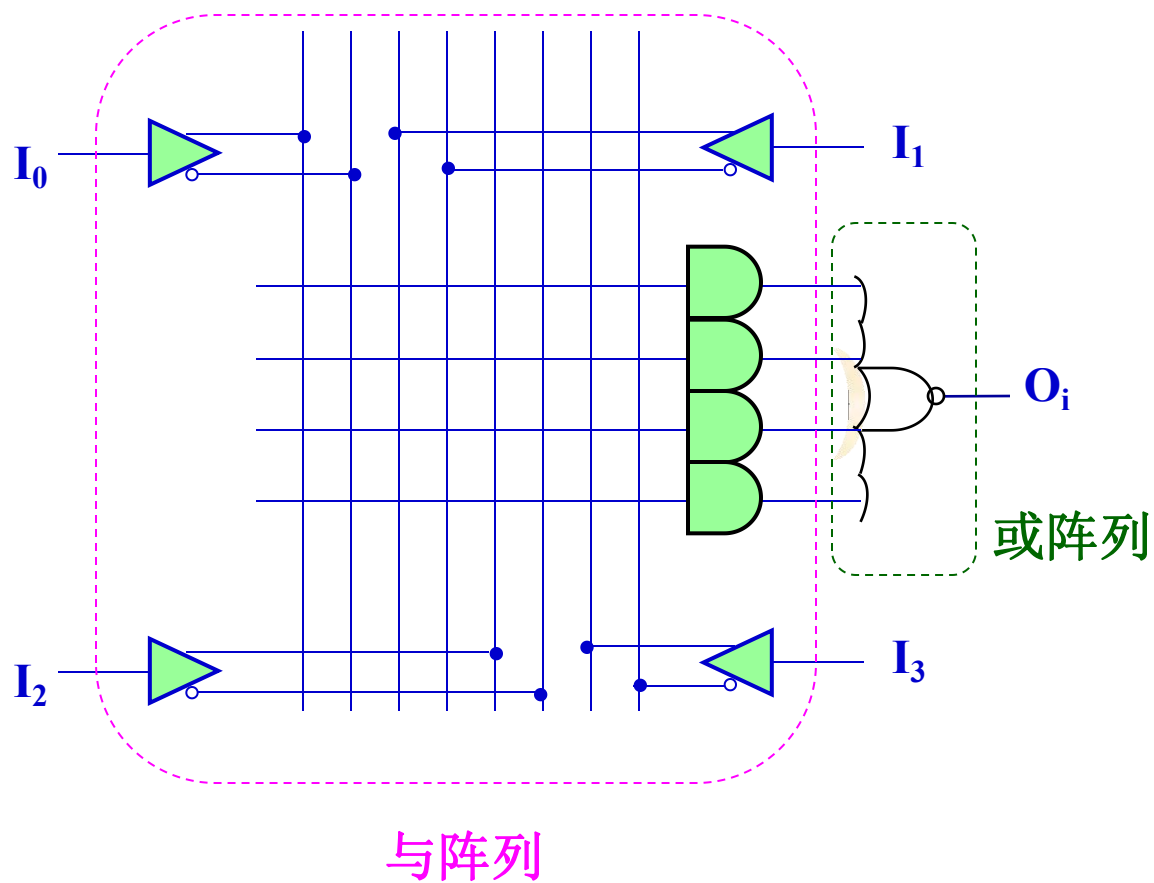
4.1.2.3.1 组合 PAL 器件

- PAL器件采用肖特基TTL和双极型熔丝式（可编程）连接工艺。
- PAL中，与阵列是可编程的熔丝结构，或阵列是固定连接的。
- 基本门阵列结构，如图所示：



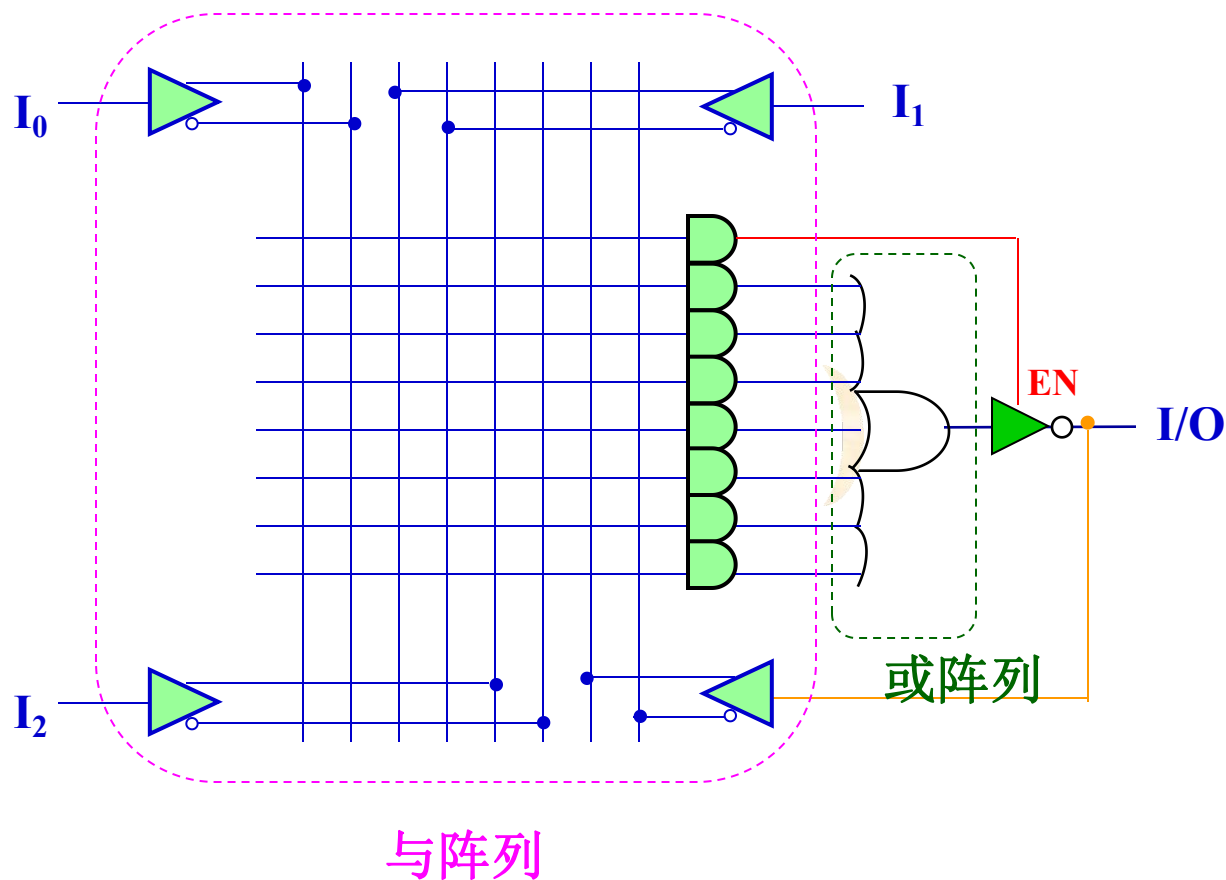
4.1.2.3.1 组合 PAL 器件

1. 基本与或阵列结构，如图所示：

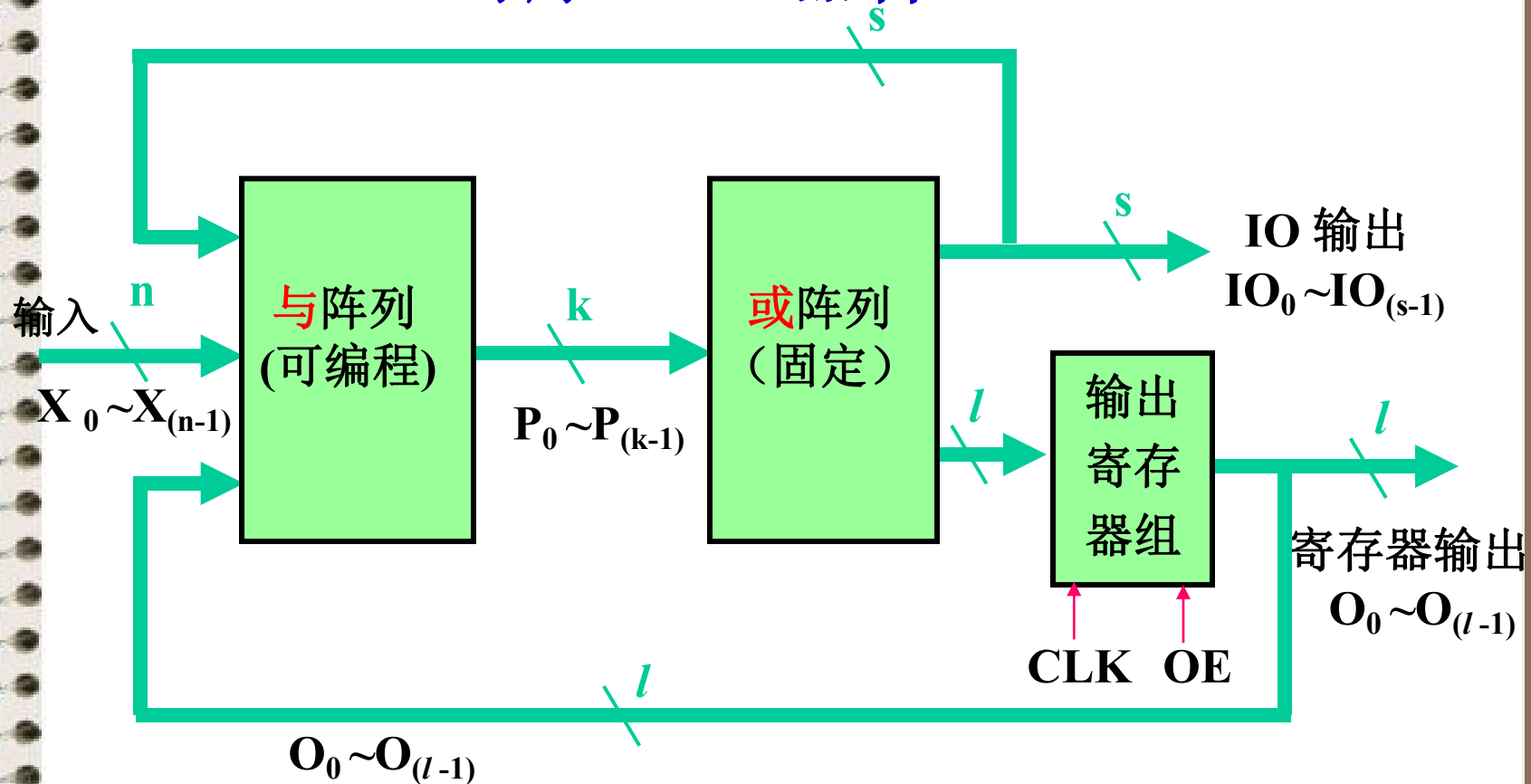


4.1.2.3.1 组合 PAL 器件

2. 异步可编程I/O结构(三态输出), 如图所示:



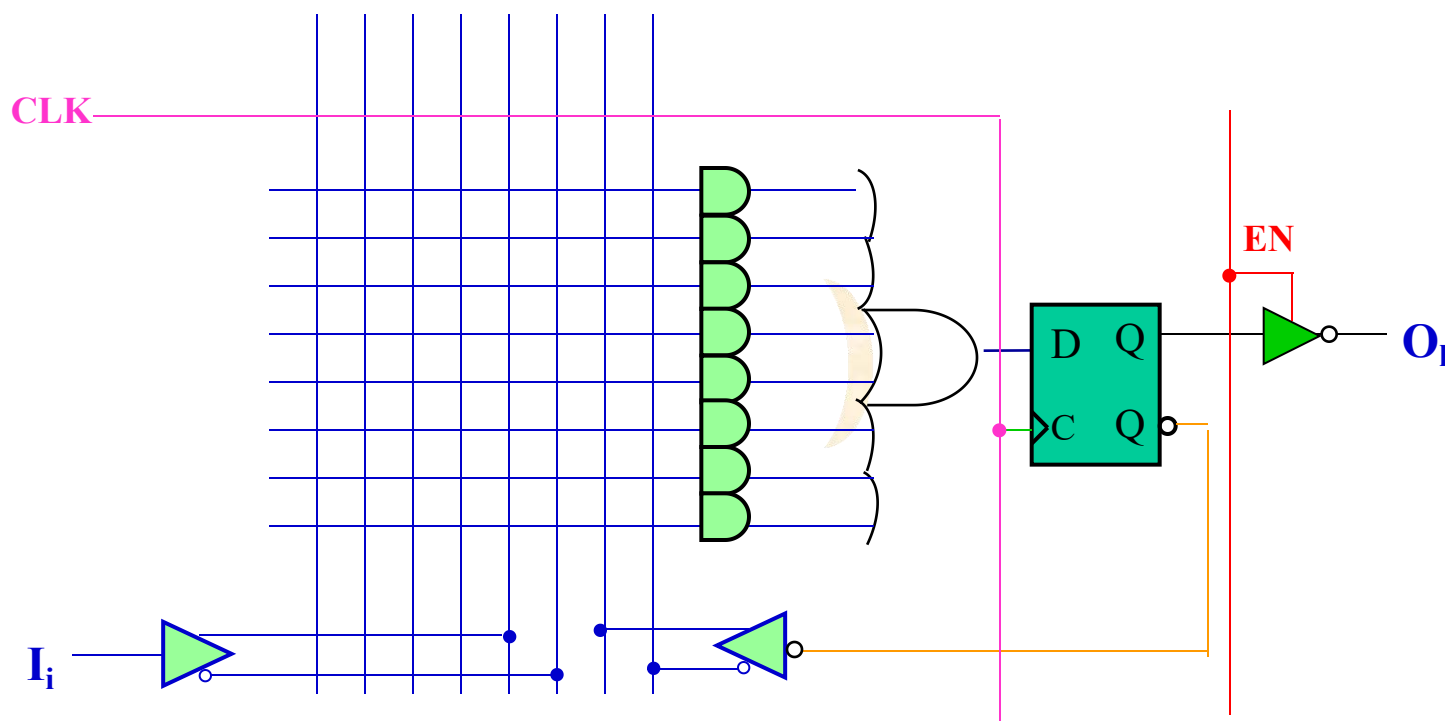
4.1.2.3.2 时序 PAL 器件



时序PAL 的基本结构框图

3. 寄存器输出结构，如图所示：

时序 PAL 器件的部分输出连到D触发器的数据输入端D(输出寄存器)，寄存器受统一的时钟脉冲信号控制。



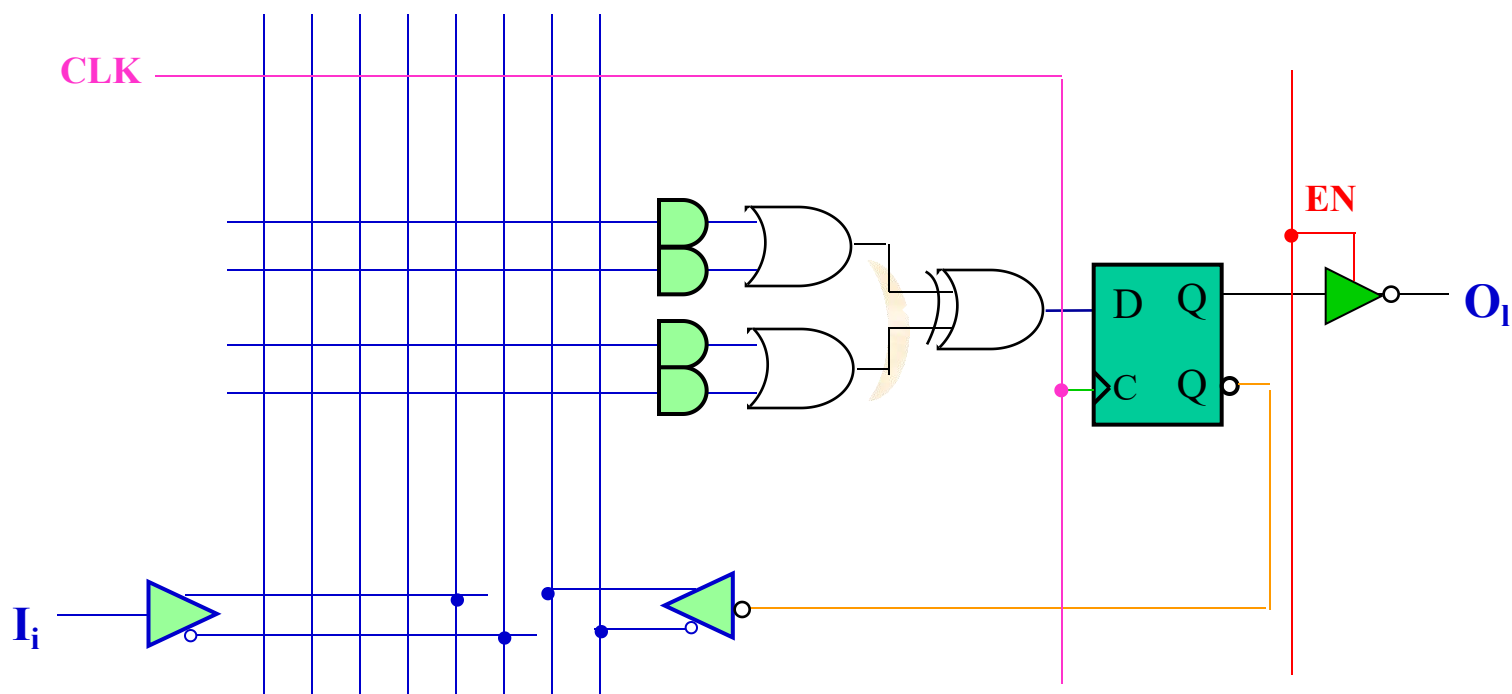
4.1.2.3.2 时序 PAL 器件

时序 PAL 器件分为两大系列：**R系列**和**X系列**。

- **R系列**，与或阵列，如器件PAL16**R**6 (参见书P308图7.23)
具有三态输出功能
8个纯输入引脚 $I_1 \sim I_8$
2个IO引脚(反馈)提供的输入引脚 $IO_1 \sim IO_8$
6个寄存器输出(或阵列) $O_2 \sim O_7$
时钟CLK
输出使能OE
- **X系列**，与**R系列**不同，为异或运算，如器件PAL16**X**6 (参见书P310图7.24)

4.1.2.3.2 时序 PAL 器件

4. 异或寄存器输出结构，如图所示：



4.1.2.4 通用逻辑阵列概述(GAL)

Generic Array Logic

一、工艺上的改进

高速电可擦除**CMOS** *Electrically Erasable*
Complementary Metal-Oxide Semiconductor (**E²CMOS**)

特点:

- (1) 可测试性
- (2) 低功耗，使集成度更高
- (3) 速度不低于其他TTL可编程器件
- (4) 可重复编程100次衣裳

4.1.2.4 通用逻辑阵列概述(GAL) *Generic Array Logic*

二、结构上的改进

具有通用性。

- (1) 每个输出端增加了一个逻辑输出宏单元
(OLMC——Output Logic Macro Cell)
- (2) 加密