

电子技术实验2 实验报告

学号：2234412866 班级：信息2306 姓名：郑楠曦

注意: 1) 请将文件命名中的班级姓名更改为自己的班级和姓名 2) 请将文件转为pdf上传到邮箱 1849619071@qq.com 3) 严禁抄袭,若发现雷同按零分给成绩

一 实验内容（10分）

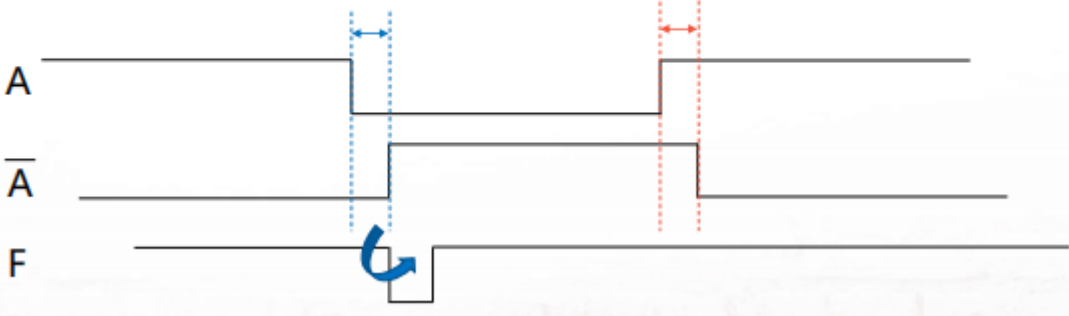
1.1 学习竞争与险象的基本产生原理 1.2 搭建电路，观察和测量竞争与险象 1.3 探究解决组合逻辑电路中竞争与险象的方法

二 静态1险象原理分析（30分）

2.1 静态1险象的原理分析

对于图中的F函数，在理论分析下，函数的结果总是1，因为A与A非是互补的。但是在实际使用中，若逻辑门存在时延，传达A信号和A非信号的时间并非同时，便有可能使F在极短时间变成低电平，而且这个输出也是存在时延的，这就是静态1险象。

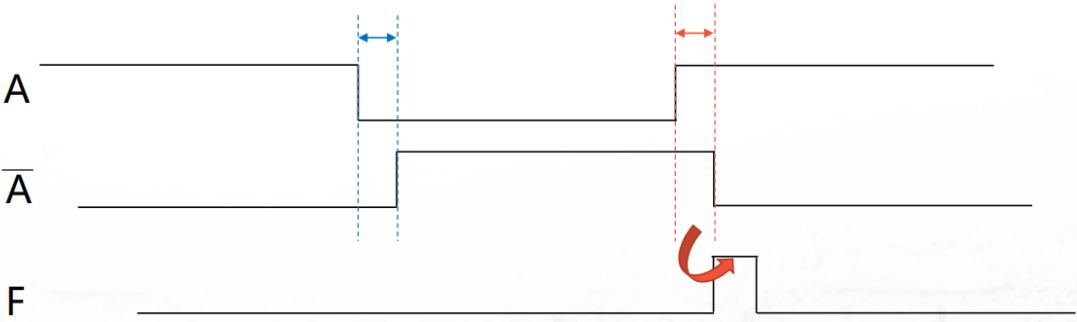
$F = A + \bar{A}$ —— 静态 1 险象(A从1→0)



另外：静态0险象的原理分析

理论分析下，这个与运算的F函数总是0，但是若逻辑门存在时延，在A->1时，A非会延迟变成0，此时F函数也会延迟变成0，这就是静态0险象。

● $F = A \cdot \overline{A}$ —— 静态 0 险象(A从0→1)



逻辑电路的竞争与险象，看似只有很细微的变化，但是在实际生产生活中，却会产生很大的影响，如果可以解决逻辑电路中的竞争险象，会省去很多的麻烦。

三 静态1险象实验观测（30分）

3.1 如何用CH7400搭建测量电路

1. 电路原理

6.8 Switching Characteristics: SNx400

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, and over operating free-air temperature range (unless otherwise noted). See Figure 2.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 400\ \Omega$ and $C_L = 15\text{ pF}$		11	22	ns
t_{PHL}					7	15	

6.9 Switching Characteristics: SNx4LS00

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, and over operating free-air temperature range (unless otherwise noted). See Figure 2.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 2\text{ k}\Omega$ and $C_L = 15\text{ pF}$		9	15	ns
t_{PHL}					10	15	

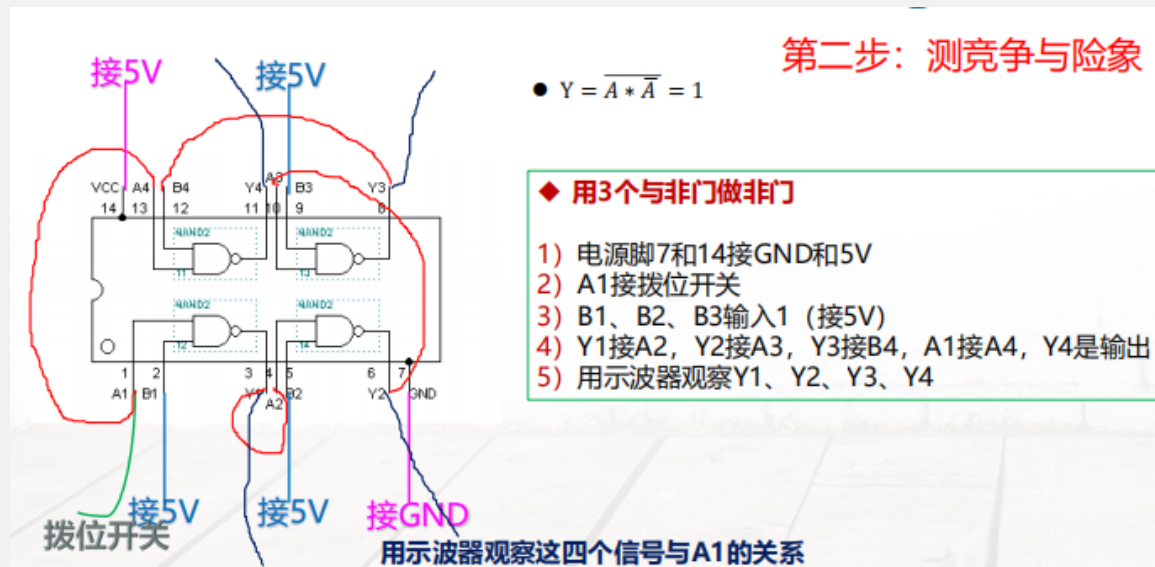
6.10 Switching Characteristics: SNx4S00

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, and over operating free-air temperature range (unless otherwise noted). See Figure 2.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 280\ \Omega$ and $C_L = 15\text{ pF}$		3	4.5	ns
			$R_L = 280\ \Omega$ and $C_L = 50\text{ pF}$		4.5		
t_{PHL}	A or B	Y	$R_L = 280\ \Omega$ and $C_L = 15\text{ pF}$		3	5	
			$R_L = 280\ \Omega$ and $C_L = 50\text{ pF}$		5		

我们的逻辑门实际上存在时延，但是是处于纳秒级别，在日常观测比较困难，但是我们在示波器中，可以看到纳秒级别的信号延迟。

2. 芯片电路搭建



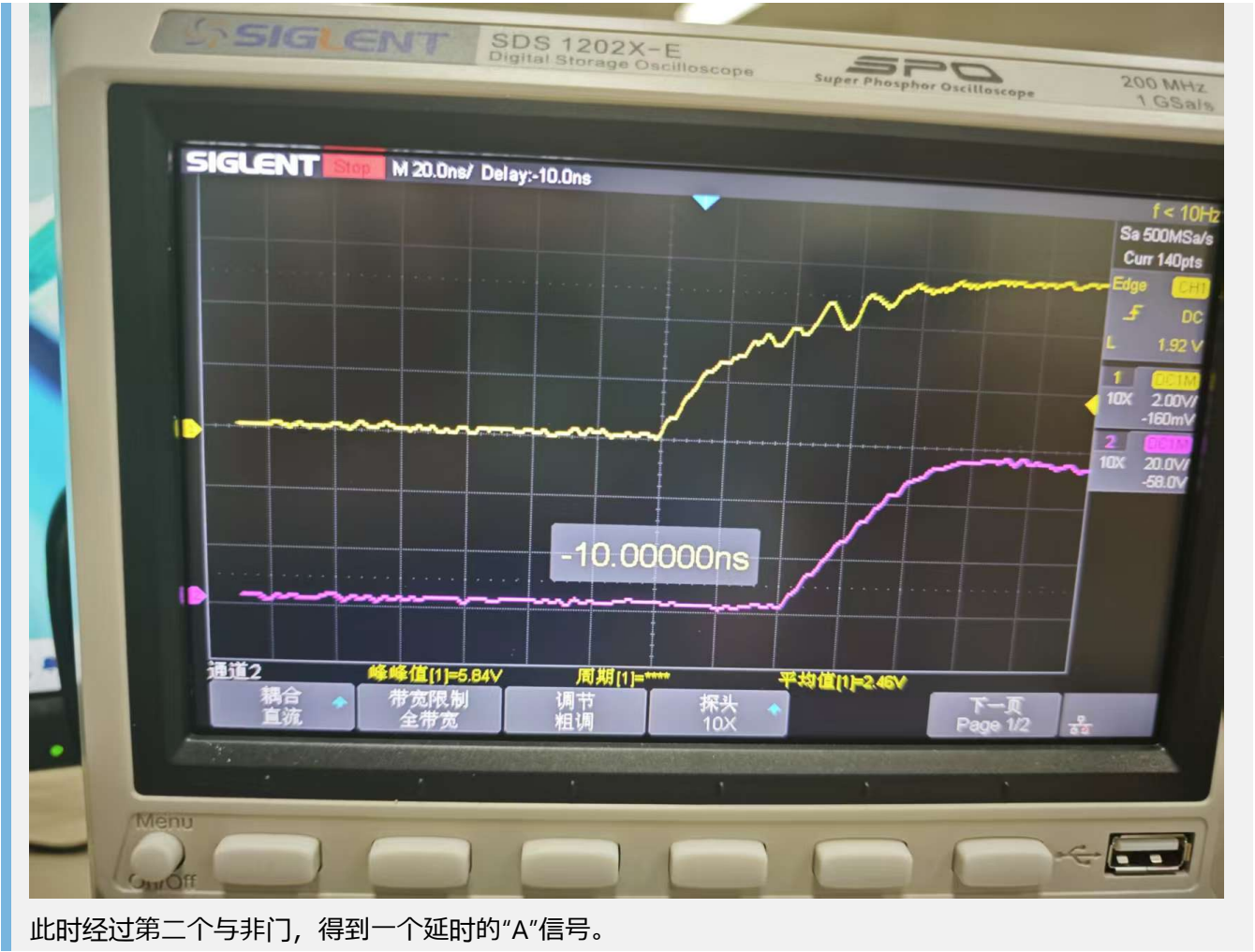
搭建方法：逐级搭建，逐级测量逻辑门时延。

3.2.1 经过第一个与非门



此时可以观察到，经过第一级与非门的“A非”信号相比A本身已经存在一定延迟。而这种延迟会在后续的非门中进一步放大。

3.2.2 经过第二个与非门



此时经过第二个与非门，得到一个延时的“A”信号。

3.2.3 经过第三个与非门



此时经过第三个与非门，得到一个延时的“A非”信号。

3.2.4 经过第四个与非门，产生静态1险象



将刚刚第三级得到的“A非”信号与第一级的“A”信号进行与非运算，得到一个静态1险象的波形。

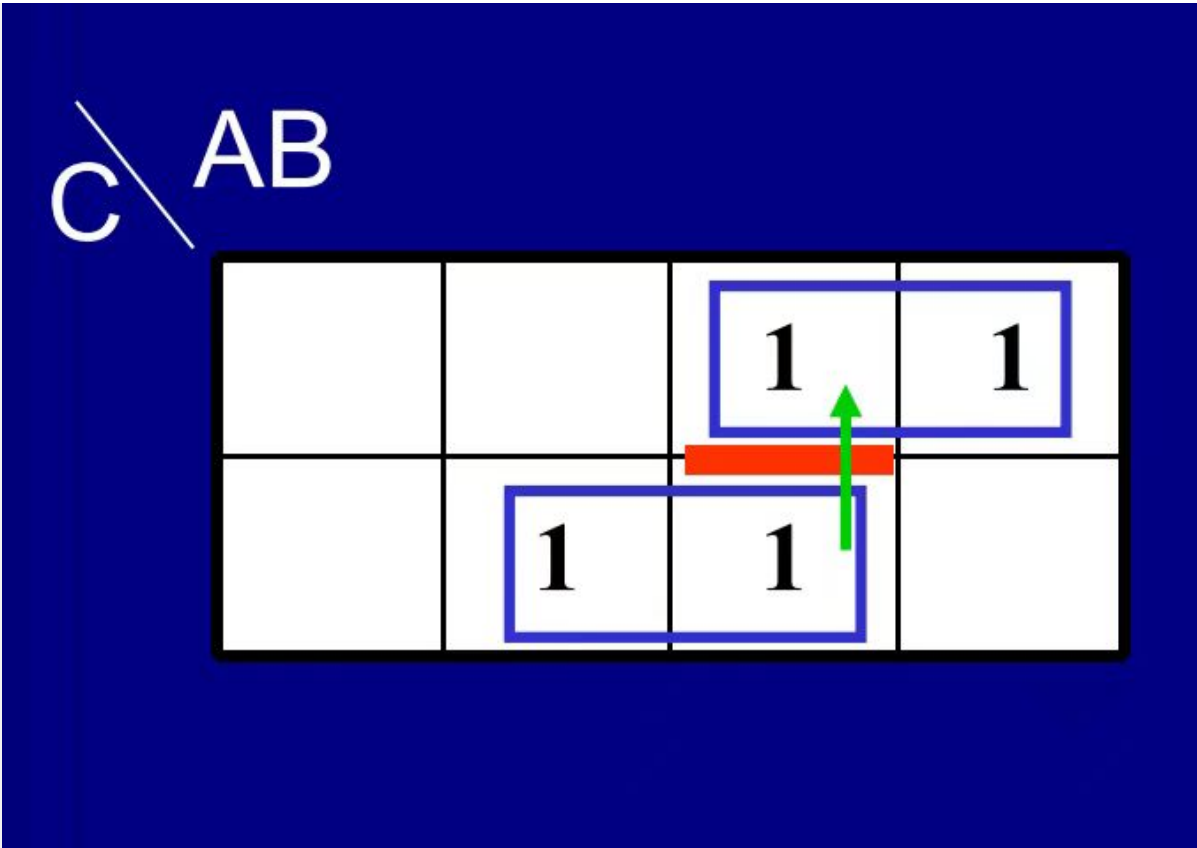
四 总结竞争险象的基本知识

4.1 险象的分类

1. 静态险象：**静态 1 险象**：在电路输出应该保持为 1 的情况下，由于信号传输延迟等原因，出现了短暂的 0 脉冲干扰。**静态 0 险象**：与静态 1 险象相反，在电路输出应该保持为 0 的情况下，出现了短暂的 1 脉冲干扰。
2. **动态险象**：电路输出在从一个稳定状态转换到另一个稳定状态的过程中，出现多次错误的跳变。例如，一个原本应该从 0 平稳上升到 1 的输出信号，可能会出现先上升到 1，然后短暂下降到 0，再上升到 1 的情况。动态险象通常比静态险象更复杂，涉及到多个信号的变化和相互影响。

4.2 险象的判别方法

1. 代数法 原理：根据逻辑函数表达式来判断是否存在险象。当逻辑函数在一定条件下可以化简为 $Y=A+A\text{非}$ 或 $Y=A\cdot A\text{非}$ 的形式时，就可能存在险象。
2. 卡诺图法 原理：通过画出逻辑函数的卡诺图，观察卡诺图中最小项的合并情况来判断险象。如果卡诺图中存在相切的卡诺圈（即两个卡诺圈之间只有一个变量不同，且这两个卡诺圈没有被其他卡诺圈包含），则可能存在险象。

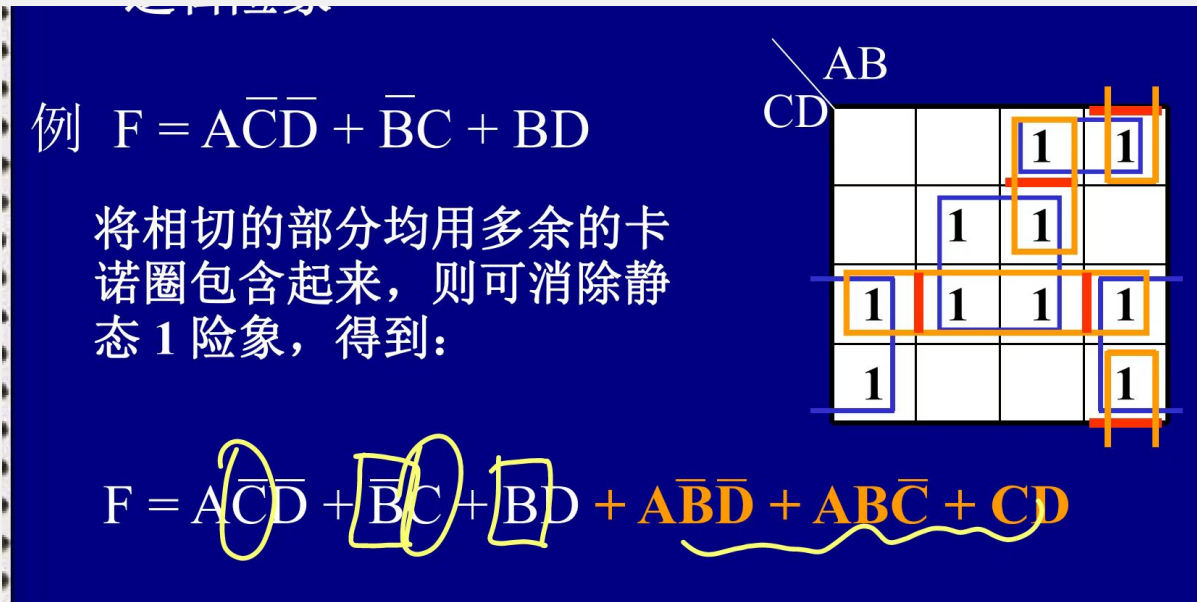


这张图存在C与C非界面相切的界面，存在现象。

- 3. 实验法 通过实际搭建电路，通过示波器观测或者使用电路仿真软件，给电路输入各种可能的信号组合，观察输出信号是否存在险象。这是一种比较直观且可靠的方法。

4.3 险象的消除方法

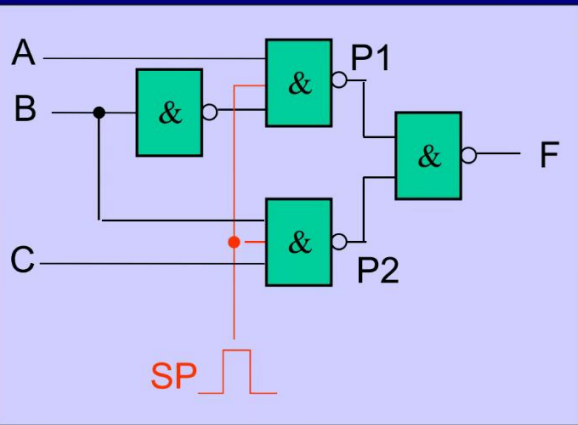
- 1. 增加多余项（与项）或乘多余因子（或项）消除逻辑险象



- 2. 在输出段接入低通滤波环节减弱干扰 用低通滤波电路可以滤掉窄脉冲干扰，但是也可能是输出变化的上下沿增大，降低工作速度，使信号质量变坏。

3. 利用取样脉冲避开现象 改电平控制为脉冲控制可以规避险象

三、利用取样脉冲避开险象



改电平控制为脉冲控制。

这是在特定的电路系统中采用的方法。在一般的组合电路中慎用。

