

电子技术实验2 实验报告

学号：2234412866 班级：信息2306 姓名：郑楠曦

Verilog语法基础

一、实验内容

1. 使用Verilog设计带使能二选一数控开关
2. 使用Verilog设计数据分配器

二、设计步骤

1. 带使能二选一数控开关

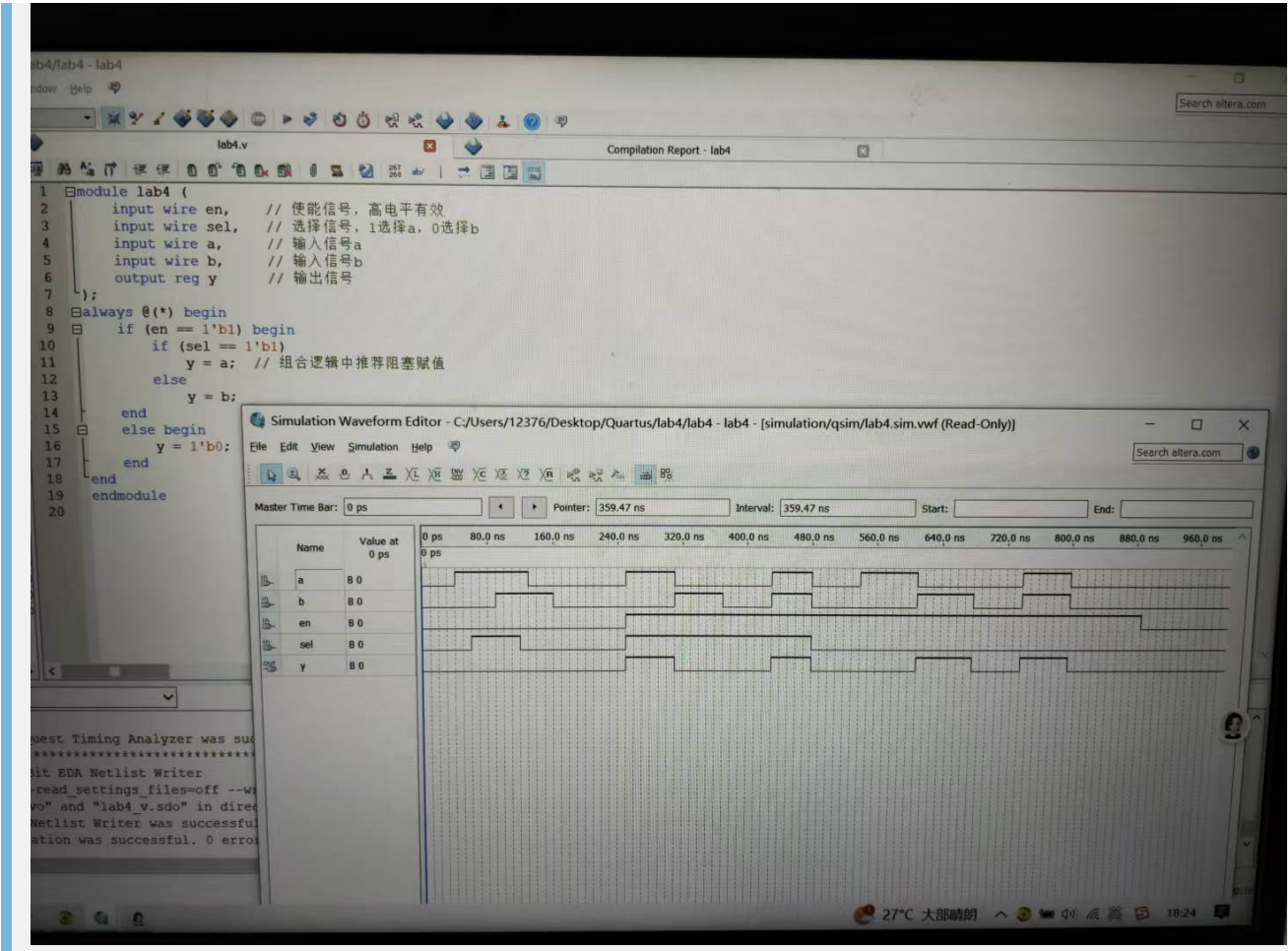
1. 新建工程为lab31;
2. 为工程添加Verilog设计文件，完成整个module的定义。
3. 编译；
4. 为设计添加波形仿真文件vwf，给输入信号设置激励，对设计进行仿真。

2. 数据分配器

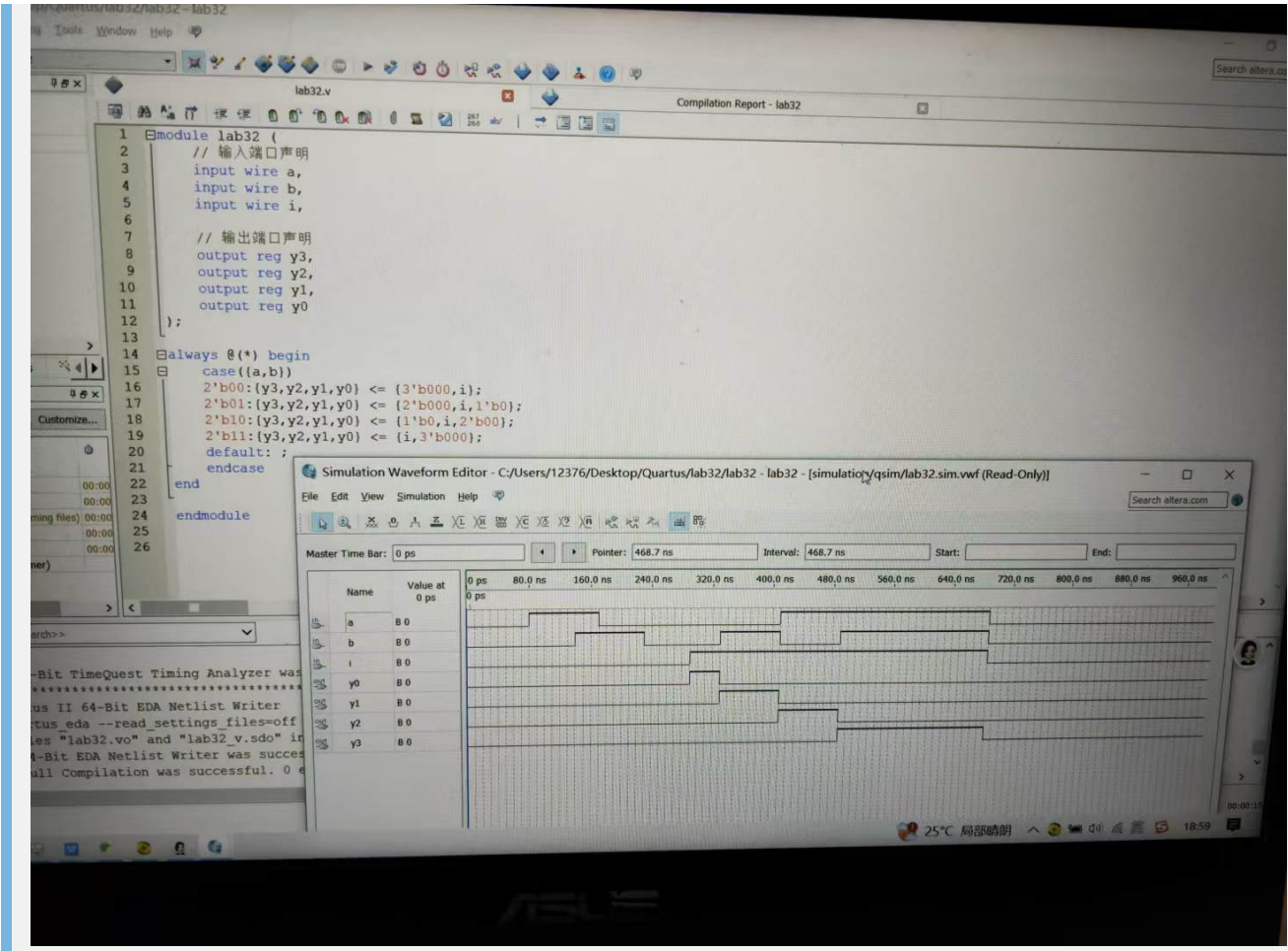
1. 新建工程为lab32;
2. 为工程添加Verilog设计文件，完成module的定义。
3. 编译；
4. 为设计添加波形仿真文件vwf，给输入信号设置激励，对设计进行仿真。

三、结果图示（含代码设计和仿真结果）

1. 带使能二选一数控开关



2. 数据分配器



四、Verilog相关知识

4.1 Verilog中module的基本框架

```
module 模块名(端口说明)(  
    端口说明:  
    输入端口: input 端口名1,端口名2,...;  
    若需要声明wire类型,则需要声明wire 端口名1,端口名2,...;  
    输出端口: output 端口名1,端口名2,...;  
    若需要声明寄存器,则需要声明register 端口名1,端口名2,...;)
```

4.2 Verilog中的主要数据类型和主要赋值方法

1. wire : 用于连接电路中的线网, 不能存储数据, 只能用于组合逻辑电路的连接。
2. reg : 用于存储数据, 只能用于时序逻辑电路的连接。
3. input : 用于输入端口的声明。
4. output : 用于输出端口的声明。
5. assign : 用于将一个表达式的值赋给一个wire类型的变量。(持续赋值——组合逻辑)
6. always : 用于描述时序逻辑电路的行为。(过程赋值——时序逻辑)
7. 循环 : while、for、repeat、forever等。

4.3 Verilog中的两个条件语句

1. if语句 : 可以多层嵌套, 可与else配合使用。

```
always @(*) begin  
    if (en == 1'b1) begin  
        if (sel == 1'b1)  
            y = a; // 组合逻辑中推荐阻塞赋值  
        else  
            y = b;  
    end  
    else begin  
        y = 1'b0;  
    end  
end
```

2. case语句

```
always @(*) begin  
    case({a,b})  
        2'b00:{y3,y2,y1,y0} <= {3'b000,i};  
        2'b01:{y3,y2,y1,y0} <= {2'b000,i,1'b0};  
        2'b10:{y3,y2,y1,y0} <= {1'b0,i,2'b00};  
        2'b11:{y3,y2,y1,y0} <= {i,3'b000};  
        default: ;  
    endcase  
end
```

