

第二章 组合逻辑电路

2.1 逻辑电路的描述

2.1.1 框图

2.1.2 门的符号标准

2.1.3 信号名和有效级

2.1.4 引端的有效级

2.1.5 引端有效级的变换

2.1.6 图面布局及总线

2.1.7 时间图

2.2 组合逻辑电路分析与设计

2.2.1 组合逻辑电路分析

2.2.1.1 穷举法

2.2.1.2 逻辑代数法

2.2.1.3 利用摩根定律分析

2.2.1.4 利用卡诺图

2.2.2 组合逻辑电路设计

2.2.2.1 根据逻辑问题的描述写出逻辑表达式

2.2.2.2 逻辑电路的变换

2.3 组合电路中的竞争与险象

2.3.1 竞争

2.3.2 险象

2.3.3 险象的判别

2.3.4 险象的消除

2.4 常用MSI组合逻辑器件及应用

2.4.1 译码器

2.4.2 编码器

2.4.3 三态缓冲器

2.4.4 多路选择器

2.4.5 奇偶校验电路

2.4.6 比较器

2.4.7 加法器

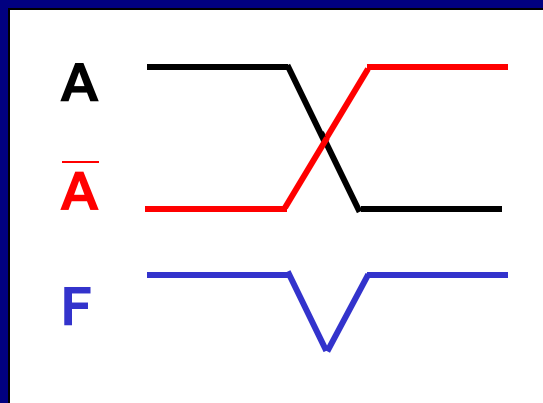
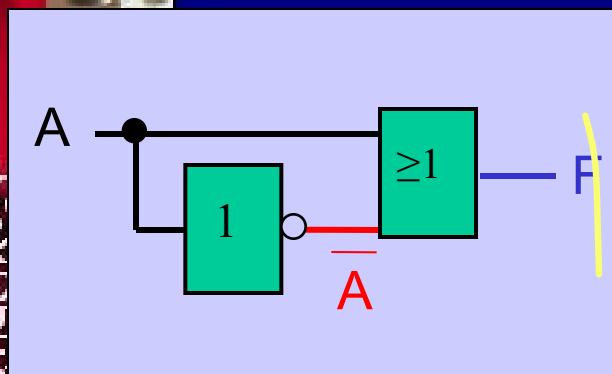
- 组合电路中的竞争与险象
 - 竞争的概念, 险象的概念
 - 险象的分类
 - 险象的判别
 - 险象的消除

2.3 组合电路中的竞争与险象

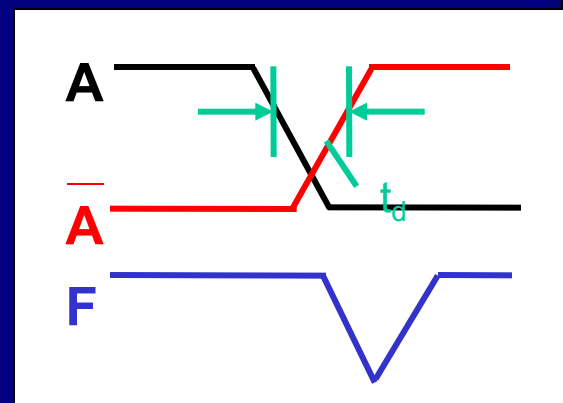
Timing Races and Hazards

在实际电路中，信号的变化不是即时的，有一定的边沿时间，信号在电路中传送必定有导线上的传播时延，信号通过门电路也必定有时间延迟(模拟特性)。

例 信号边沿及门的时延产生的尖峰脉冲



A 与 \bar{A} 信号的边沿时间使 F 中产生幅度较小、宽度较窄的负尖峰脉冲



再考虑门的传播延迟时间 t_d 越大，则 F 中出现的脉冲将越宽

$\bar{A} + A = 1$
不一定.

变化有跳变

时延 t_d (Delays)

上述这些时延都可能使电路的输出产生错误的信号。为简化讨论，下面假设信号变化的边沿时间为0，仅考虑门的时延 t_d (Delays)。

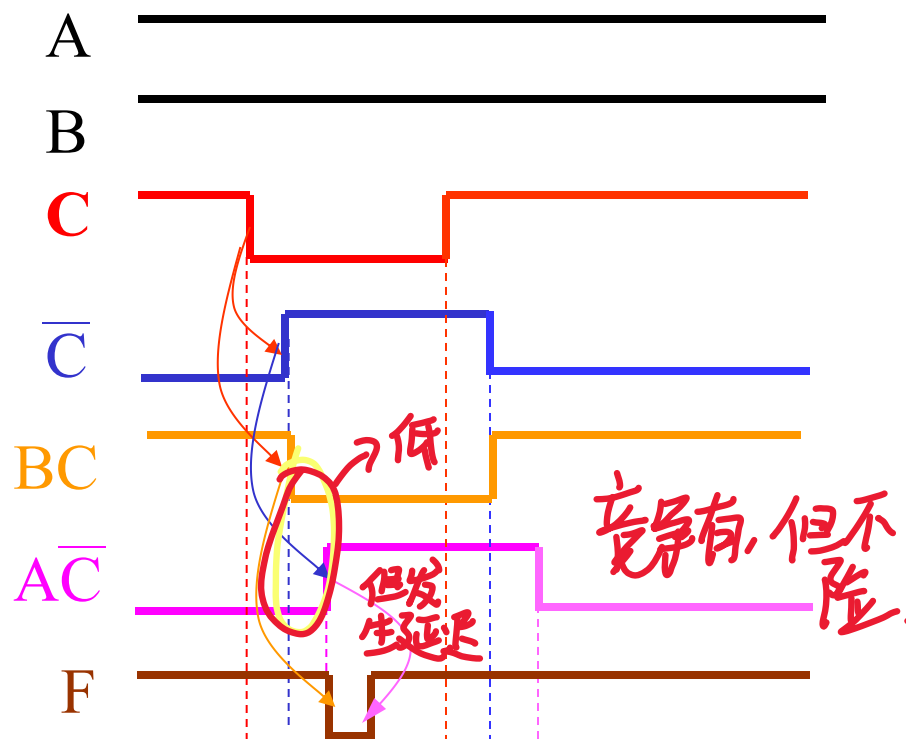
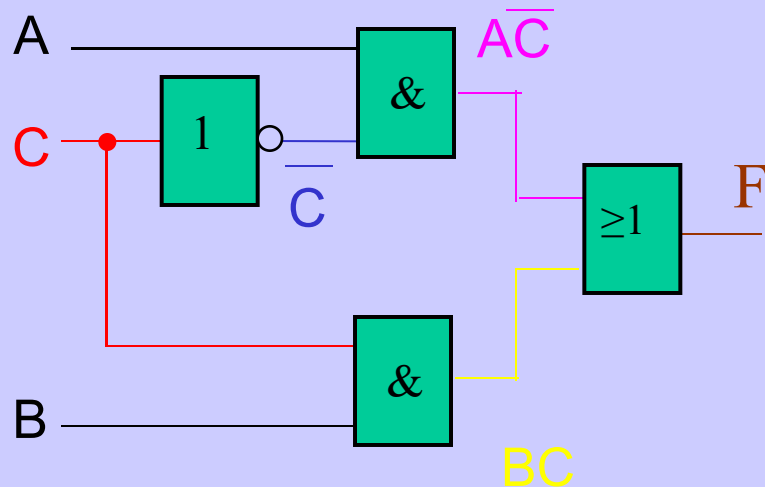
2.3.1 竞争

- 同一信号或同时变化的某些信号，经过不同路径到达某一点时有时差，这种现象称为竞争。
- 险象一定是竞争的结果。对于有错误输出的竞争称之为临界竞争，对于未产生错误输出的竞争称之为非临界竞争。

竞争不一定产生险象。☆

例 出现竞争的电路图和时间图

例 $F = A\bar{C} + BC$ 且 $A = B = 1$ (仅考虑信号C的影响)



2.3.2 险象 *Hazard*

由于临界竞争的存在，在输出端得到稳定输出之前，输出中有一短暂的错误输出（干扰），这种现象称之为险象。通常将险象分为静态险象和动态险象两种类型。

一、静态险象(*Static Hazards*)

在输入信号变化时，按逻辑表达式的输出不应有变化的情况下，实际上会在输出端产生一个“1”或“0”的窄脉冲的情况，则称之为静态险象。它可进一步分为：

- (1) 功能险象
- (2) 逻辑险象

1. 功能险象

产生的条件:

- ① 有 $K(K > 1)$ 个信号同时发生变化;
- ② 变化的 K 个变量组合所对应的 2^k 个 m_i 中必定既有1, 又有0;
- ③ 输入变量变化前后的稳态输出相同。

例 如图所示 $F = A\bar{C} + BC$, 设 $A=1$

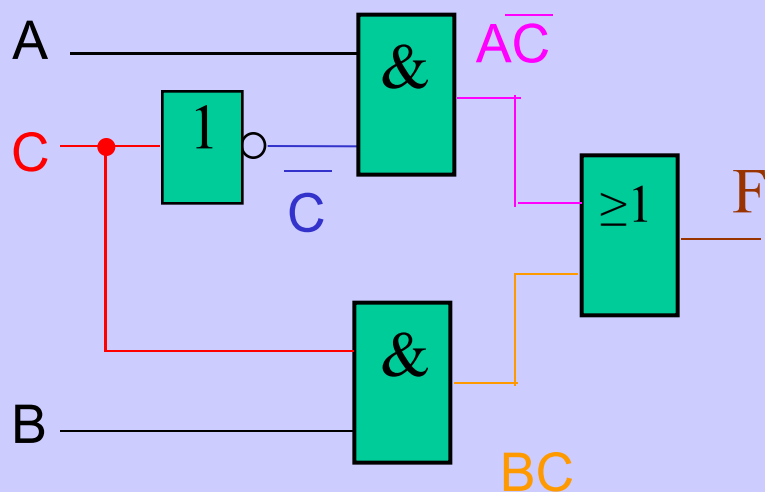
当 $BC: 00 \rightarrow 11$ 时, F 应当恒为1

情况一: $ABC: 100 \rightarrow 110 \rightarrow 111$

则 $F: 1 \rightarrow 1 \rightarrow 1$ 无险象

情况二: $ABC: 100 \rightarrow 101 \rightarrow 111$

则 $F: 1 \rightarrow 0 \rightarrow 1$ 有险象



		1	1
	1	1	

1. 功能险象

产生的条件:

- ① 有 $K(K > 1)$ 个信号同时发生变化;
- ② 变化的 K 个变量组合所对应的 2^k 个 m_i 中必定既有1, 又有0;
- ③ 输入变量变化前后的稳态输出相同。

例 如图所示 $F = A\bar{C} + BC$, 设 $A=1$

当 $BC: 00 \rightarrow 11$ 时, F 应当恒为1

情况一: $ABC: 100 \rightarrow 110 \rightarrow 111$

则 $F: 1 \rightarrow 1 \rightarrow 1$ 无险象

情况二: $ABC: 100 \rightarrow 101 \rightarrow 111$

则 $F: 1 \rightarrow 0 \rightarrow 1$ 有险象

		1	1
	1	1	

功能险象是逻辑函数所固有的, 它无法用改变设计的方法消除, 只能通过控制输入信号的变化次序来避免。

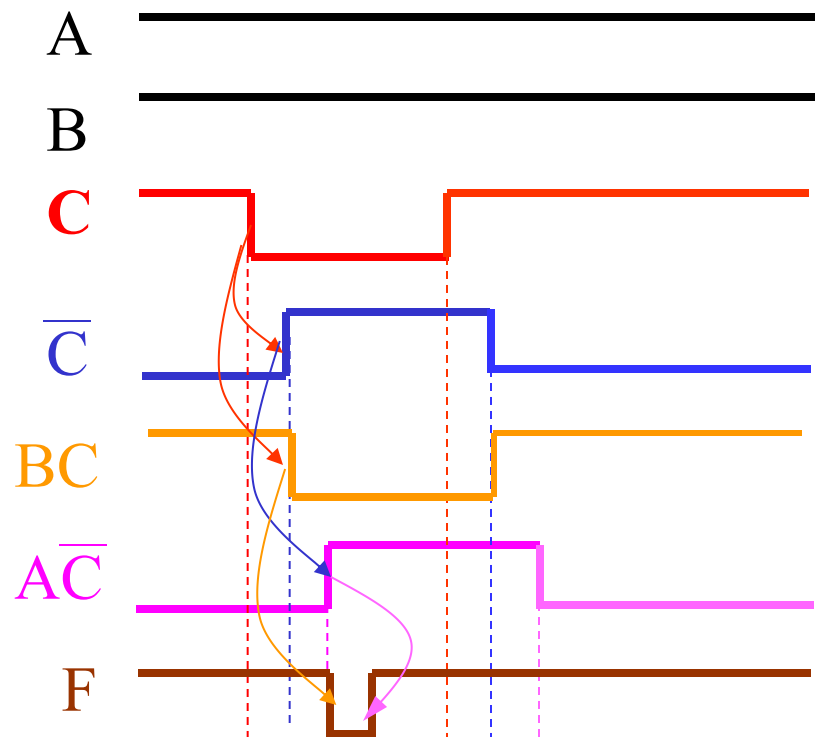
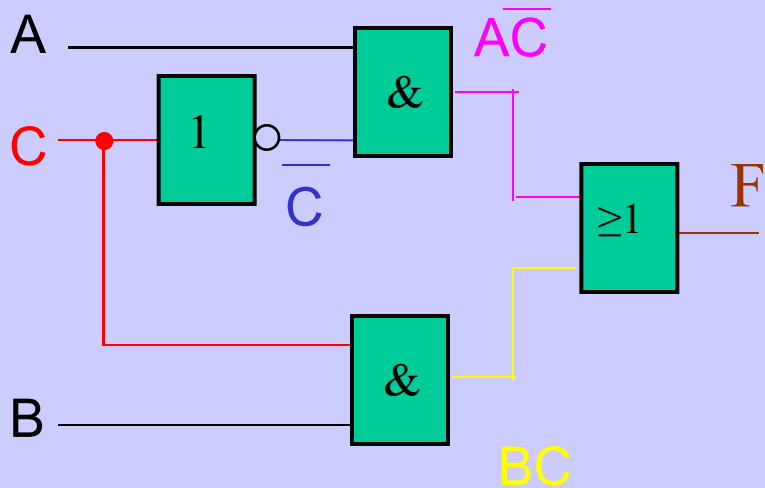
2. 逻辑险象

产生的条件:

- ① 仅有一个输入信号发生变化;
- ② 输入变量变化前后的稳态输出相同。

例 如图所示 $F = A\bar{C} + BC$,
当 $A = B = 1$, $F = \bar{C} + C \equiv 1$ 。

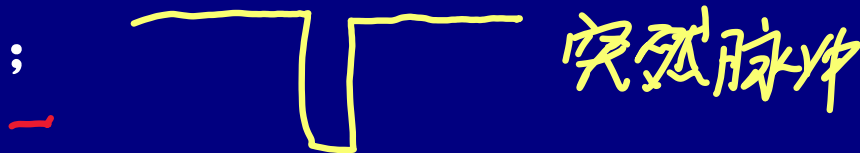
实际上, 当 $C: 1 \rightarrow 0$ 时
 F 产生险象。



总之，静态险象的产生是：

由于同一个输入信号经过不同的路径又会合到同一个门上的竞争所引起的。

在电路中，若输入信号变化前后，稳态的输出均为1，且在1的输出上出现一个负向窄脉冲，则该险象称为静态1 险象，如前例所示；



反之若稳态输出为0，且在0的输出上出现一个正向窄脉冲，则该险象称为静态0 险象，如下例所示。

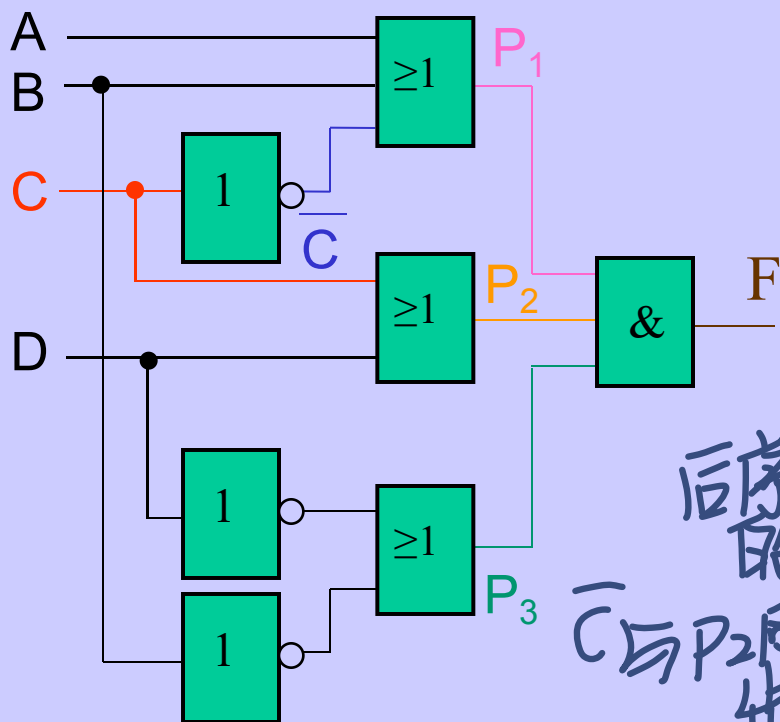


例 具有静态 0 险象的电路及时间图

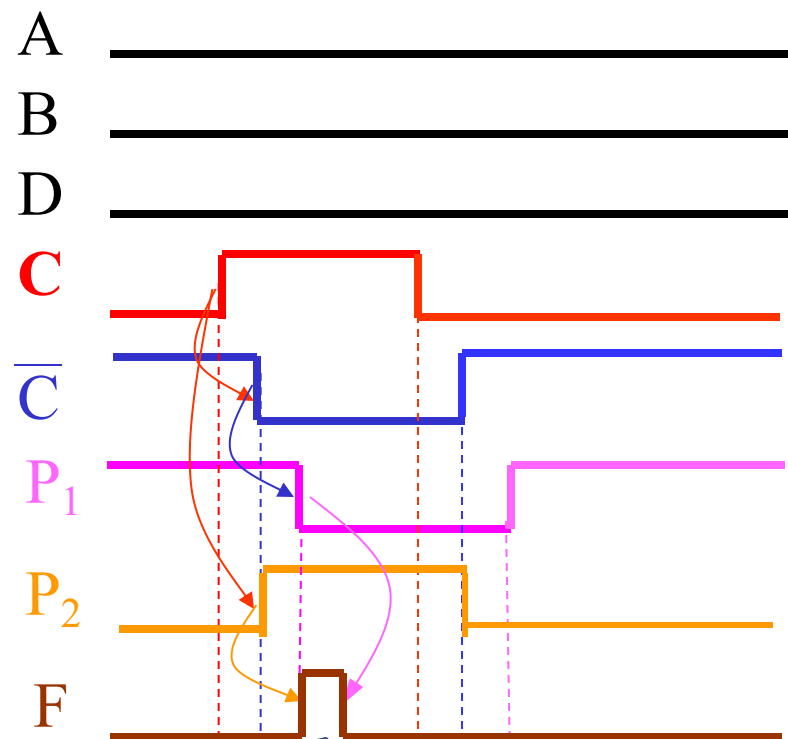
如图所示 $F = (A + B + \bar{C})(C + D)(\bar{B} + \bar{D})$

当 $A = B = D = 0$ 时, 则 $F = \bar{C} \cdot C \equiv 0$

实际上, 当 $C: 0 \rightarrow 1$ 时, F 产生静态 0 险象。



后序的
C与P2同步



3

二、动态险象 (*Ddynamic Hazards*)

在多级组合逻辑电路中，若输入的变化通过多条路径向输出端会合时，使在输出稳定之前输出变化三次，其间经过暂时状态01或者10，这种险象称之为动态险象。

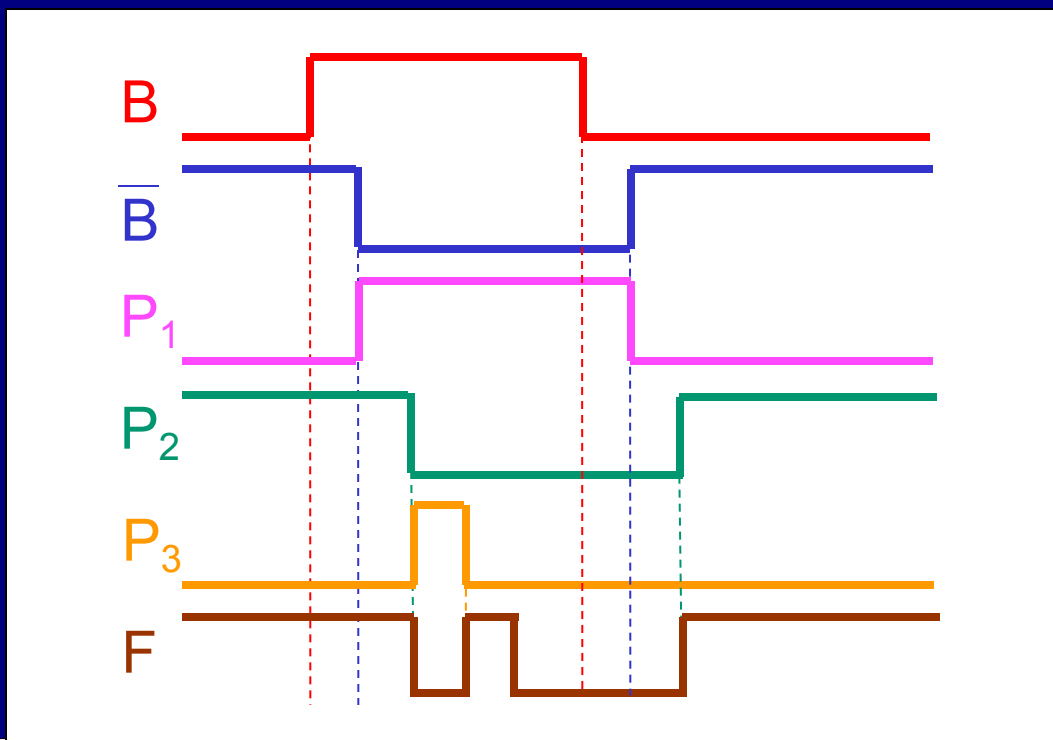
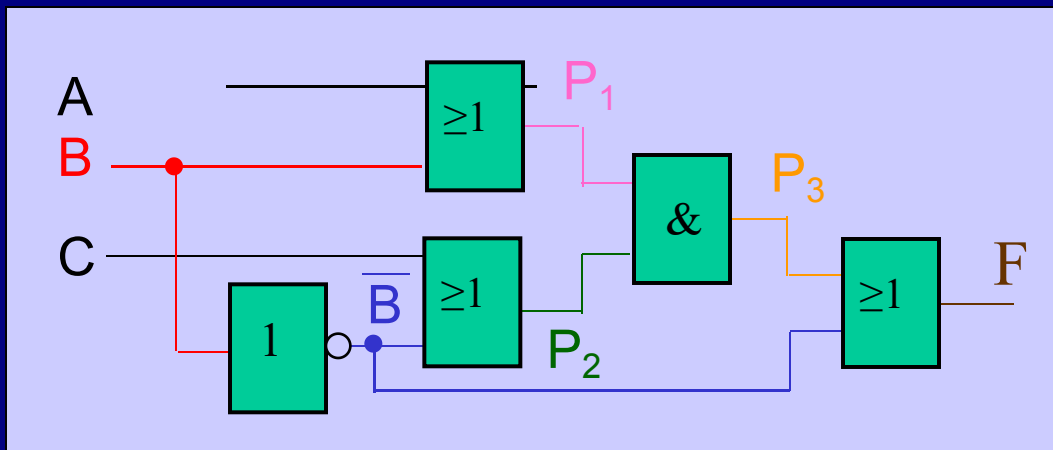
输入变化的第一次会合只可能产生静态险象，只有在产生了静态险象，输入变化的再一次会合，才有可能产生动态险象。

一般不去研究

动态险象是由静态险象引起的，它也是竞争的结果。

消除了静态险象，则动态险象也不会出现。

例 $F = (A+B)(\bar{B}+C) + \bar{B}$ 当 $A = C = 0$ 时 $F = B\bar{B} + \bar{B}$



↓
虽看起来
小恒为1
但B变化
空隙不总
是为1

静态显象
后面已稳定

2.3.3 险象的判别 *Finding Static Hazards*

一、卡诺图判别法 *Using Maps*

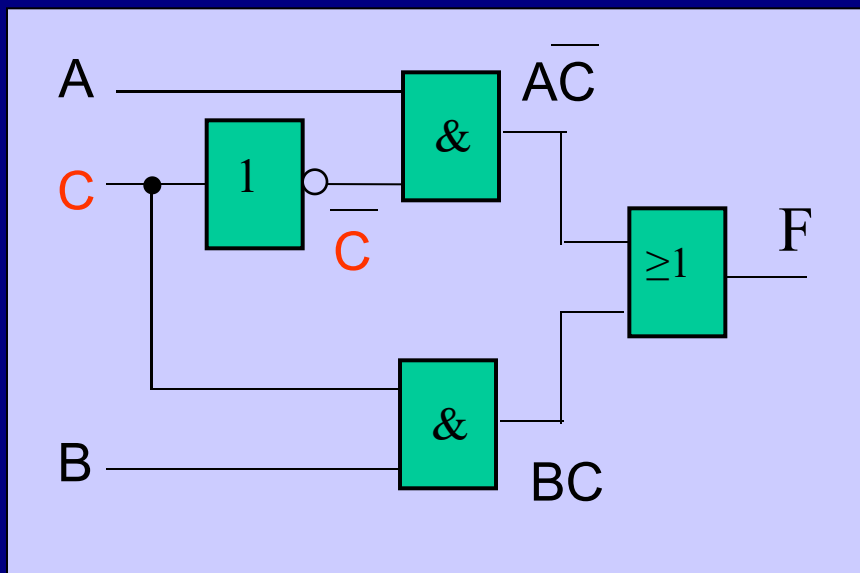
用卡诺图可以判别出两级与或电路和或与电路是否存在静态险象。

1. 静态 1 险象判别

- 在两级与或电路或两级“与非—与非”电路中只可能出现静态 1 险象。
- 在卡诺图中，与或式中的每个与项对应于圈 1 的一个卡诺圈，如果两个卡诺圈存在着部分相切，而这个相切的部分又没有被另外的卡诺圈所包含，则该电路必然存在静态 1 险象。

例 静态 1 险象的判别与消除电路

$$F = A\bar{C} + BC \quad \text{当 } A = B = 1 \text{ 时}$$



代数比卡诺方便

C \ AB

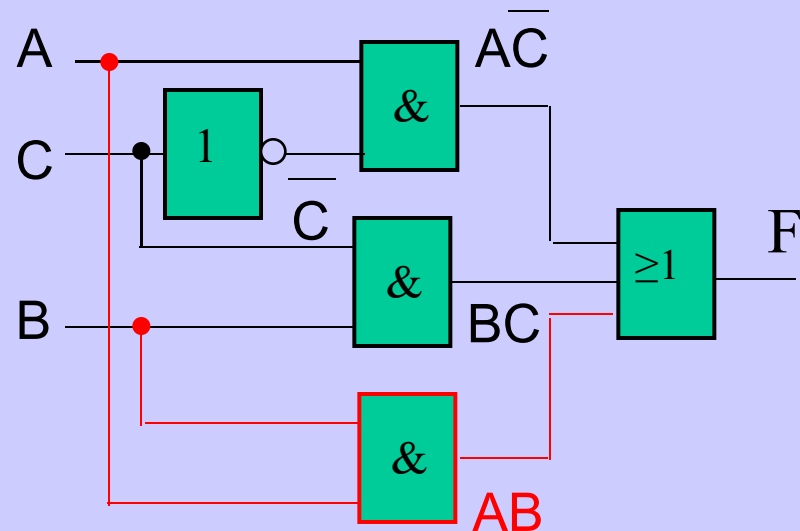
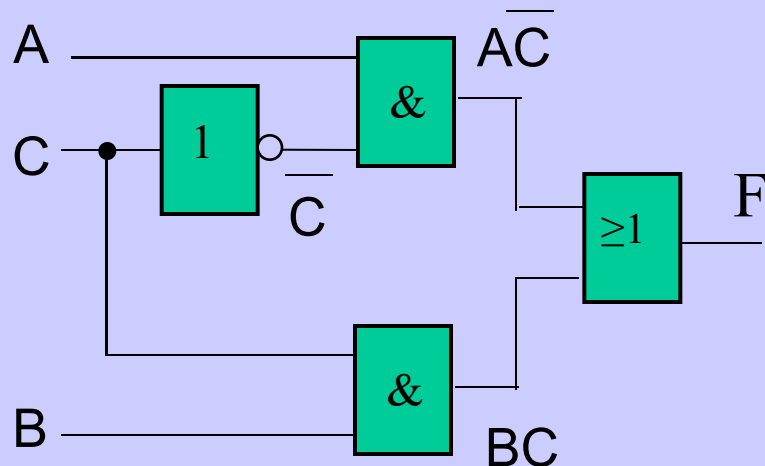
		1	1
	1	1	

危!
两圈相切于在变量 C 的交替面, 当 C 由 $1 \rightarrow 0$ 时, BC 先由 $1 \rightarrow 0$ 而 AC 尚未由 $0 \rightarrow 1$, 使 F 产生一个负向脉冲

例 静态 1 险象的判别与消除电路

1 的相切了

$$F = A\bar{C} + BC \quad \text{当 } A = B = 1 \text{ 时}$$



AB

		1	1
	1	1	

增加与项 **AB**，当 AB=11 时，

无论 C 如何变化，使输出 F 总是 1，从而消除了险象。

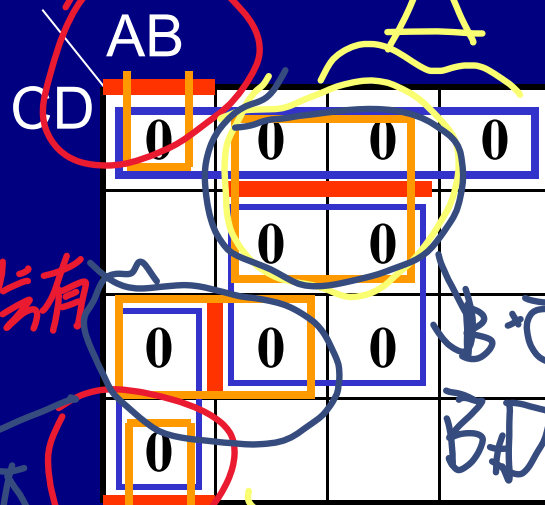
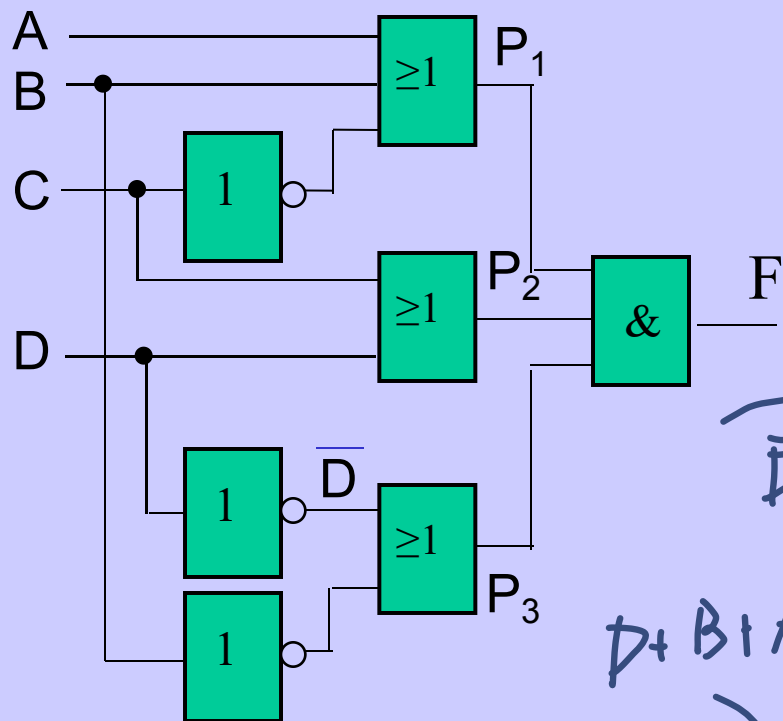
$$F = AC + BC + \mathbf{AB} \rightarrow \text{抖我也恒为 1 (但不变功能)}$$

2. 静态 0 险象判别

- 在两级或与电路或两级“或非—或非”电路中只可能出现静态 0 险象。
- 在卡诺图中，按照圈 0 单元的卡诺圈是否存在着部分相切，而这个相切的部分又没有被另外的卡诺圈所包含，则该电路必然存在静态 0 险象。

例 如图所示电路 $F = (A+B+\bar{C})(C+D)(\bar{B}+\bar{D})$

$F = (A+B+\bar{C})(C+D)(\bar{B}+\bar{D})$ 静态 0 险象的判别与消除电路



上下都有

\bar{D}

两圈相切于在变量 **D** 的交替面
两圈相切于在变量 **C** 的交替面
两圈相切于在变量 **B** 的交替面

有三处相切，对应着三个静态0险象；分别增加三个卡诺圈，使输出F总是0，从而消除险象。变复杂但可以消除

$$F = (A+B+\bar{C})(C+D)(\bar{B}+\bar{D})(A+B+D)(A+\bar{C}+\bar{D})(\bar{B}+C)$$

二、逻辑表达式判别法

如果电路中存在出现险象的可能性，其逻辑表达式有如下特点：

- (1) 当某一变量同时以原变量和反变量的形式出现在逻辑表达式中，则该变量就具备了竞争的条件。
- (2) 保留被研究变量，消去其他变量(其他变量取某些定值，这些定值是被研究变量产生竞争的条件)。
- (3) 若得到的表达式为下列形式之一，则有险象存在：

有险象存在的表达式形式

$F = A + \bar{A}$ —— 静态 1 险象(如A从1→0)

$F = A \cdot \bar{A}$ —— 静态 0 险象(如A从0→1)

$$F = \left\{ \begin{array}{l} A \cdot (A + \bar{A}) \\ \bar{A} \cdot (A + \bar{A}) \\ A + A \cdot \bar{A} \\ \bar{A} + A \cdot \bar{A} \end{array} \right\} \text{ —— 动态险象}$$

例1 $F = A\bar{C} + BC$ 式中变量 **C** 具备竞争条件
当 $AB = 11$ 时, C从 1→0, 产生静态 1 险象

$F = A\bar{C} + BC + AB$ 式中变量 C 具备竞争条件
但当 $AB = 11$ 时, $F \equiv 1$, 不存在险象

例 2 $F = (A+B+\overline{C})(\overline{C+D})(\overline{B+D})$

式中变量B、C、D都具备竞争条件。

当A=0、B=0、D=0时，C从0→1，产生静态0险象，此外还有两种静态0险象。

例3 $F = (A+B)(\overline{B+C}) + \overline{B}$

式中变量B具备竞争条件，

当A=C=0时， $F = B\overline{B} + \overline{B}$ ，产生动态险象。

2.3.4 险象的消除

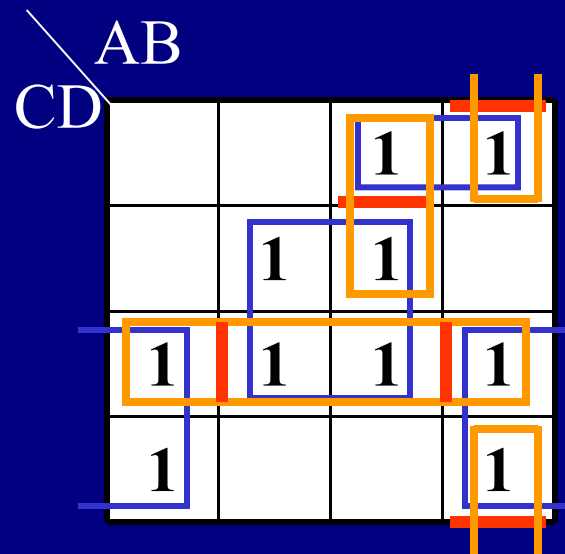
Designing Hazard-free circuit

消除险象的方法主要有：

- 一、增加**多余项(与项)**或乘以**多余因子(或项)**消除逻辑险象

例 $F = A\bar{C}\bar{D} + \bar{B}C + BD$

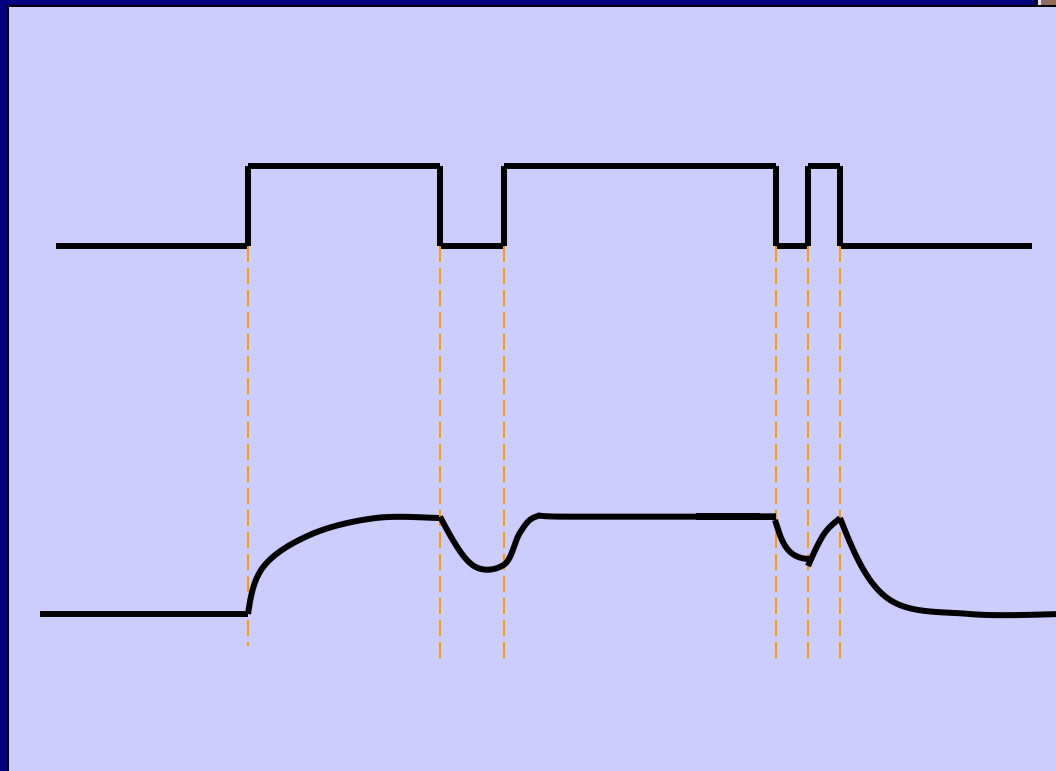
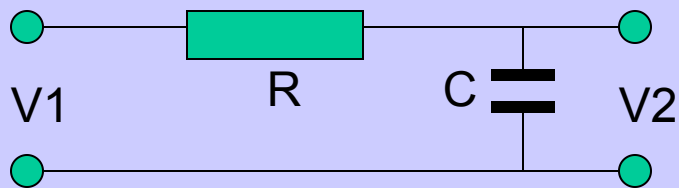
将相切的部分均用多余的卡诺圈包含起来，则可消除静态 1 险象，得到：



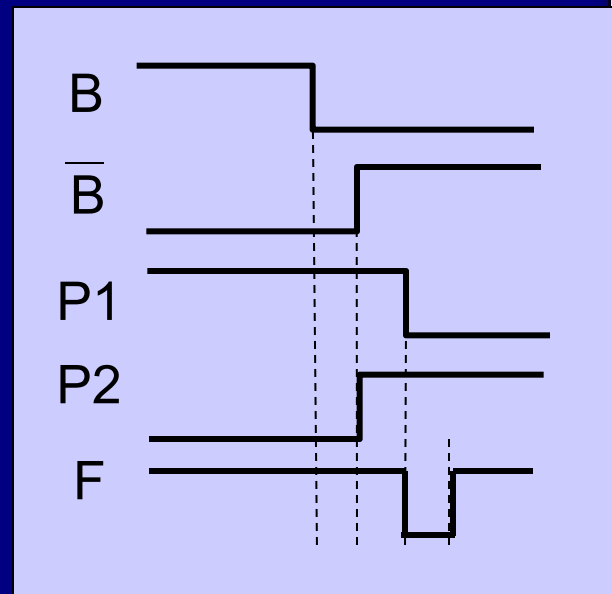
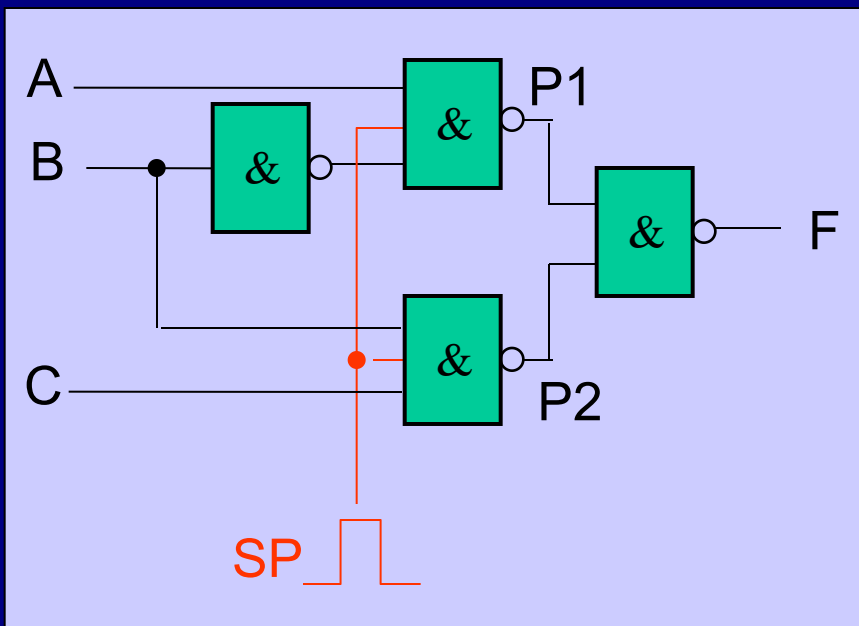
$$F = A\bar{C}\bar{D} + \bar{B}C + BD + \underline{A\bar{B}\bar{D} + A\bar{B}C + CD}$$

二、在输出端连接低通环节以减弱干扰

用低通滤波电路滤掉窄脉冲干扰，但将使输出变化的上升、下级沿增大，降低工作速度也使信号质量变坏。

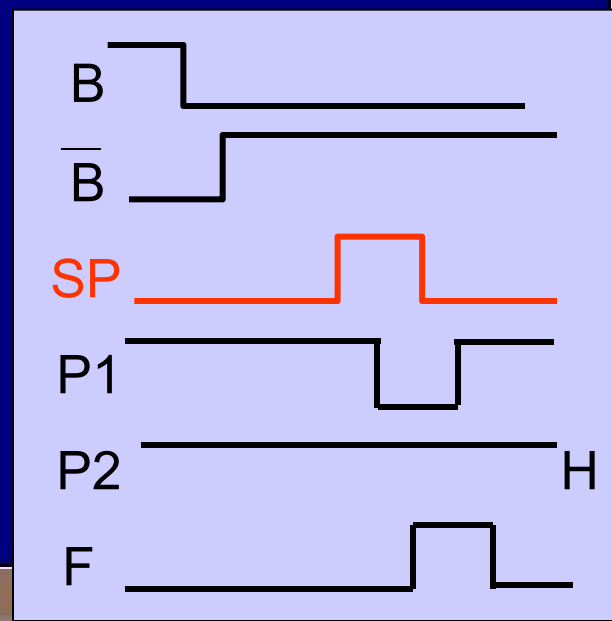


三、利用取样脉冲避开险象



改电平控制为脉冲控制。

这是在特定的电路系统中采用的方法。在一般的组合电路中慎用。



• 组合电路中的竞争与险象

- **竞争**: 同样的信号经过不同的路径。
- **险象**: 竞争的结果, 但有竞争不是一定有险象。
- **险象的分类**: 静态险象, 动态险象
- **静态险象**: 逻辑险象, 功能险象
静态1险象, 静态0险象
- **险象的判别**: 表达式判别, 卡诺图判别
- **险象的消除**: 表达式增加多余项,
卡诺图增加多余项

作业

