

第二章 组合逻辑电路

2.1 逻辑电路的描述

2.1.1 框图

2.1.2 门的符号标准

2.1.3 信号名和有效级

2.1.4 引端的有效级

2.1.5 引端有效级的变换

2.1.6 图面布局及总线

2.1.7 时间图

2.2 组合逻辑电路分析与设计

2.2.1 组合逻辑电路分析

2.2.1.1 穷举法

2.2.1.2 逻辑代数法

2.2.1.3 利用摩根定律分析

2.2.1.4 利用卡诺图

2.2.2 组合逻辑电路设计

2.2.2.1 根据逻辑问题的描述写出逻辑表达式

2.2.2.2 逻辑电路的变换

2.3 组合电路中的竞争与险象

2.3.1 竞争

2.3.2 险象

2.3.3 险象的判别

2.3.4 险象的消除

2.4 常用MSI组合逻辑器件及应用

2.4.1 译码器

2.4.2 编码器

2.4.3 三态缓冲器

2.4.4 多路选择器

2.4.5 奇偶校验电路

2.4.6 比较器

2.4.7 加法器

第二章 组合逻辑电路

Combinational Logic Circuit Analysis & Design

逻辑电路的分类：组合逻辑电路

Combinational Logic Circuit

时序逻辑电路

Sequential Logic Circuits

组合逻辑电路的特点：电路输出仅取决于当时的输入，而与过去的输入情况无关。

时序逻辑电路的特点：电路输出不仅取决于当时的输入，而且也与过去的输入情况有关，即与过去的电路状态有关。

组合逻辑电路的模型



2.1 逻辑电路的描述

Documentation Standards

用结构化的思想完成一个复杂系统的分析与设计过程：

1. 整个复杂系统划分成若干子系统；
2. 每个子系统划分成较为简单、较为规范的电路单元；
3. 自顶向下地规划设计(*Top-down Modular Design*)，
从下而上的进行分析和设计(*Bottom-up Process*)；
4. 建立一套标准化的逻辑电路描述文档。

作为规范化的技术“语言”，逻辑电路设计文档标准在对数字系统的分析、设计和技术交流中都很重要。

一个电路系统的文档至少应包括如下五个方面。

- 文档标准的几个方面
 - 框图
 - 门的符号标准(门的等效符号)
 - 信号名和有效级
 - 引端的有效级
 - 引端有效级的变换
 - 图面布局及总线
 - 时间图

2.1.1 框图 (*Block Diagram*):

- ① 用方框、圆框等粗略表示系统的输入、输出、功能模块（或称子系统），各模块的功能用文字加以说明；
- ② 用带箭头连线表示模块之间主要信息通路、流向和控制信号。

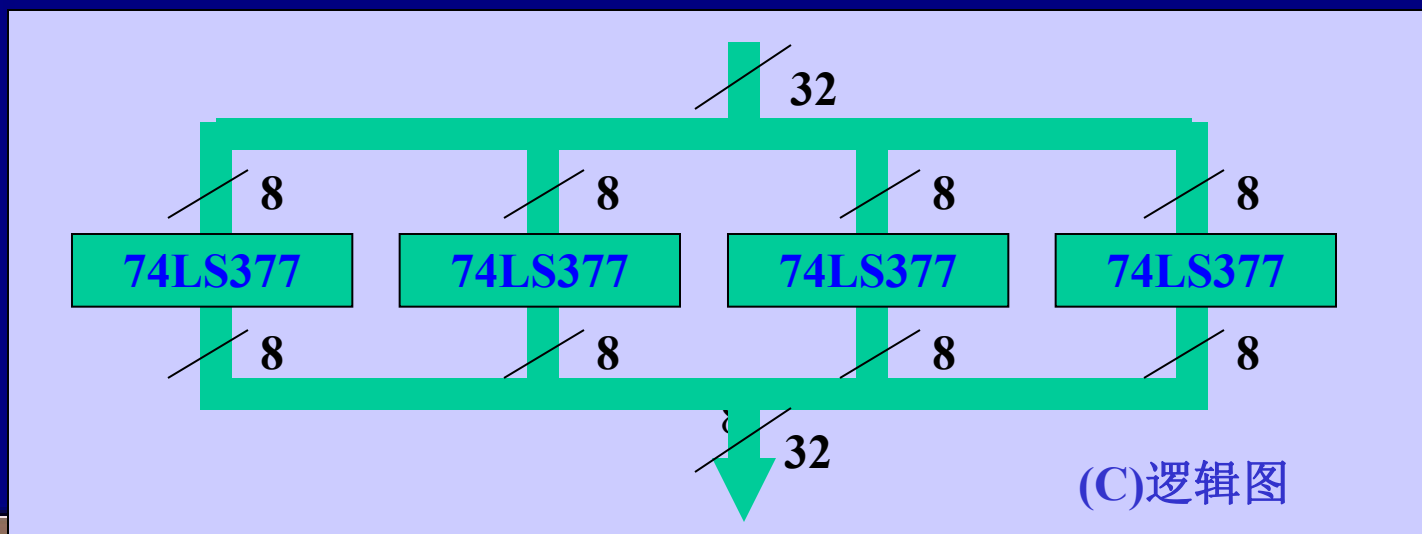
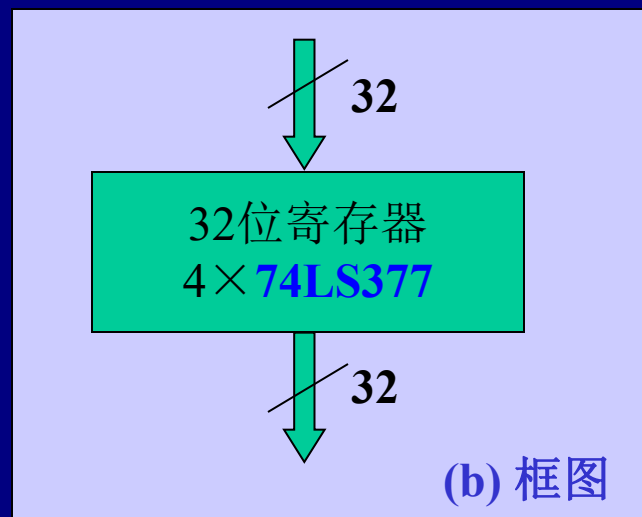
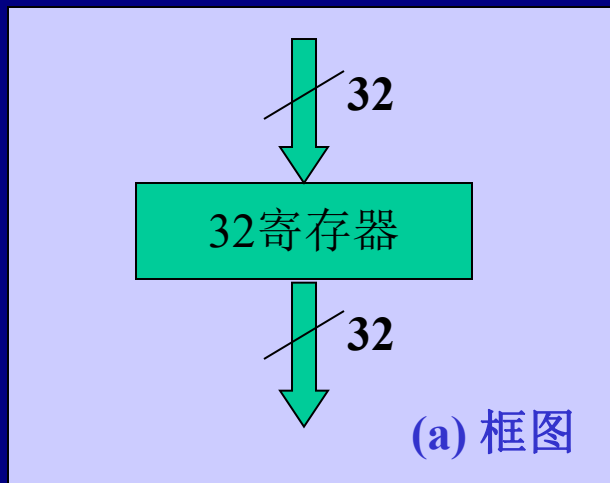
1. 系统总框图： 表示一个完整的系统模块。
参见书P80图3.2。

子系统框图： 将一个大系统的划分成几个子系统，由这几个子系统构成说明整个系统组成的总框图。按子系统再分别构成其框图。如上例图。

2. 逻辑图 (Logic Diagram)

将框图的粗略表示，具体地用文字说明器件类型。

例如32位寄存器：



32位寄存器框图及逻辑图

3. 原理图 (*Schematic Diagram*)

在逻辑电路图(*Logic Diagram*)中, 详细标明器件类型、端脚之间的连接、信号名等条件细节, 再次细化逻辑电路图。

逻辑图参见书P79图3.1(c)。

原理图参见书P89图3.19。

4. 时间图 (*Timing Diagram*)

反映逻辑信号之间对应的时间关系, 特别是要能反映出关键信号之间因果关系和传输延迟。

参见书P92图3.22和图3.23。

5. 结构化逻辑描述 (*Structured Logic Description*)

说明结构化逻辑器件的内部功能，如PLA、存储器芯片或者某些具有专门功能的中、大规模器件；

用逻辑等式、状态表(图)、功能表或程序表等形式说明。

6. 电路说明 (*Circuit Description*)

用文字简明叙述电路的使用方法；

解释内部的工作方法；

列出设计和操作中所有可能的潜在缺陷，以及在使用不当中隐含的问题。



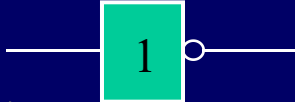

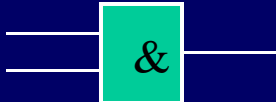

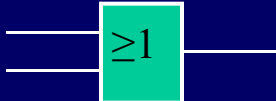
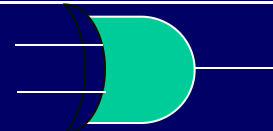


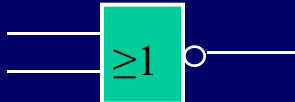
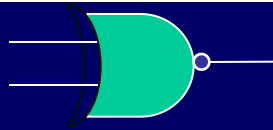
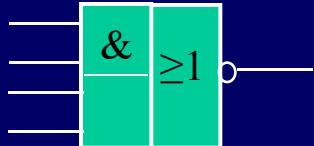
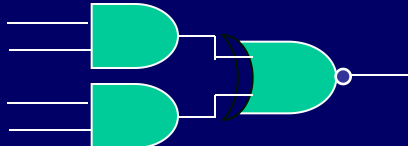
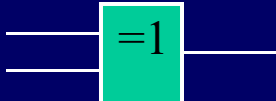
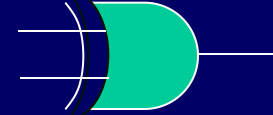
2.1.2 门的符号标准 (*Gate Symbols Standards*)

1. 逻辑门的符号标准:

- 长方形符号: 中国国标、IEC标准、IEEE标准
- 变形符号: IEEE标准

常用门的符号表示参见下页所示。

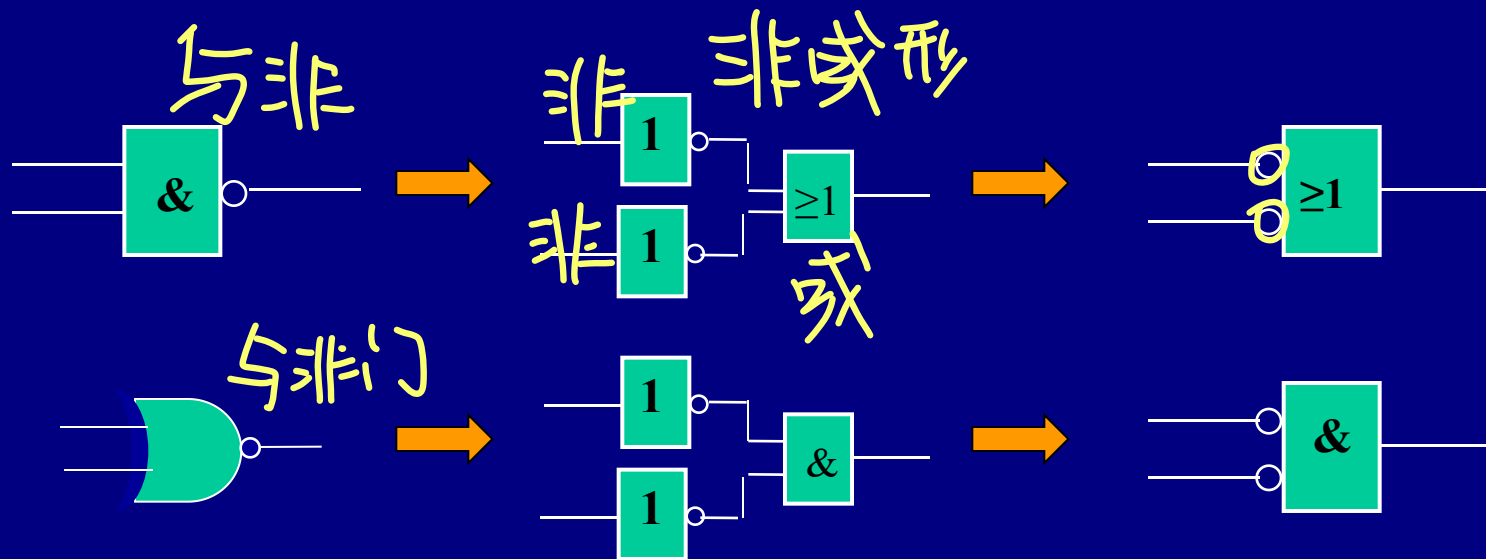
图3.3 常用逻辑门的两种表示形式

电路名称	原符号	变形符号
跟随器		
非 门		
与 门		
或 门		
与非门		
或非门		
与或非门		
异或门		

2. 门的等效符号:

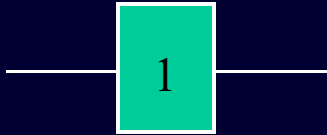
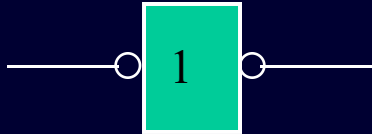
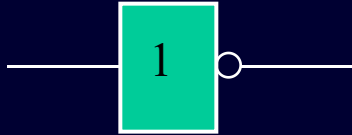
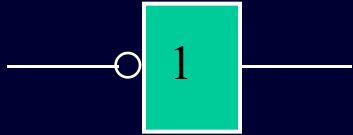
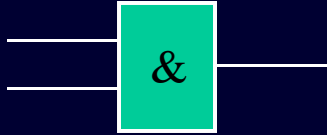
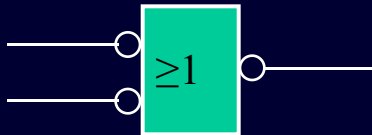
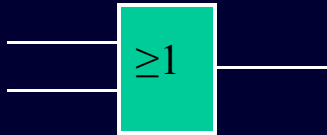
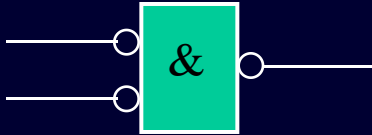
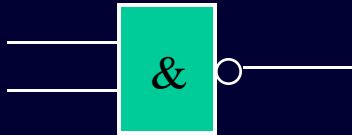
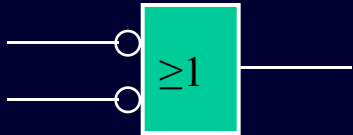
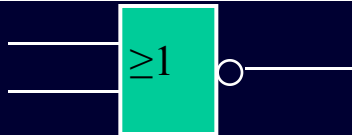
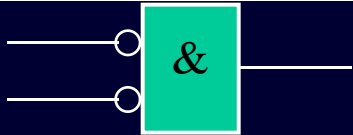
对上述常用门中输入信号进行有效级变换(变反), 并按照**DeMorgan定律**得到的门的等效符号。

实际上, 等效变换即为**小圆圈** (表示反相器) 在门的符号上的**出现和移动**。如下图



逻辑门的等效符号参见下页所示。

逻辑门的等效符号

电路名称	原符号	等效符号
跟随器		
非 门		
与 门		
或 门		
与非门		
或非门		

数字逻辑电路

1. 信号命名:

使能 EN 便可以工作 (高有效)

10

7



HAL_GPIO_WritePin

(GPIOC,

GPIO_PIN_B,

RESET)

2. 信号的有效级 (*Active levels for Signals*)

(1) 控制信号、测试信号等:

此类信号都有一个与之对应的有效级。

当信号处在其有效级时，逻辑电路才能正确地执行其功能。

(2) 在正逻辑中，高电平与逻辑“1”等效， 低电平与逻辑“0”等效。

(参见书第二章P27图2.2)

(3) 有效级分高有效或低有效。

高有效：信号为高电平或为逻辑“1”时为有效；

低有效：信号为低电平或为逻辑“0”时为有效；

(4) 有效级的约定（即表示法）：

用一些符号作为信号名的前缀或后缀，这些符号反映了信号的有效性，如下表所示。

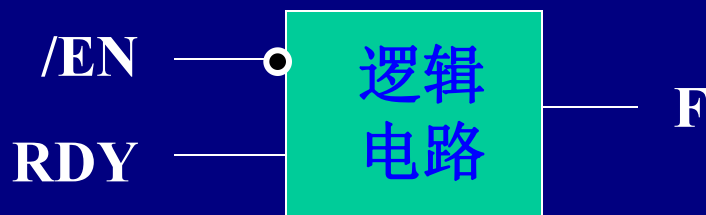
低电平有效	高电平有效
ACK—	ACK+
ERROR.L	ERROR.H
ACS(L)	ACS(H)
CS*	CS
/EN	EN
RESET# 好好好	RESET
nRST	RST

本书采用表中“EN(高有效)、/EN(低有效)”的这一组表示法。

(5) 信号名

不能采用反变量符号，
不能采用逻辑表达式。

如下图中，**RDY (准备好)** 为 测试信号，
/EN (使能) 为 控制信号，
当**RDY**为高电平、**/EN**为低电平时，则该电路工作。



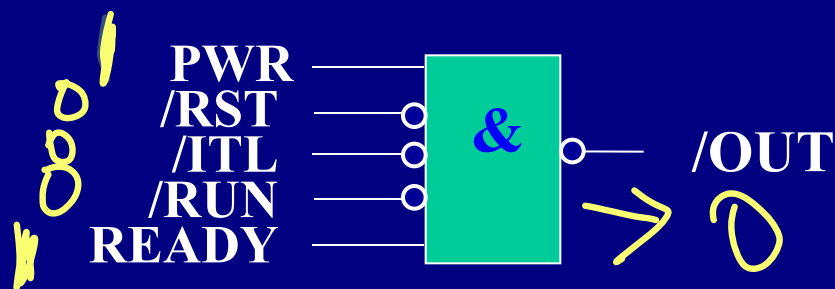
(6) 例：设计一个逻辑。

使得加电（高有效信号）时产生一个低有效输出，系统不复位（低有效信号），内部锁InTerLock关闭（低有效信号），给出一个运行信号（低有效信号），数据已准备好（高有效信号）。

确定信号名：

输入变量 加电= PWR，复位= /RST，内部锁= /ITL，
运行= /RUN，数据准备好= READY

输出变量 输出= /OUT



2.1.4 引端的有效级(*Active levels for pins*)

本书采用的是“逻辑非符号体制”。

另一种是“极性符号体制”（略）。

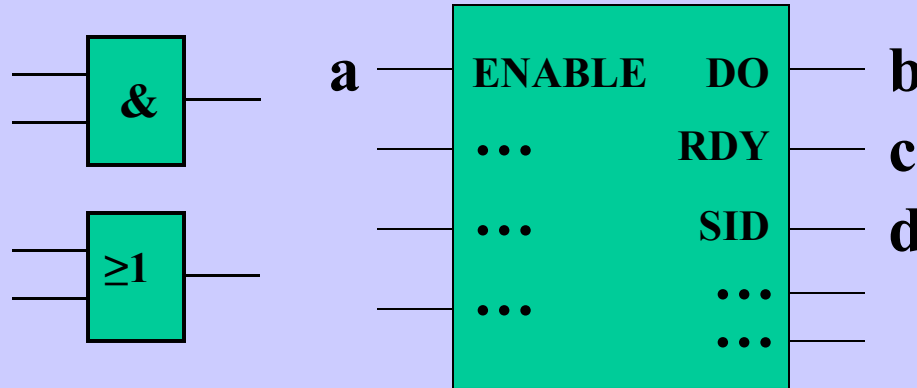
- 引端的有效级：是指电路的输入、输出上的物理量与电路的内部逻辑状态的对应关系。
- 对应关系：指选用器件的引端的有效级与所给信号的有效级相匹配。

逻辑非符号体制

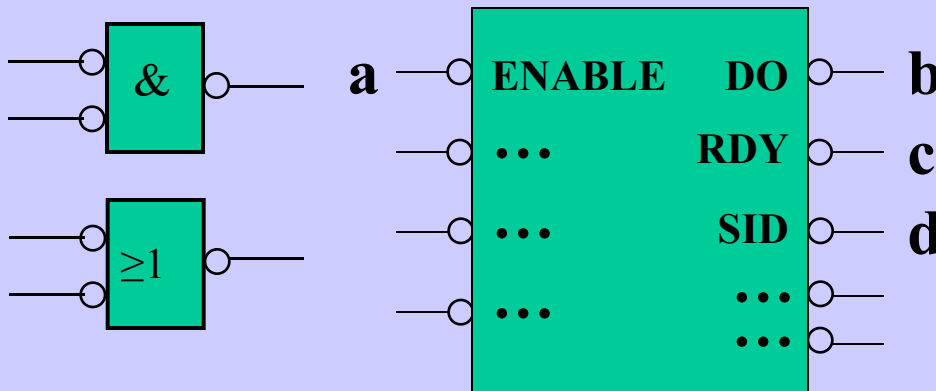
在本体制下存在**两级对应关系**：

(1) 电路的**外部逻辑状态**与**内部逻辑状态**的对应关系。

例：所示框图中 a、b、c、d为外部逻辑状态；
ENABLE、DO、RDY、SID为内部逻辑状态。



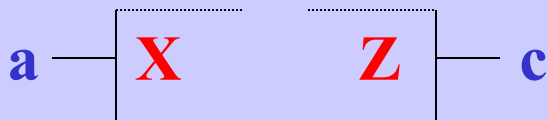
器件框图上**不带逻辑非符号(小圆圈)**



器件框图上**带逻辑非符号**

例：如图所示

- ① 器件框图上不带逻辑非符号（即小圆圈）的输入 **a** 与 **X**、输出 **c** 与 **Z** 的关系：若 $Z = f(X)$ ，则 $c = f(a)$



a	X
0	0
1	1

Z	c
0	0
1	1

- ② 器件框图上带逻辑非符号的输入 **a** 与 **X**、输出 **c** 与 **Z** 的关系：若 $Z = f(X)$ ，则 $c = \overline{Z} = \overline{f(X)} = f(\overline{a})$



a	X
0	1
1	0

Z	c
0	1
1	0

(2) 电路的输入、输出信号的物理量

与电路的外部逻辑状态的对应关系，

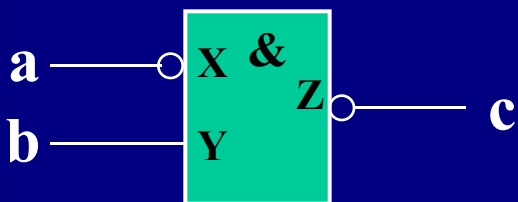
用正逻辑或负逻辑加以约定。

- 正逻辑约定

如下图所示： $Z = XY$ $c = \overline{Z} = \overline{XY} = \overline{a} b$

逻辑电平对应关系：H (高电平) —— “1”(外部逻辑状态)

L (低电平) —— “0”(外部逻辑状态)



X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

a	b	c
0	0	1
0	1	0
1	0	1
1	1	1

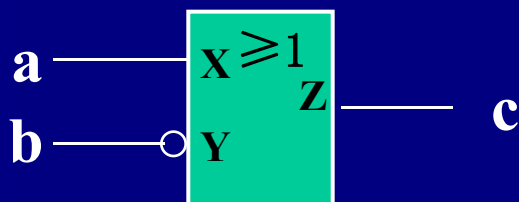
a	b	c
L	L	H
L	H	L
H	L	H
H	H	H

• 负逻辑约定

如下图所示： $Z = X + Y$ $c = Z = X + Y = a + \bar{b}$

逻辑电平对应关系：H (高电平) —— “0”(外部逻辑状态)

L (低电平) —— “1”(外部逻辑状态)



X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

a	b	c
0	0	1
0	1	0
1	0	1
1	1	1

a	b	c
H	H	L
H	L	H
L	H	L
L	L	L

注：本书采用逻辑非符号体制的正逻辑约定。

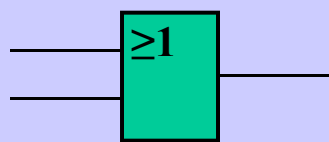
2.1.5 引端有效级的变换

(Bubble-to-bubble Logic design)

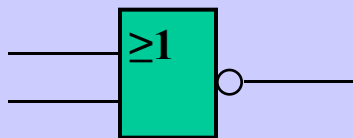
- 目的：使逻辑电路的功能一目了然
- 结果：使所选用器件引端的有效级与所给的信号有效级相匹配
- 方法：对器件引端的有效级进行变换。

例：下面两组的各四种分别表示四个完成同一逻辑功能的器件：

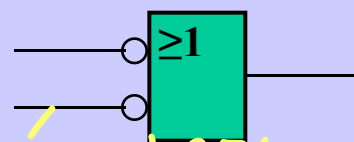
四种
“或”
功能



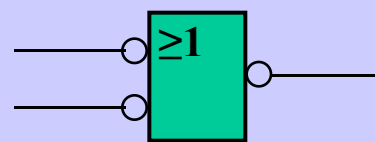
或门 (7432)



或非门 (7402)

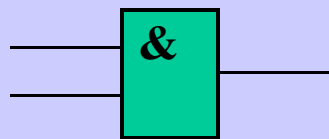


与非门 (7400)

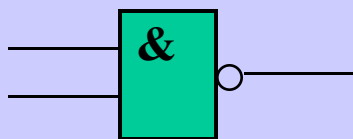


与门 (7408)

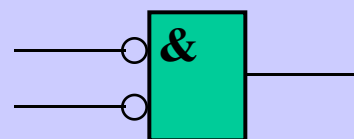
四种
“与”
功能



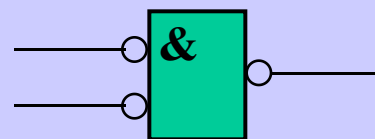
与门 (7408)



与非门 (7400)



或非门 (7402)

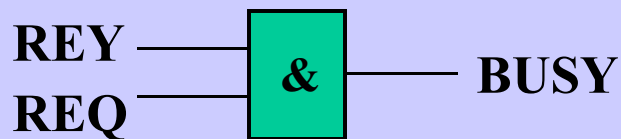


或门 (7432)

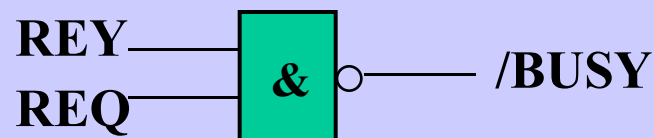
1. 引端有效级的变换，包括：

- ① 输入引端的变换：或为高有效、或为低有效，
- ② 输出引端的变换：分别为高有效、或低有效。

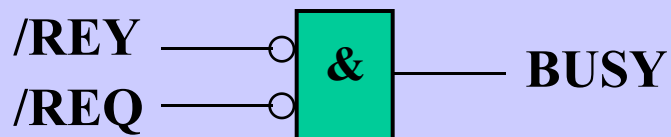
例 如下图 $\text{Busy} = \text{REY} \cdot \text{REQ}$ 对应了四种电路。



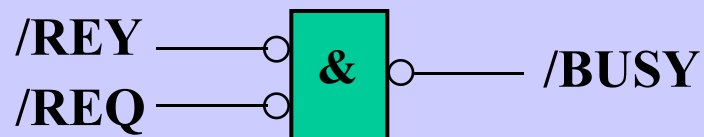
高有效输入、高有效输出



高有效输入、低有效输出



低有效输入、高有效输出



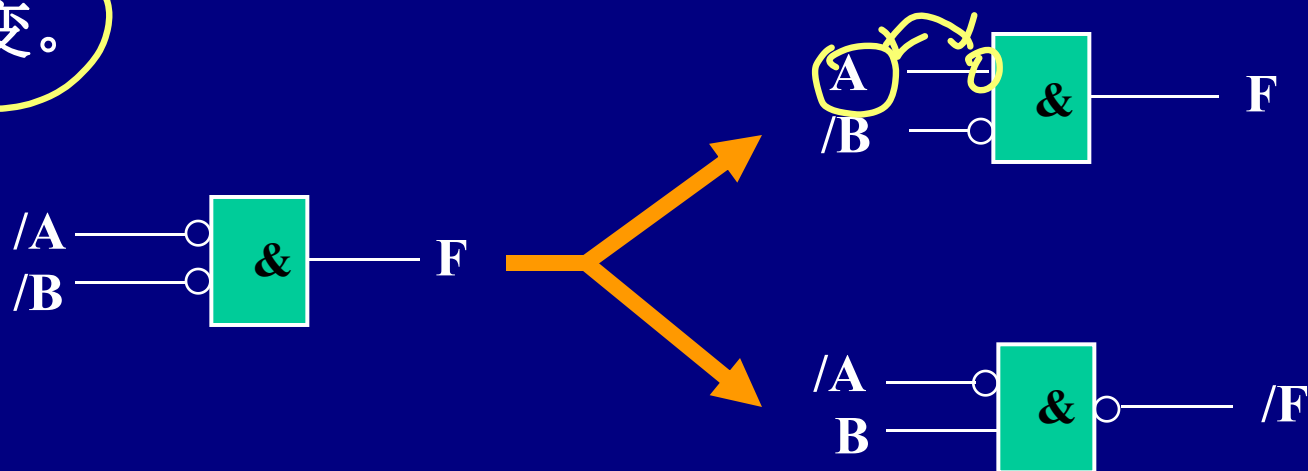
低有效输入、低有效输出

2. 引端有效级的变换规则 3个规则比较重要!!! (Bubble-to-bubble Logic Design Rules)

在保持输入与输出逻辑功能不变的条件下，依照如下变换规则对逻辑图进行任意变换。(也称圆圈逻辑 Bubble Logic) 3个功能不变规则，看可否变好看

规则1:

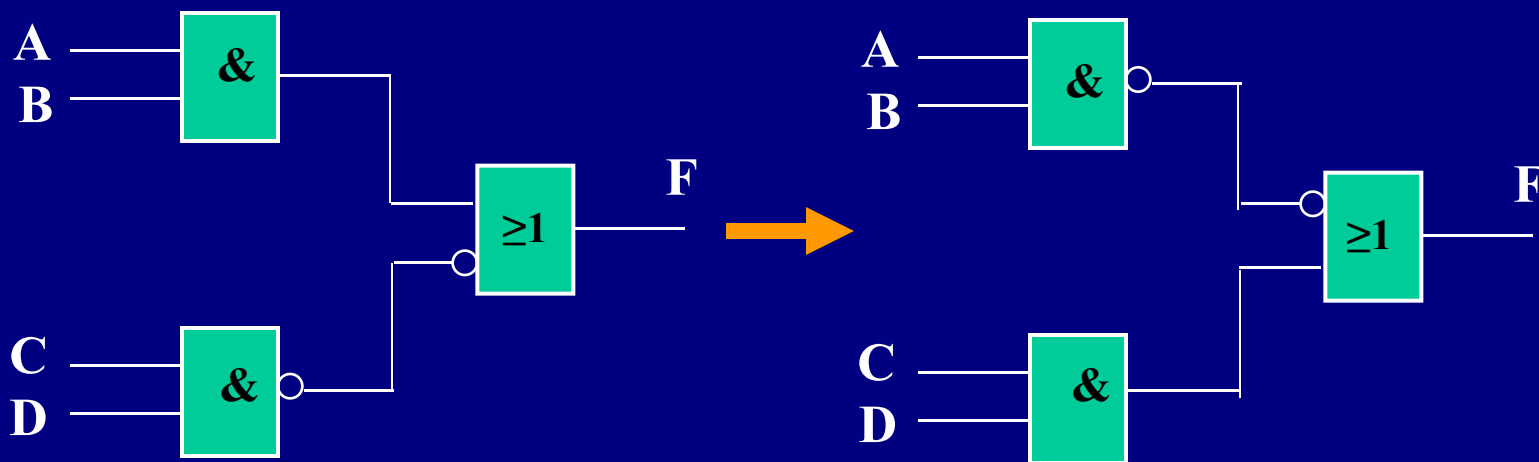
任何输入或输出端加上或删去逻辑非符号(即小圆圈), 且其对应的信号有效级变反, 则逻辑图的功能不变。



规则2:

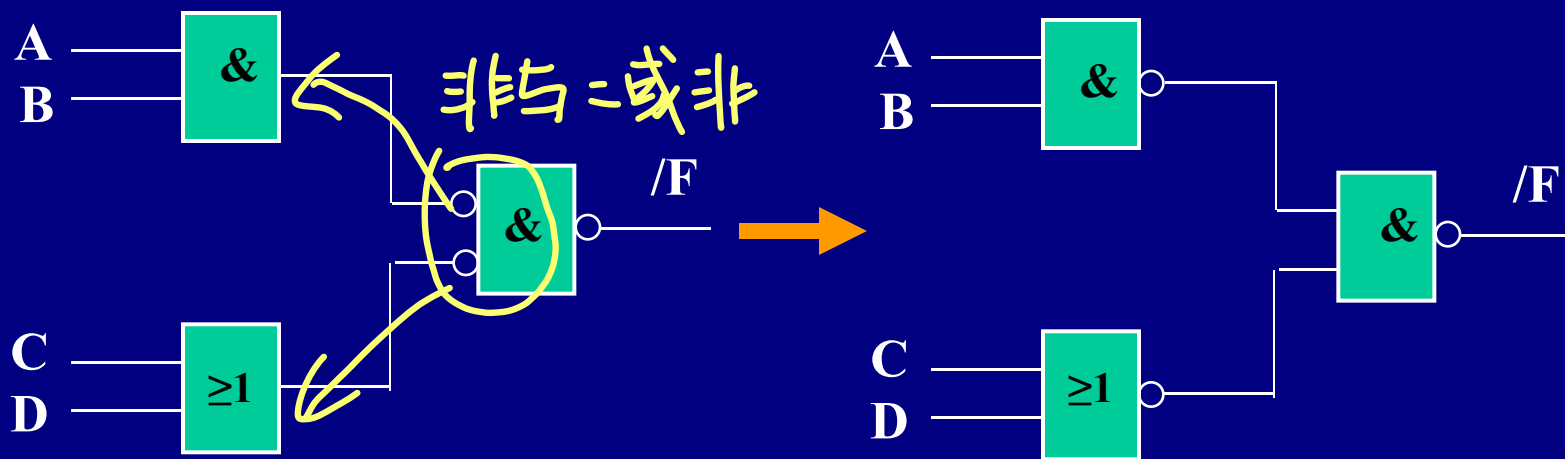
逻辑图内部连线的两端，同时加上或删去逻辑非符号，则逻辑图的功能不变。

负负得正



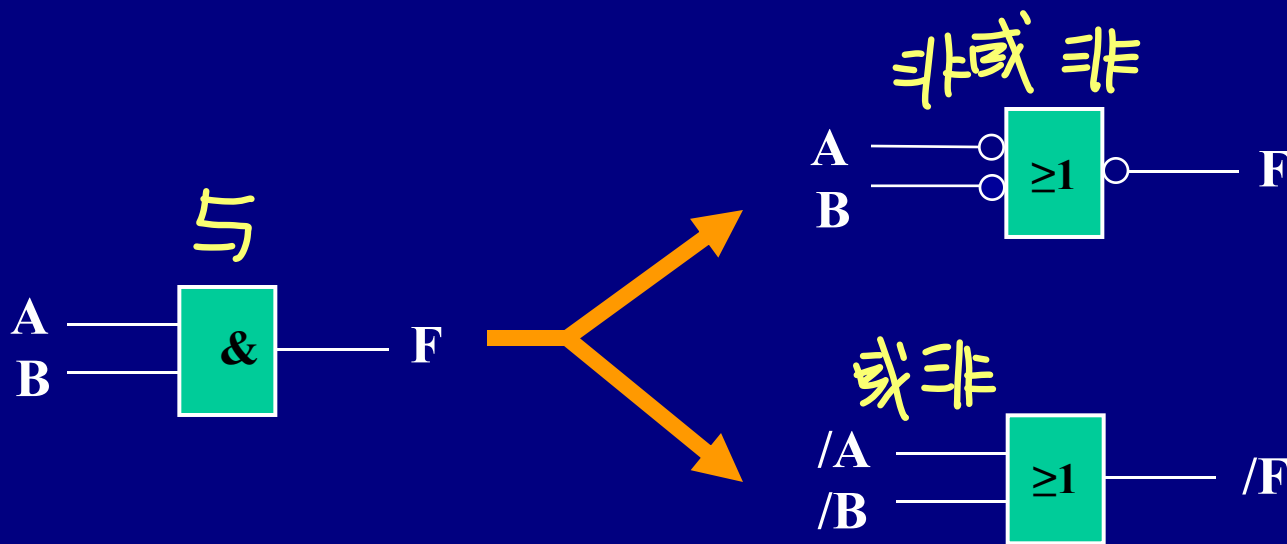
规则3:

单个逻辑非符号在内部连线两端移动时逻辑图的功能不变。



规则4:

若一个门的输入输出端同时加上或删除逻辑非符号，或输入、输出信号有效级同时取反，且门的符号“与”、“或”互变时，则得到的新的逻辑图的功能不变。



变换的最终目标

变换后的结果应满足下列规定

(1) 器件的 输出信号有效级

应与 对应的 输出引端的有效级 一致。

即输出端有逻辑非符号，输出信号为低有效，否则为高有效。

如前面四个变换规则所示：

若与门的输出端无逻辑非符号，则F为高有效；

与门的输出端有逻辑非符号，则/F为低有效。

(2) 当 输入信号有效级

与其 对应的 输入端有效级 一致时，

当该信号有效时，则器件内部逻辑功能有效。

即 输入端有逻辑非符号，输入信号为低有效，

否则 输入端没有逻辑非符号，输入信号为高有效。

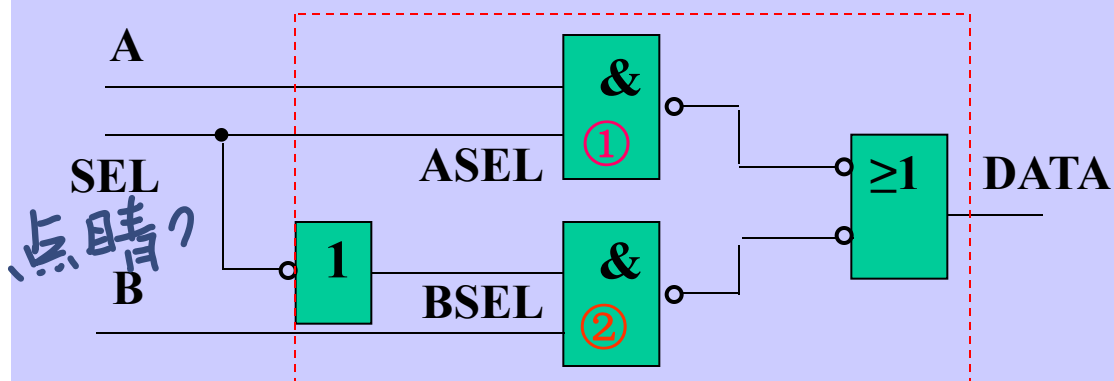
如：下图所示：

选择输入信号SEL连接到与非门①的输入端(无逻辑非符号)，则选择DATA=A时的SEL是高有效；

SEL还连接到非门②的输入端(有逻辑非符号)，则选择DATA=B时的SEL是低有效。

即输出数据信号DATA
如下：

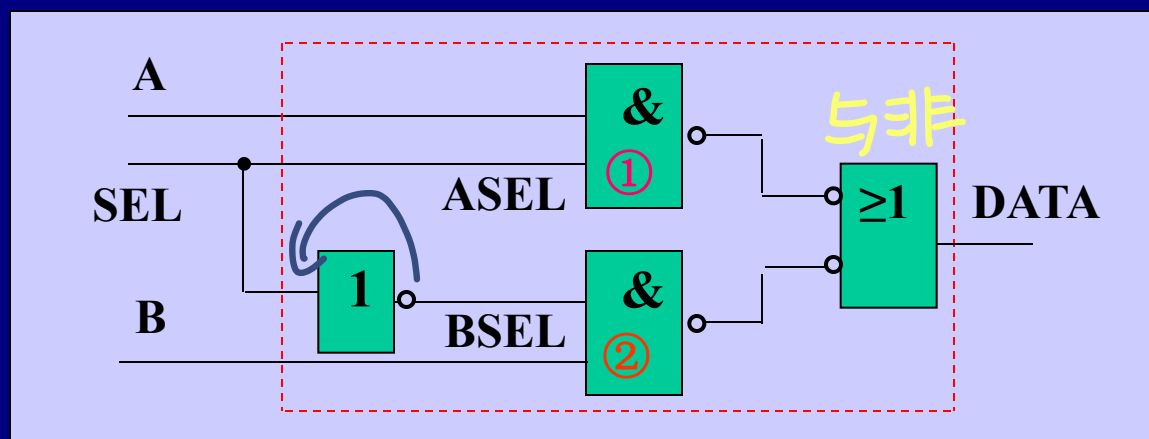
$$DATA = \begin{cases} A & \text{当 } SEL = 1 \\ B & \text{当 } SEL = 0 \end{cases}$$



(3) 若 输入信号有效级 与其 对应的 输入端有效级 不一致时，

则 当该信号无效时，则器件内部逻辑功能才有效。这是应尽量避免出现的情况。

例 下图中选择信号SEL的有效性不明确。

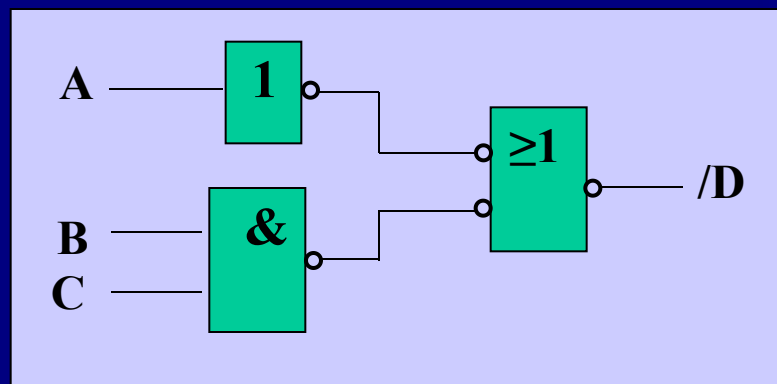
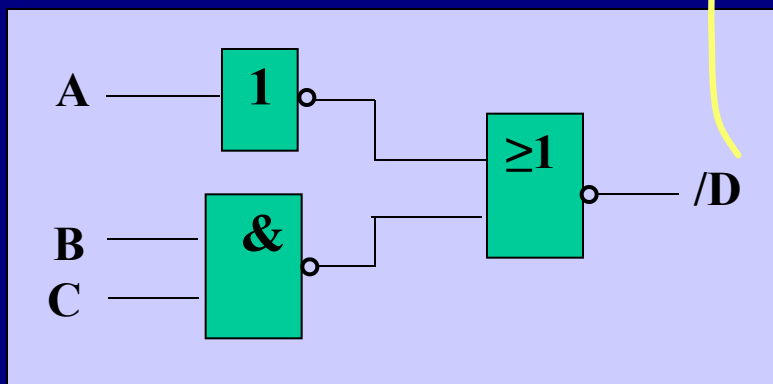


(4) 应用变换规则，可以将一个意义模糊、结构不好的逻辑图变成一个可读性好的逻辑图。

使：高有效输出与高有效输入相连，
低有效输出与低有效输入相连，
这样，可直接从逻辑图中读出逻辑函数，
而不用跟踪求反后的变量。

可能的逻辑不通

例：逻辑不匹配。低有效逻辑匹配。



2.1.6 图面布局及总线

(Drawing Layout and Buses)

在逻辑图及原理图中，规定：

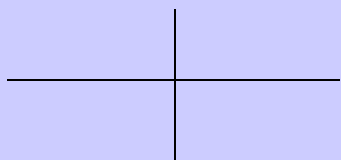
- **信息流**：默认从左至右，或者从上到下，若不能保证则使用箭头提示信息流方向，有单向和双向之分。



- **逻辑器件**：输入端画在左边，输出端画在右边。
- 图中应注明所用集成电路的**型号**、连线的**引端号**、电路在整个原理图中的**编号**以及输入、输出**信号名**等。

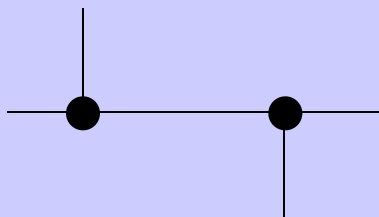
- 需要分页画出的原理图要合理地划分出每页的模块，既要完整又要使页与页之间的连线尽可能地少，并清楚地标注出它们之间的连接关系。
- 信息线的交叉点：手工作图时用圆点表示，CAD作图 时用T型。参见书P89图3.18所示。

手工画

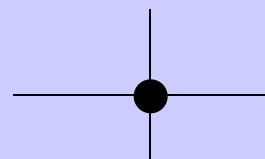


(a) 交叉

机器画



(b) 连接



不允许

(c) 连接

总线的表示法:

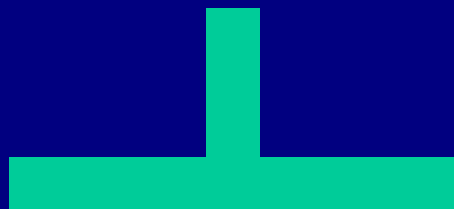
单向总线符号



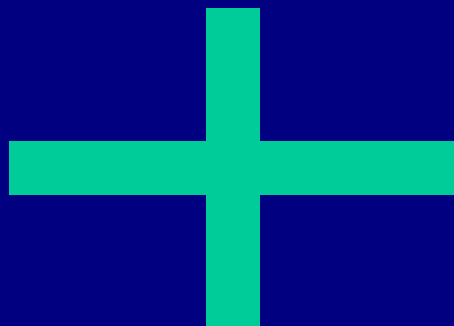
双向总线符号



总线的接点



没有连接的交叉

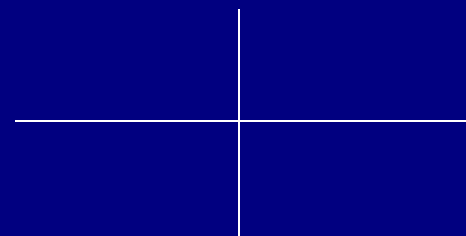
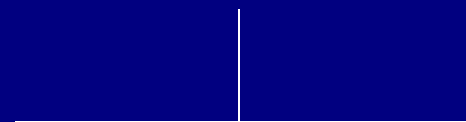


(a) 双线表示总线

2



2



(b) 单线表示总线

2.1.7 时间图 参见书p52,图2.21。

- 总结文档标准的几个方面
 - **结构化思想**对复杂系统进行分析 and 设计
 - 框图
 - 门的符号标准: **注意门的等效符号**
 - 信号的**命名**, **高、低有效级**的表示
 - 引端的有效级: **指的是外部的物理状态和内部的逻辑状态之间的关系**
 - 引端有效级的变换:
 - **目的**是使电路功能一目了然, 使电路好读;
 - **4个变换规则**, 注意电路逻辑功能不变
 - 图面布局及总线
 - 时间图

- 总结文档标准的几个方面
 - **结构化思想**对复杂系统进行分析 and 设计
 - 框图
 - 门的符号标准: **注意门的等效符号**
 - 信号的**命名**, **高、低有效级**的表示
 - 引端的有效级: **指的是外部的物理状态和内部的逻辑状态之间的关系**
 - 引端有效级的变换:
 - **目的**是使电路功能一目了然, 使电路好读;
 - **4个变换规则**, 注意电路逻辑功能不变
 - 图面布局及总线
 - 时间图