

Рябов Никита Иванович
Самбурский Лев Михайлович
Орехов Евгений Вадимович

МЕТОДИЧЕСКОЕ ПОСОБИЕ
К ВЫПОЛНЕНИЮ ДОМАШНЕГО ЗАДАНИЯ
ПО ДИСЦИПЛИНЕ «ЭЛЕКТРОНИКА»

v0.5 от 2019-02-18

АННОТАЦИЯ

В настоящем учебном пособии приведён материал, дополняющий учебник по дисциплине «Электроника» в части раздела «Технология производства интегральных схем». Приведены сведения о конструкции, основных параметрах, топологии элементов ИС, а также фрагментов ИС.

СОДЕРЖАНИЕ

1 Элементы интегральных микросхем	5
1.1 Биполярные транзисторы	5
1.1.1 Конструкции биполярных транзисторов	5
1.1.2 Определение топологических размеров n-p-n транзистора	7
1.2 Диоды	9
1.3 Диффузионные резисторы	9
1.4 МДП транзисторы	15
1.4.1 Общие сведения	15
1.4.2 Классификация	15
1.4.3 Принцип действия МОПТ	17
1.4.4 Схемотехническая spice-модель МОПТ	19
1.4.5 Расчёт топологических размеров МОП-транзистора	21
1.4.6 Задание spice-модели МОП-транзистора	22
2 Логические схемы	23
2.1 Общие сведения	23
2.2 Классификация логических схем	23
2.3 Основные параметры и характеристики логических элементов ..	24
2.3.1 Определение статических характеристик и параметров	24
2.3.2 Определение динамических характеристик и параметров	26
2.4 Логические схемы КМОП	30
2.4.1 Инвертор	31
2.4.2 Схема ИЛИ-НЕ	33
2.4.3 Схема И-НЕ	33
2.4.4 Проектирование КМОП-схем	34
2.5 Элементы эмиттерно – связанной логики (ЭСЛ)	36
2.5.1 Принцип действия переключателя тока	37
2.5.2 Базовый элемент ЭСЛ	38
2.6 Транзисторно – транзисторные логические схемы (ТТЛ)	39
3 Технологии проектирования и изготовления субмикронных интегральных микросхем	43
3.1 Перечень слоёв и правил проектирования	45
3.2 Проектные нормы	54
3.3 Изоляция элементов схемы	62
3.3.1 Изоляция обратно смещёнными p-n-переходами	63
3.3.2 Изоляция методом «изопланар» (LOCOS)	64
3.3.3 Мелко- и глубокощелевая изоляция	65

4 Домашнее задание	68
4.1 Текст задания	68
4.2 Параметры элементов схемы.....	69
4.3 Требования к выполнению	71
4.4 Требования к оформлению отчёта.....	72
4.5 Порядок сдачи работы	73
4.6 Система оценивания.....	74
Рекомендуемая литература.....	76
Приложение А. Пример создания электрической схемы КМОП- инвертора с иерархическими элементами в программе LTSPICE .	78

1 ЭЛЕМЕНТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

1.1 Биполярные транзисторы

1.1.1 Конструкции биполярных транзисторов

Типичные конструкции маломощных планарных биполярных транзисторов (при величине минимального размера $\Delta_{\min}=3\text{мкм}$) показаны на рис.1 и рис.2. Вертикальная структура транзистора (рис. 1) характеризуется более высокими усиленными параметрами и быстродействием по сравнению с горизонтальной. Однако реализовать вертикальную конструкцию р-п-р транзистора совместно с п-р-п транзистором технологически сложно.

Далее мы рассмотрим методику конструирования и расчёта дрейфового планарного п-р-п транзистора. Исходными данными являются параметры отработанного технологического процесса изготовления ИС и электрофизические параметры используемых материалов.

Последующий расчёт схем будет делаться с помощью программы PSpice. В данной программе используются 2 модели биполярного транзистора: модель Гуммеля-Пуна и передаточная модель Эберса-Молла (рис. 3), которой мы и воспользуемся.

Таблица 1. Исходные данные - физические константы, параметры полупроводника и диффузионных слоёв

Параметр	Описание
$x_{jk}=1\dots3$	Глубина залегания р-п перехода база-коллектор, мкм
$x_{jэ}=0.5\dots2.5$	Глубина залегания эмиттерного р-п перехода, мкм
$w_B=x_{jk}-x_{jэ}$	Толщина активной базы, мкм
$w_{эи}=5\dots12$	Толщина эпитаксиального слоя, мкм
$x_{jn}=5\dots15$	Толщина скрытого n^+ слоя, мкм
$\rho_{эи}=0.05\dots0.5$	Удельное объёмное сопротивление коллекторной области, Ом·см
$\rho_{БА}=(1\dots10)\cdot10^3$	Удельное поверхностное сопротивление активной области базы (под эмиттером), Ом/□
$R_{БП}=100\dots300$	Удельное поверхностное сопротивление пассивной области ба-

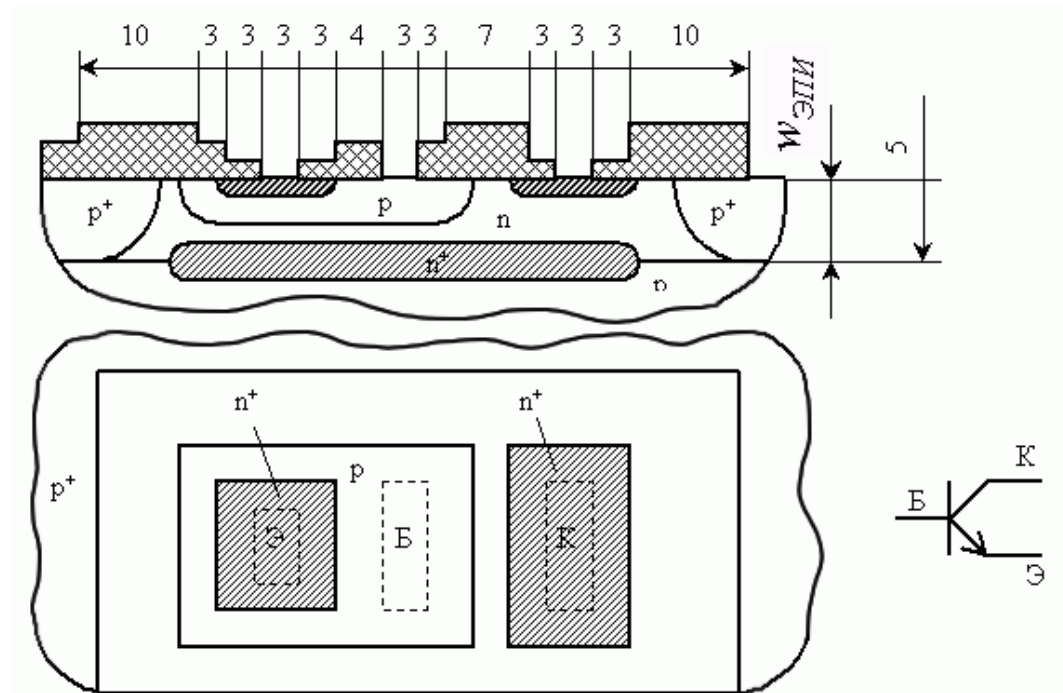


Рис 1. Конструкция и условное обозначение биполярного n-p-n транзистора.
Минимальный топологический размер 3 мкм.

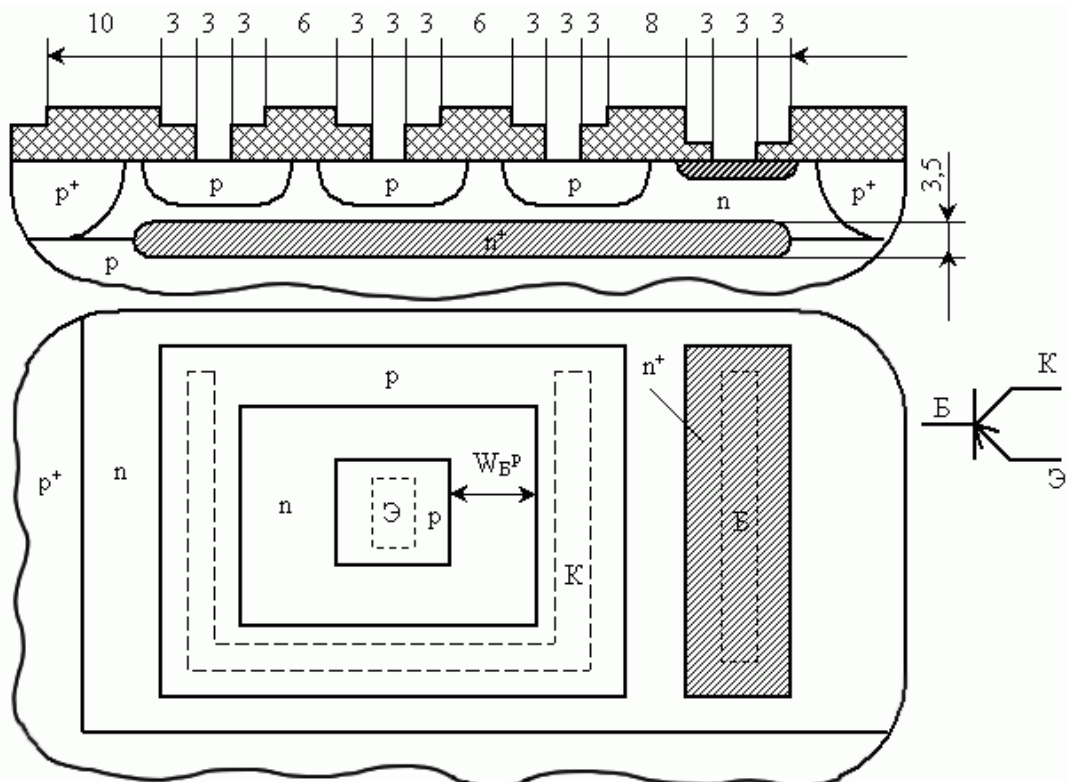


Рис 2. Конструкция и условное обозначение биполярного p-n-p транзистора.
Минимальный топологический размер 3 мкм.

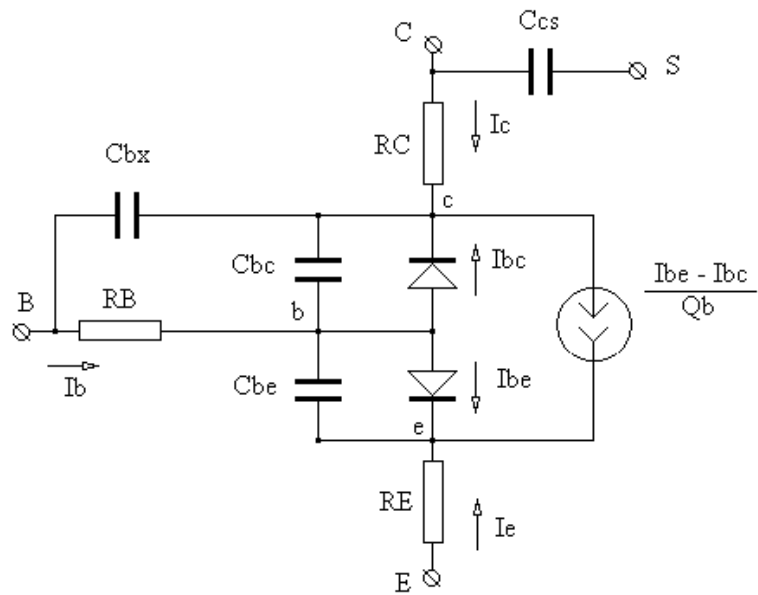


Рис 3. Передаточная модель Эберса-Молла для n-p-n транзистора

1.1.2 Определение топологических размеров n-p-n транзистора

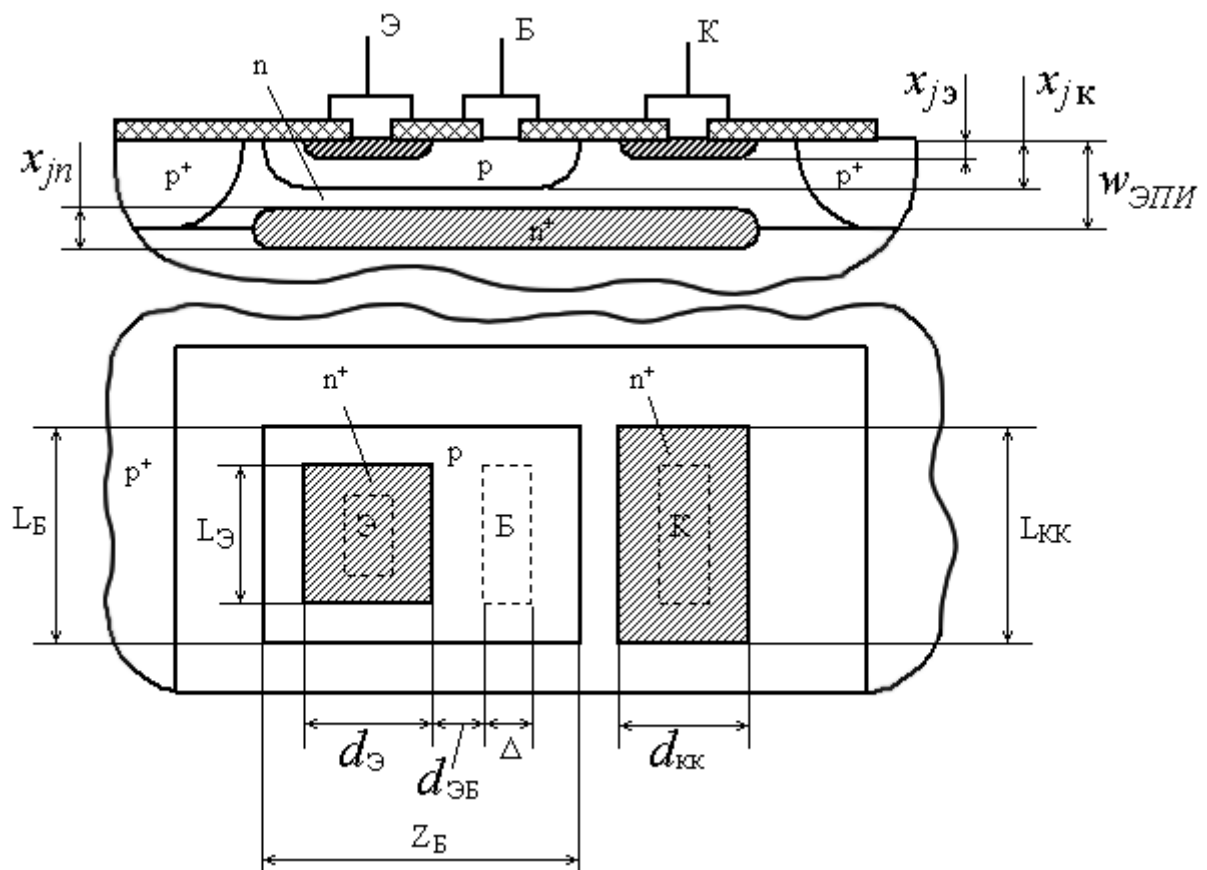
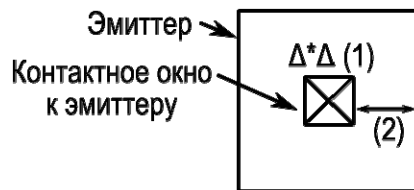


Рис. 4. Параметры топологии и структуры транзистора

В данной работе все транзисторы проектируются исходя из минимального размера Δ , за исключением многоэмиттерных, для которых следует добиваться минимума коэффициента передачи тока базы в инверсном режиме: $B_R < 0.1$.

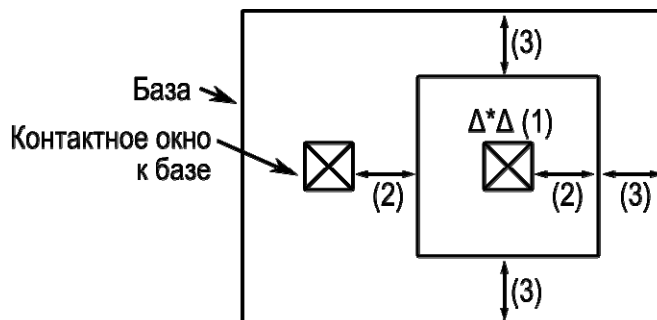
В современных производственных технологиях обычно используются контактные окна (КО) квадратной формы минимального размера. Любая диффузионная область, к которой необходим внешний электрический контакт, должна позволять разместить на своей площади КО с учётом минимального расстояния между границей КО и границей области. Если позволяет площадь, размещается несколько КО.

Определение топологических размеров транзистора минимального размера следует начинать с области *эмиттера*: её размеры должны позволить разместить на его площади контактное окно (КО). При этом используются следующие топологические нормы: минимальный размер контактного окна (1), минимальное расстояние между границей КО и границей области, к которой осуществляется контакт (2). Если обе нормы равны Δ , то общие размеры области эмиттера оказываются $3\Delta * 3\Delta$.



Для определения размеров области *базы*, окружающей эмиттер, используются следующие топологические правила: минимальный размер КО (1), минимальное расстояние между границей КО и границей области, к которой осуществляется контакт (2), минимальное расстояние между границами двух областей разного типа (3) (в данном случае, эмиттера и базы).

Аналогичные правила применяются к области коллектора.



1.2 Диоды

В качестве диодов в ПИМС используют транзисторные p-n-p структуры в диодном включении. В быстродействующих схемах в качестве диода используют эмиттерный p-n – переход, при этом коллекторный переход закорочен. При необходимости применения диода с более высоким рабочим напряжением (до 60 В) используют коллекторный p-n – переход. Эмиттерную область в такой структуре обычно не формируют, что позволяет существенно уменьшить размеры диода.

На характеристики диода в конкретной схеме существенное влияние могут оказывать паразитные элементы: p-n-p транзистор, ёмкость диода C_d и ёмкость изоляции C_i . В следующей таблице приведены типовые параметры наиболее часто применяемых диодов при $\rho_k = 0.5 \text{ Ом}\cdot\text{см}$, $\rho_{БП} = 200 \text{ Ом}/\square$, $\rho_э = 2.2 \text{ Ом}/\square$ (поверхностное сопротивление эмиттерной области), $S_э = 300 \text{ мкм}^2$, $S_Б = 2000 \text{ мкм}^2$.

Параметр	Эмиттерный переход	Коллекторный переход
Напряжение пробоя $U_{ДМАХ}$, В	7	55
Обратный ток $I_{ДУ}$, нА	1.7	6.7
Время выключения $t_{ВЫКЛ}$, нс	9	55
Ёмкость диода C_d , пФ (при $U_{обр} = 5 \text{ В}$)	0.17	0.23
Ёмкость изоляции C_i , пФ (при $U_{обр} = 5 \text{ В}$)	0.97	0.97

При расчёте диода используются те же исходные данные, что для биполярного транзистора. Топология в данном задании синтезируется исходя из заданного минимального размера Δ .

Примечание. Поскольку в ПИМС в качестве диодов используются транзисторы в диодном включении (см. выше), то для этого можно использовать один из спроектированных ранее транзисторов, при расчёте схемы с помощью SPICE кодируется такое включение транзистора.

1.3 Диффузионные резисторы

Диффузионные резисторы – формируются в полупроводниковой подложке с помощью методов диффузии или ионной имплантации (см. рис. 8).

Чтобы использовать диффузионную область в качестве резистора, необходимо сместить в обратном направлении отделяющий её p-n переход. Для этого подложку (n-тип) надо подключить к самому высокому потенциалу в схеме, т.е. к по-

ложительному источнику питания $E+$. В данной конструкции всегда существует паразитный ток утечки.

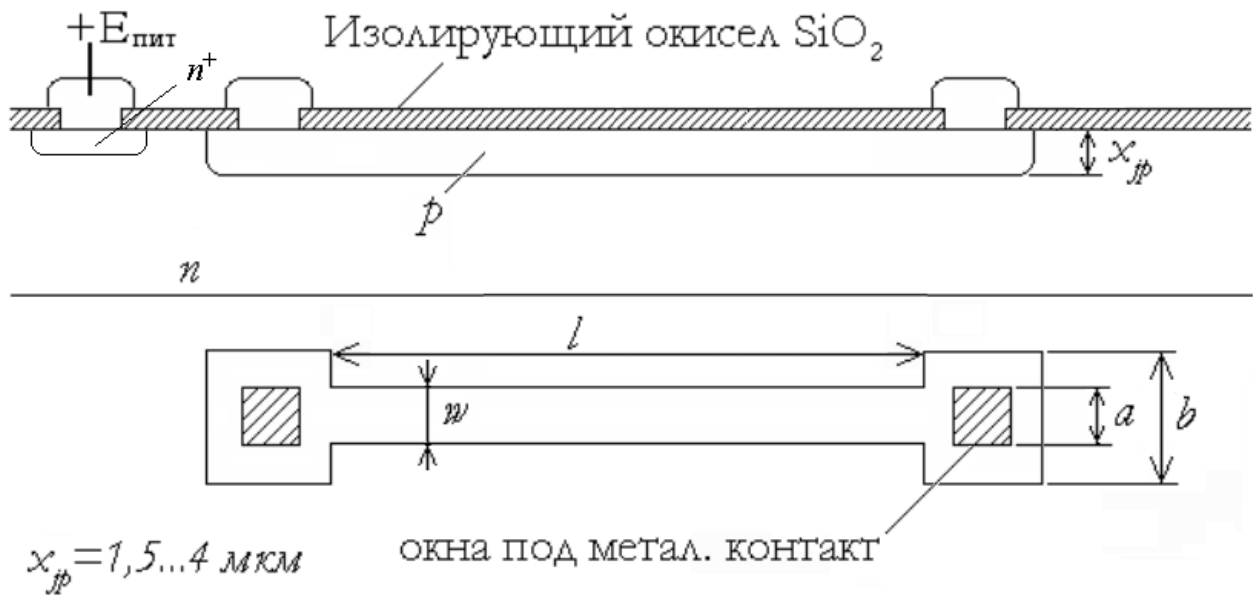


Рис. 8. Диффузионный резистор

Вначале рассмотрим расчёт сопротивления тела резистора; оно вычисляется с использованием понятия поверхностного сопротивления. Для этого рассмотрим сопротивление фрагмента вещества с заданными длиной/шириной, толщиной, удельным сопротивлением (рис. 6).

Сопротивление двух квадратов одинаковы, т.е. квадрат с любой стороной “ a ” имеет одно и то же сопротивление. Такое сопротивление называется поверхностным (R_s), оно зависит только от толщины и материала плёнки:

$$R_s = \rho \cdot \frac{a}{ad} = \frac{\rho}{d}$$

Размерность поверхностного сопротивления: $\text{Ом} \cdot \text{см} \cdot (\text{см}/\text{см}^2) = \text{Ом}$, т.е. просто размерность сопротивления, но, чтобы подчеркнуть, что это – сопротивление плёнки квадратной формы, используется название размерности «ом на квадрат», обозначается: $\text{Ом}/\square$.

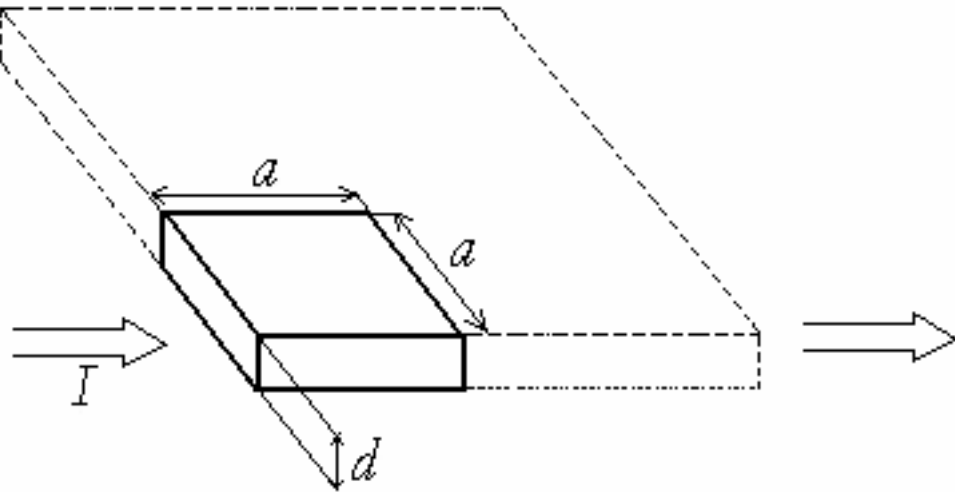


Рис. 6. Тонкая резистивная плёнка в форме квадрата

Сопротивление тела линейного резистора:

$$R = \rho \cdot \frac{l}{wd} = R_s \cdot \frac{l}{w}$$

определяется количеством квадратов со стороной w , которые уместятся на длине l . Для изменения толщины d надо менять технологию. В интегральной технологии d по всей площади одинакова, следовательно, можно менять только длину и ширину.

Полное сопротивление резистора также включает в себя сопротивление контактных площадок:

$$R = R_s \frac{l_{\Sigma}}{w} + R_s (K_{\Pi 1} + K_{\Pi 2})$$

где $R_s(K_{\Pi 1} + K_{\Pi 2})$ - сопротивление контактных площадок. $K_{\Pi} = 0,5 \dots 1 = f(\frac{a}{b})$ - даны в справочниках. Можно показать, что $R' = 0,55 \cdot R_s$.

При необходимости реализовать сопротивление большего номинала делается контур с изгибами (типа «меандр», рис. 7).

$$R = R_s \frac{l_{\Sigma}}{w} + N_{изл} R' + R_s (K_{\Pi 1} + K_{\Pi 2})$$

где l_{Σ} - длина прямоугольных участков. Резистор, показанный на рис. 7, имеет 6 изломов ($N_{изл}$).

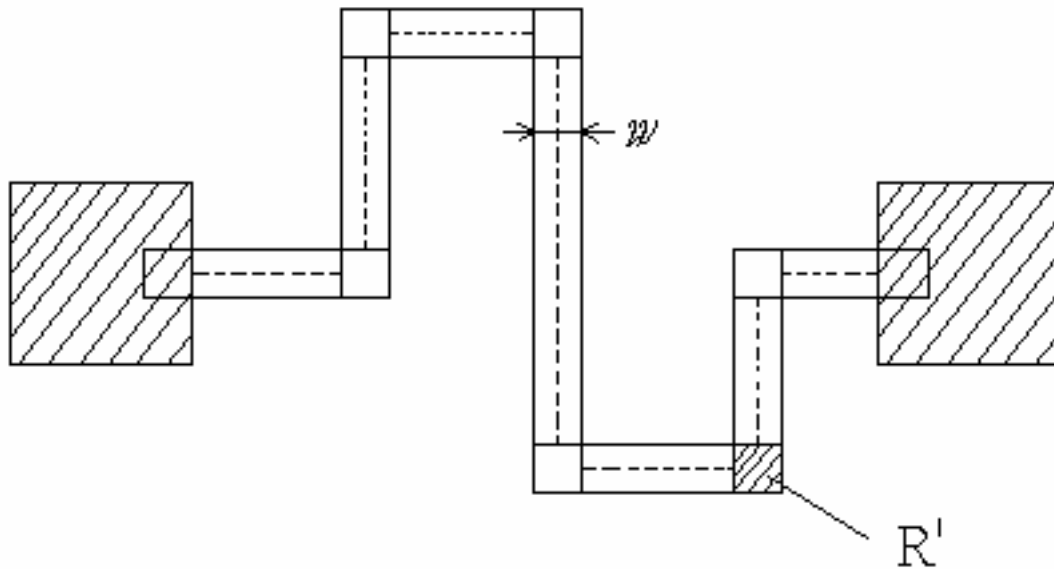


Рис. 7. Резистор сложной конфигурации

При использовании полупроводниковой технологии нельзя реализовать резисторы произвольного номинала; существуют ограничения сверху и снизу, R_{min} и R_{max} .

Обычно R_S p-слоя меняется от 100...300 Ом/□. Как правило, минимальная ширина резистора w_{min} не менее 2...3 минимальных размеров. Уменьшить w_{min} невозможно из-за несовершенства технологического процесса. Оценим на примере:

$$l_{min} = w_{min} = 10 \text{ мкм.}$$

Размер кристалла микросхемы (чипа) $\sim 2 \times 2 \text{ мм} \Rightarrow l_{max} = 1 \text{ мм}$ (меандр).

$$\text{Для минимального: } R_{min} = R_{Smin} \frac{l_{min}}{w_{min}}, \quad R_{min} = 100 \text{ Ом/□} \cdot \frac{10 \text{ мкм}}{10 \text{ мкм}} = 100 \text{ Ом. } (R_{min} = 50 \dots 100 \text{ Ом}).$$

$$R_{max} = R_{Smax} \frac{l_{max}}{w_{min}} = 300 \cdot \frac{10^3}{10} = 30 \text{ кОм. } (R_{max} = 30 \dots 50 \text{ кОм}).$$

На практике часто надо реализовать сопротивление большего номинала.

1. Сжатый резистор (pinch, пинч-резистор)

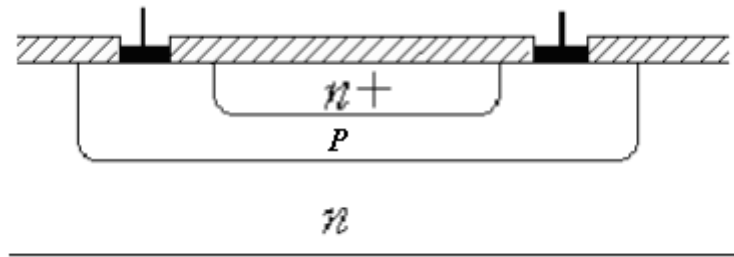


Рис. 9. Сжатый резистор

Поверхностное сопротивление сжатого р слоя, между слоями n и n⁺: $R_s = 1...3$ кОм/□.

2. Используется ионная имплантация с тонкими слоями

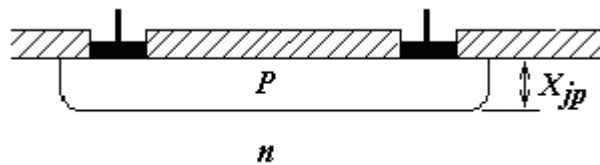


Рис. 10. Имплантация с тонкими слоями

Тонкий р слой ($x_{jp} \sim 0,2...0,8$ мкм) имеет большое поверхностное сопротивление $R_s = 10^4$ Ом/□.

Для малых сопротивлений (1...50 Ом) используются высоколегированные области (эмиттерный n⁺ - слой):

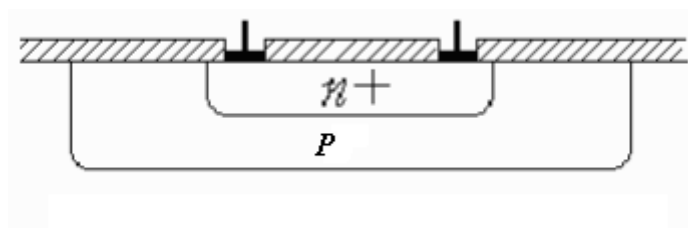


Рис. 11. Высоколегированная (эмиттерная) область

В схемах малой степени интеграции используется однослойная металлизация – слой алюминия на поверхности окисла, который формирует контакты к элементам ИС и межсоединения. В этом случае возможны ситуации, когда не удаётся избежать пересечения проводников. В этом случае используется так называемый «подныр»: один проводник остаётся алюминиевой шиной, а второй проходит под ним по низкоомному резистору.

Эквивалентная электрическая схема диффузионного резистора, ограниченно-го обратнo смещённым р-п переходом показана на рис. 12.

Ёмкости рассчитываются по формуле:

$$C_{p-n} = S_{\Sigma} \sqrt{\frac{q \varepsilon_0 \varepsilon_{Si} N}{2V_B}}, \quad V_B = \frac{kT}{q} \ln \left(\frac{N_D N_A}{n_i^2} \right) \approx 0.8 \dots 0.9 B; \quad N = \min(N_D(x_j), N_A(x_j));$$

$$S_{\Sigma} = wl' + \frac{2\pi x_j}{4} (l' + w) + \frac{4\pi x_j^2}{8}.$$

C_{p-n} – ёмкость р-п перехода при нулевом смещении, S_{Σ} - общая площадь р-п перехода, первое слагаемое – плоское дно, второе слагаемое – цилиндрические боковые части, третье слагаемое – сферические угловые части.

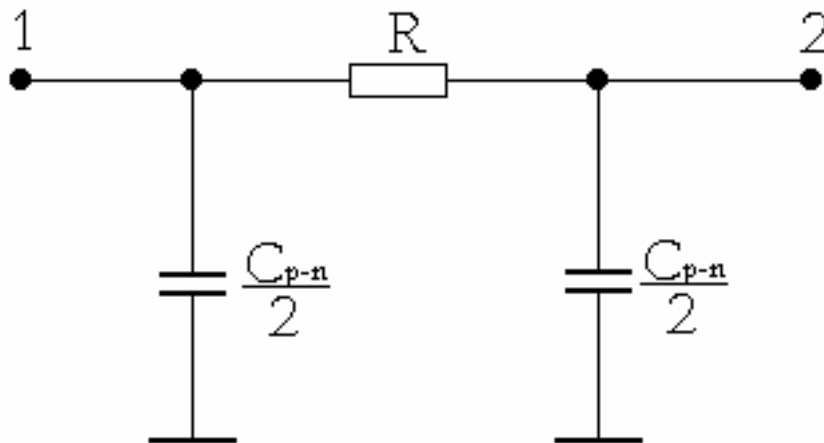


Рис. 12. Эквивалентная схема резистора

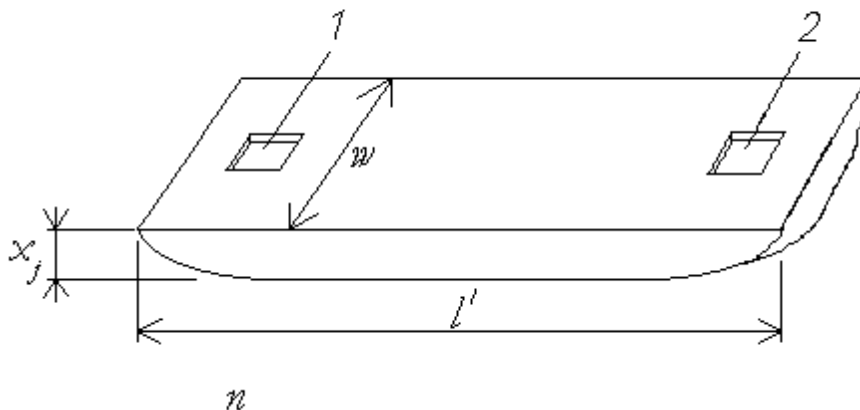


Рис. 13. Размеры резистора, 1,2 – контактные окна.

1.4 МДП транзисторы

1.4.1 Общие сведения

МДП-транзистор – одна из разновидностей униполярного (полевого) транзистора. Суть любого полевого транзистора состоит в следующем: в его основе лежит проводящий канал с двумя контактами, называемыми *сток* и *исток*; концентрация же носителей заряда в канале (а значит и электрическая проводимость канала) управляется *электрическим полем*, возникающим при подаче напряжения на третий вывод, называемый *затвором*. Отсюда и название всех *полевых* транзисторов [3].

Особенностью МДП-транзисторов является то, что в них затвор отделён от проводящего канала слоем диэлектрика, так что управляющая структура такого транзистора составлена из слоёв Металла – Диэлектрика – Полупроводника (МДП). *МДП-транзистор*, таким образом, – это полевой транзистор с изолированным затвором – он представляет собой полупроводниковый прибор, работа которого основана на использовании эффекта поля в структуре металл–диэлектрик–полупроводник. В том распространённом частном случае, когда в качестве диэлектрика применяется оксид кремния SiO_2 , используется название *МОП-транзистор* (МОПТ, Metal–Oxide–Semiconductor Field Effect Transistor – MOSFET). В современных транзисторах вместо SiO_2 нередко используются другие материалы с большей диэлектрической проницаемостью (на основе гафния, циркония, тантала и др.), а в качестве материала затвора поликремний, однако закрепившееся название «МОП-транзистор» распространяется и на эти структуры [22].

1.4.2 Классификация

Первый признак классификации МОП-транзисторов – тип заряда в канале, или тип проводимости канала. Рабочими носителями заряда в канале транзистора могут являться электроны – такая разновидность называется *n-канальный МОПТ*, области стока, истока и канала в нём имеют тип проводимости n^+ , а подложка p^- . В случае *p-канального МОПТ* рабочие носители заряда дырки, области стока, истока и канала имеют тип проводимости p^+ , а подложка n^- . При одинаковой конструкции

n- и p-канальный транзисторы имеют противоположные по знаку управляющие напряжения и выходные токи.

Второй признак классификации – наличие/отсутствие структурно выраженного канала при нулевом напряжении затвора. При производстве транзистора в области между стоком и истоком создаётся мелкая примесная область, насыщенная основными или же неосновными носителями заряда; это позволяет определить для транзистора напряжение, при котором он открывается (что означает, образуется проводящий канал). В современных схемах высокого уровня сложности нередко используются МОПТ, открытые в разной степени (т. е. в их приповерхностные области внедрена примесь различного типа проводимости и различной концентрации); это позволяет более тонко регулировать состояние схемы и снижать энергопотребление. Два крайних типа структуры: 1) структура МОПТ, которая достаточно сильно открыта в отсутствие напряжения затвора (рис. 1,а); 2) структура МОПТ, которая закрыта в отсутствие напряжения затвора (рис. 1,б) – называются, соответственно, МОПТ со встроенным (или собственным) каналом и МОПТ с наведённым (или индуцированным) каналом; схемы их управления различаются.

Обозначения различных типов МОПТ на электрических схемах приведены на рис. 2.

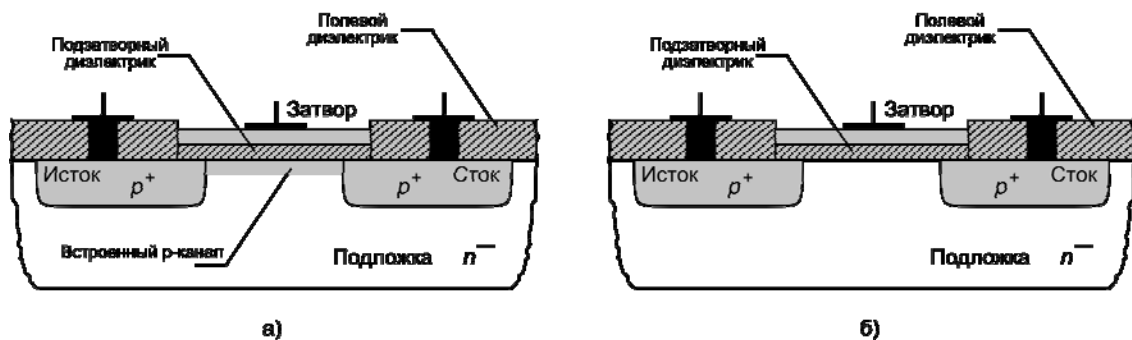


Рис. 1. Структуры р-канальных МОП-транзисторов со встроенным (а) и индуцированным (б) каналами

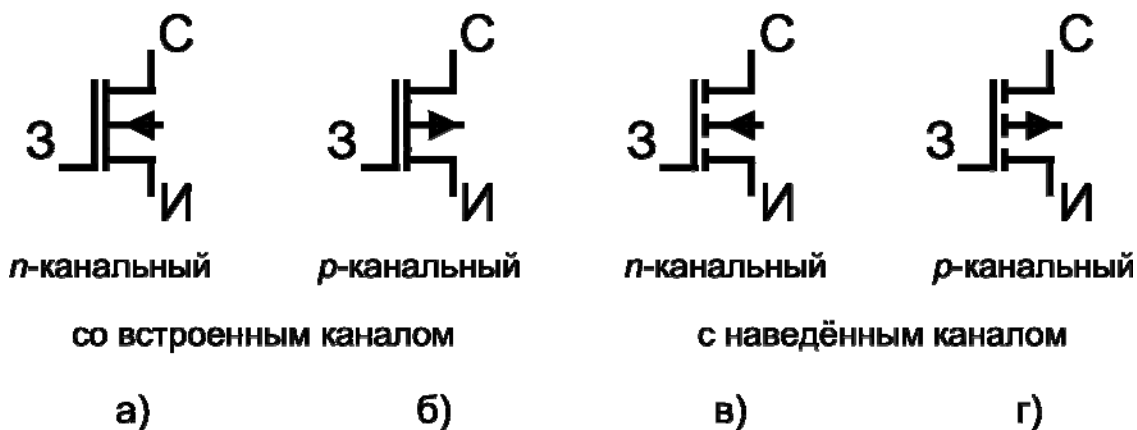


Рис. 2. Обозначения МОПТ на электрических схемах

1.4.3 Принцип действия МОПТ

Принцип действия МОПТ с наведённым каналом [6]. Работа МОПТ определяется в основном двумя управляющими напряжениями: затвора и стока, которые обычно отсчитываются относительно потенциала истока: $V_{зи}$, $V_{си}$.

При изменении напряжения затвора $V_{зи}$ формируется (или наоборот перекрывается) проводящий канал. При повышении $V_{зи}$ сначала образуется обеднённый слой (объёмный заряд ионов: акцепторов в случае n-МОПТ и доноров в случае p-МОПТ), а затем – при напряжении затвора $V_{зи} = V_{пор}$, называемом пороговым, – инверсионный слой электронов, который как раз и является проводящим каналом. Свободные носители заряда, составляющие канал, притягиваются электрическим полем затвора частично из области подложки, но большей частью из областей стока и истока. На сток-затворной (ещё говорят: передаточной, или проходной¹) вольт-амперной характеристике $I_c(V_{зи})$ значение $V_{зи} = V_{пор}$ разделяет два участка (см. рис. 3,а). Согласно физическому определению, пороговым напряжением затвора называется такое, при котором концентрация свободных электронов в тонком приповерхностном слое становится равной исходной концентрации свободных дырок в объёме подложки. При $V_{зи} > V_{пор}$ транзистор условно считается открытым.

При изменении напряжения стока меняется форма канала. При $V_{си} > 0$ потенциал в канале является неравномерным: вблизи истока ($x = 0$, если отсчитывать от начала канала) он определяется практически только полем затвора и равен $V_{зи} - V_{пор}$, а вблизи стока ($x = L$, где L – длина затвора) совместным действием полей за-

¹ Иногда такую характеристику неверно называют «входной»

творя и стока и равен $V_{зи} - V_{пор} - V_{си}$. Соответственно, с увеличением $V_{си}$ толщина канала со стороны стока уменьшается. При достижении напряжением стока некоторого критического значения, называемого напряжением насыщения: $V_{си,нас} = V_{зи} - V_{пор}$, сечение канала вблизи стока в точке $x = L$ уменьшается до 0 (это называется отсечкой канала), так как напряжение между затвором и поверхностью полупроводника в этой точке становится равным пороговому напряжению.

При дальнейшем увеличении напряжения стока $V_{си} > V_{си,нас}$ фактическая («эффективная») длина канала $L_{эфф} = L - \Delta L$ становится меньше L^2 , а оставшееся до области стока расстояние ΔL занимает расширяющаяся обеднённая область (ОПЗ) обратносмещённого стокового р-п-перехода. Проводимость транзистора обеспечивается следующим образом: носители заряда, прошедшие из области истока к концу канала, подхватываются сильным электрическим полем стокового р-п-перехода и дрейфуют к области стока. В итоге ток стока слабо увеличивается, график его зависимости от напряжения стока имеет небольшой наклон. Геометрическое место значений $V_{си,нас} = V_{зи} - V_{пор}$ разделяет триодный (крутой) и пентодный (пологий) участки на выходных характеристиках (см. рис. 3,б).

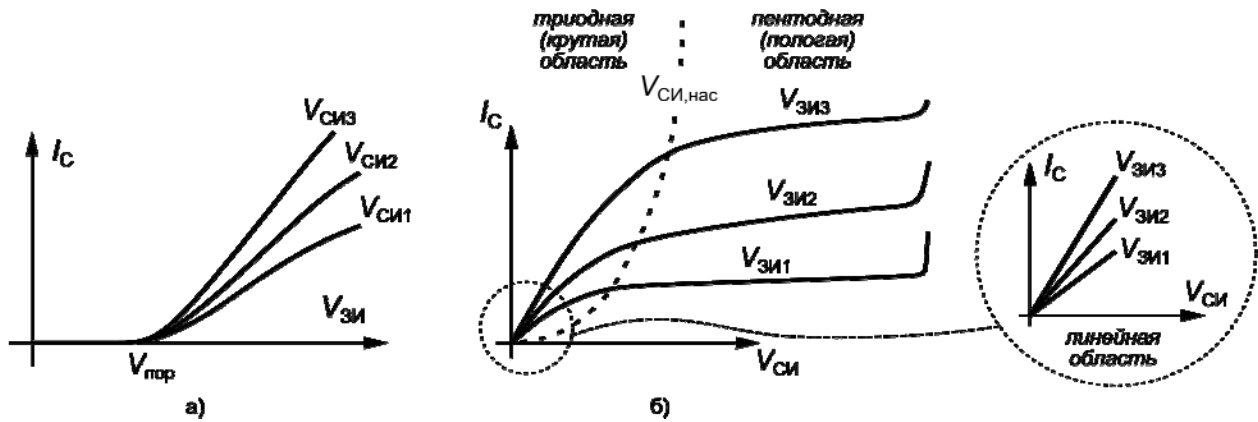


Рис. 3. Вид сток-затворных $I_C(V_{зи})$ (а) и выходных $I_C(V_{си})$ (б) вольт-амперных характеристик МОПТ

Принцип действия МОПТ со встроенным каналом отличается тем, что пороговое напряжение у такого прибора (называемое здесь напряжением отсечки) имеет отрицательное значение, что влияет на вид его вольт-амперных характеристик.

² Этот эффект называется эффектом модуляции длины канала (channel length modulation). По аналогии с эффектом модуляции толщины базы (эффекту Эрли) в биполярных транзисторах, данный эффект приводит к насыщению выходной проводимости МДП-транзистора.

1.4.4 Схемотехническая spice-модель МОПТ

Эквивалентная схема модели показана на 4.

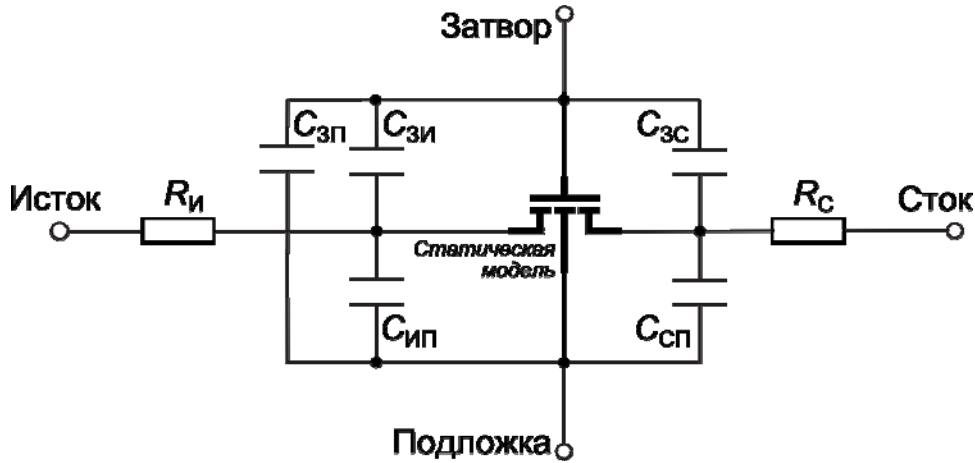


Рис. 4. Эквивалентная схема модели МОПТ

В крутой области ($V_{зи} \geq V_{пор}$, $V_{си} < V_{си,нас}$):

$$I_C = kp \frac{W}{L} \left[(V_{зи} - V_{пор}) V_{си} - \frac{1}{2} V_{си}^2 \right], \quad (1)$$

где $kp \cdot W/L$ – удельная крутизна, а kp – параметр крутизны:

$$kp = \mu C_{ox} = \frac{\epsilon_0 \epsilon_{ox} \mu}{t_{ox}}, \quad (2)$$

L, W – длина и ширина канала, t_{ox} , $\epsilon_0 \epsilon_{ox}$ – толщина и абсолютная диэлектрическая проницаемость подзатворного диэлектрика, μ – подвижность носителей заряда, $C_{ox} = \epsilon_{ox} \epsilon_0 / t_{ox}$ – удельная ёмкость подзатворного оксида, Φ/m^2 .

В области малых напряжений (линейной области) ($V_{си} \ll V_{си,нас}$, т. е. $V_{си}^2/2 \ll (V_{зи} - V_{пор}) V_{си}$) выражение (1) упрощается:

$$I_C = kp \frac{W}{L} (V_{зи} - V_{пор}) V_{си}, \quad (3)$$

Из выражения (1) для заданного напряжения затвора $V_{зи}$ легко приближённо найти напряжение насыщения, полагая $dI_C / V_{си} = 0$:

$$V_{си,нас} = V_{зи} - V_{пор}. \quad (4)$$

В области насыщения ($V_{зи} \geq V_{пор}$, $V_{си} \geq V_{си,нас}$):

Значение тока $I_C(V_{си,нас})$ сохраняется при всех значениях $V_{си} > V_{си,нас}$. Поэтому подстановка (4) в (1) даёт вольт-амперную характеристику в области насыщения:

$$I_C = \frac{kp}{2} \frac{W}{L} (V_{зи} - V_{пор})^2. \quad (5)$$

Для учёта эффекта модуляции длины канала (приводящего к наклону выходных ВАХ в пологой области) в модель вводится дополнительный множитель, зависящий от параметра λ :

$$I_C = \frac{kp}{2} \cdot \frac{W}{L} (V_{зи} - V_{пор})^2 (1 + \lambda \cdot V_{си}) \quad (6)$$

В области достаточно больших значений напряжения $V_{си}$ наступают предпробойные явления, а затем и пробой, сопровождающийся резким возрастанием тока I_C и столь же резким уменьшением внутреннего сопротивления R_i .

Ёмкости в модели МОПТ. Для анализа переходных процессов в МДП-транзисторе необходимо, прежде всего, рассмотреть паразитные ёмкости его структуры. Выделяют 3 основных типа (см. рис. 5):

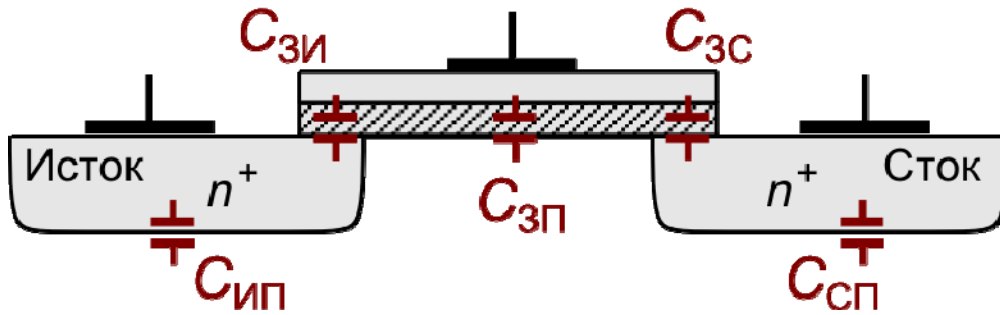


Рис. 5. Ёмкости в структуре МОПТ

- 1) $C_{зс}$ и $C_{зи}$ – ёмкости перекрытия затвором областей стока и истока через подзатворный оксид. Каждая из этих ёмкостей существенно зависит от режима работы МДП-транзистора.

При нулевых напряжениях рассчитываются удельные ёмкости перекрытия затвор-исток и затвор-сток (на единицу ширины канала) – параметры CGDO и CGSO spice-модели, Ф/м:

$$C_{зс0} = C_{зи0} = C_{OX} \cdot d_{пер};$$

- 2) $C_{сп}$ и $C_{ип}$ – барьерные ёмкости стокового и истокового p-n-переходов (такие же, как в БТ). Каждая из этих ёмкостей складывается из ёмкостей донной и боковой частей примесной области стока/истока. В случае симметричного прибора:

$$C_{сп} = C_{ип} = S_C C_j + P_C C_{jsw}, \quad (7)$$

где C_j – удельная ёмкость донной части, измеряется в фарадах на единицу площади донной части, зависит от напряжения р-п-перехода,

C_{jsw} – удельная ёмкость боковой части, измеряется в фарадах на единицу периметра боковой части,

$S_C = W \cdot L_C$ – площадь области стока/истока,

$P_C = 2(W + L_C)$ – периметр области стока/истока,

W и L_C – ширина и длина области стока/истока.

3) $C_{3п}$ – последовательное соединение ёмкости перекрытия через подзатворный оксид и ёмкости канала:

$$C_{3п} = \frac{C_1 C_2}{C_1 + C_2}, \quad (8)$$

где $C_1 = W L C_{ox}$ – ёмкость подзатворного слоя оксида,

$C_2 = W L \sqrt{(q \epsilon_{Si} \epsilon_0 N_{II}) / (4 \phi_F)}$ – ёмкость обеднённого слоя,

$C_{ox} = \epsilon_0 \epsilon_{ox} / l_{ox}$ – удельная ёмкость подзатворного оксида (на единицу площади затвора), Ф/м².

Данной ёмкостью можно пренебречь в триодной и пентодной областях работы МДП-транзистора, так как в этих условиях инверсионный слой действует как защитный экран между затвором и подложкой.

1.4.5 Расчёт топологических размеров МОП-транзистора

Исходные данные для расчёта МОП-транзистора:

Параметр	Описание
L, W	Длина и ширина затвора
t_{ox}	Толщина подзатворного оксида
x_j	Глубина залегания р-п перехода исток-подложка и сток-подложка
d_{nep}	Длина области перекрытия затвор-исток и затвор-сток, мкм

Для МОП-транзисторов из состава КМОП-схемы отдельное топологическое правило ограничивает снизу длину и ширину рабочей области затвора (1). Другие требования к размерам затвора определяются используемой производственной технологией. Длину и ширину затвора для транзисторов в КМОП-схеме следует выбирать исходя из условий комплементарности (см. п. 2.4.4).

Для определения размеров областей стока и истока используются следующие топологические правила (см. рис. 21): 1) минимальный размер контактного окна (КО), 2) минимальное расстояние между КО и границей области, к которой введён

контакт, 3) минимальное перекрытие КО металлом, 4) минимальное расстояние между двумя фигурами с слое металла (для отделения затвора и соединительной линии к стоку/истоку).

Площади стока (AD) и истока (AS) определяются как произведение длины области стока/стока на ширину канала W . Периметры стока (PD) и истока (PS) определяются как удвоенная сумма длины области стока/стока и ширины канала W .

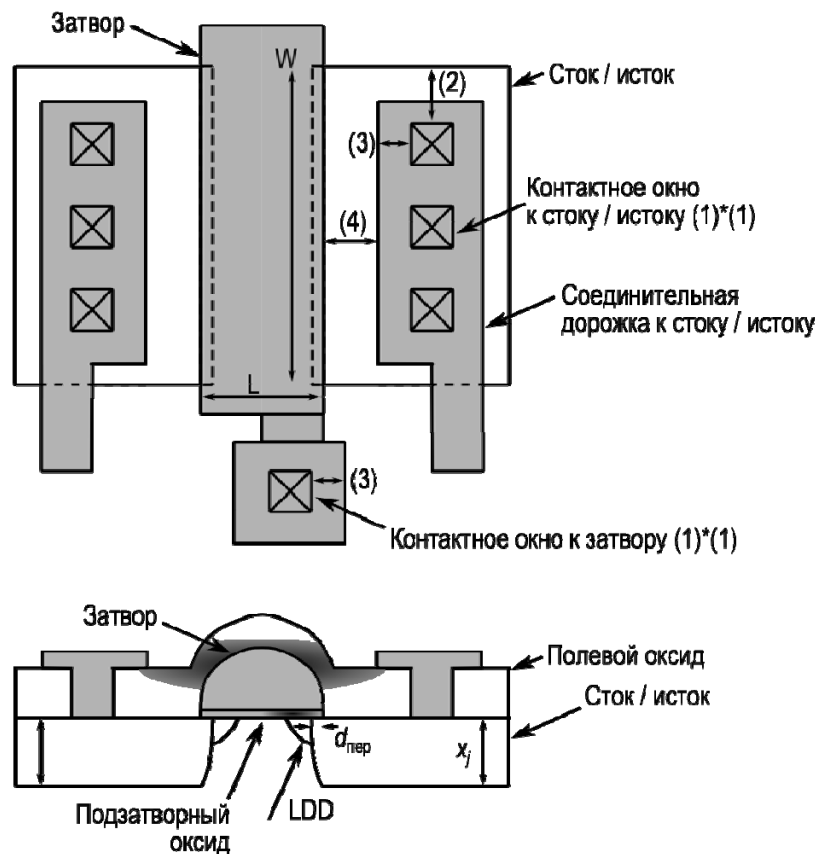


Рис. 21. Топология (вверху) и разрез структуры (внизу) МОП-транзистора

1.4.6 Задание spice-модели МОП-транзистора

В программе LTSpice имеется два базовых компонента МОПТ: `nmos/pmos` и `nmos4/pmos4`, отличающиеся количеством контактов: компоненты `nmos/pmos` имеют только 3 вывода (сток, затвор, исток), компоненты `nmos4/pmos4` имеют 4 вывода (+ подложка). Дополнительной особенностью компонентов `nmos4/pmos4` является возможность задать геометрические размеры транзистора: длину и ширину затвора и стока/истока: L , W , AS , SD , PS , PD . Для целей ДЗ используются именно они. При подключении контакта подложки для компонента `nmos4/pmos4` следует убедиться, что он действительно подключён.

2 ЛОГИЧЕСКИЕ СХЕМЫ

2.1 Общие сведения

Логические схемы на входе и выходе должны иметь два устойчивых состояния: логического нуля и логической единицы.

Примеры логических функций, выполняемых схемами:

И-НЕ

X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0

ИЛИ-НЕ

X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0

2.2 Классификация логических схем

По способу кодирования информации:

1. **Потенциальный:** нулю и единице соответствуют 2 крайних значения напряжения, как правило: низкое – нулю, высокое – единице.
2. **Импульсный:** – наличие импульса – 1, отсутствие – 0.
3. **Импульсно – потенциальный:** – смешанные варианты кодирования.

В зависимости от наличия внутренних состояний:

1. **Комбинационные** – значения на выходе зависят только от значения на входе.
2. **Последовательностные (многотактные)** - схемы с памятью: значение на выходе зависит не только от значений на входе, но и от предыдущего состояния.

Схемы также делятся на синхронные и асинхронные:

1. **Синхронные** – переключение происходит только после воздействия тактовых или синхронизирующих сигналов.
2. **Асинхронные** – тактовые сигналы отсутствуют.

Наиболее распространены – потенциальные синхронные структуры, но рассматриваемые нами логические ячейки – потенциальные асинхронные.

2.3 Основные параметры и характеристики логических элементов

Рассмотрим потенциальные элементы: логическое состояние определяется значениями электрического потенциала на входе и выходе.

Основные параметры логических элементов:

Статические параметры: потенциалы логического 0 и логической 1: U^0 , U^1 ; порог переключения $V_{П}$; число входов (коэффициент объединения по входам) M ; входные токи $I_{вх}^0$, при $U_{вх}=U^0$, $I_{вх}^1$ при $U_{вх}=U^1$; коэффициент разветвления по выходу N (нагрузочная способность); помехоустойчивость к помехам - положительным и отрицательным: U_n^+ , U_n^- ; статическая потребляемая мощность $P_{ст}$, ток питания $I_{пит}$, **динамические параметры:** задержки переключения: t_{01} из состояния 0 на выходе в состояние 1, t_{10} из 1 на выходе в 0; фронты переключения $t_{ф}^{01}$ и $t_{ф}^{10}$, динамическая потребляемая мощность $P_{дин}$.

2.3.1 Определение статических характеристик и параметров

Передающая характеристика. Основная статическая характеристика логических элементов – передающая: $U_{вых} = f(U_{вх})$ – зависимость потенциала на выходе от потенциалов на одном из входов, при постоянном значении на других входах. К входам и выходам логических схем подключаются такие же схемы. Передаточные характеристики бывают инвертирующие и неинвертирующие (см. рис. 26).

На рисунках отмечены:

$U_{Л}=U^1-U^0$ – логический перепад;

$\Delta V_{П}= V_{П}^1 - V_{П}^0$ – ширина зоны неопределённости;

$U_{П}^+ = V_{П}^0 - U^0$; $U_{П}^- = U^1 - V_{П}^1$ – помехоустойчивость по положительной и отрицательной помехам, соответственно;

$U_{П}^+ + U_{П}^- = U_{Л} - \Delta V_{П}$;

Пороги переключения $V_{П}^0$, $V_{П}^1$ определяются из условия:

$$\left| \frac{dU_{ВЫХ}}{dU_{ВХ}} \right|_{U_{ВХ}=V_{П}^{0,1}} = 1,$$

т.е. при одинаковом масштабе осей X и Y в точках $V_{П}^0$, $V_{П}^1$ передаточная характеристика наклонена под углом 45° .

Т.к. в хорошо спроектированной схеме $\Delta V_{П} \ll U_{Л}$, то $V_{П}^0 \approx V_{П}^1 \approx V_{П}$

$U_{Л} = E_{ПИТ} \Rightarrow U_{П}^+ + U_{П}^- \leq E_{ПИТ}$.

Следует использовать такие схемы, у которых $V_n \approx \frac{U^1 + U^0}{2}$, т. е. переключение происходит при входном напряжении, равном половине питания, тогда

$$U_n^+ \approx U_n^- \approx U_n = \frac{U_{\text{л}} - \Delta V_n}{2}$$

Помехоустойчивость следует рассчитывать для наихудшего случая:

$$U^+_{\text{II}} = V^0_{\text{II MIN}} - U^0_{\text{MAX}}; U^-_{\text{II}} = U^1_{\text{MIN}} - V^1_{\text{II MAX}}$$

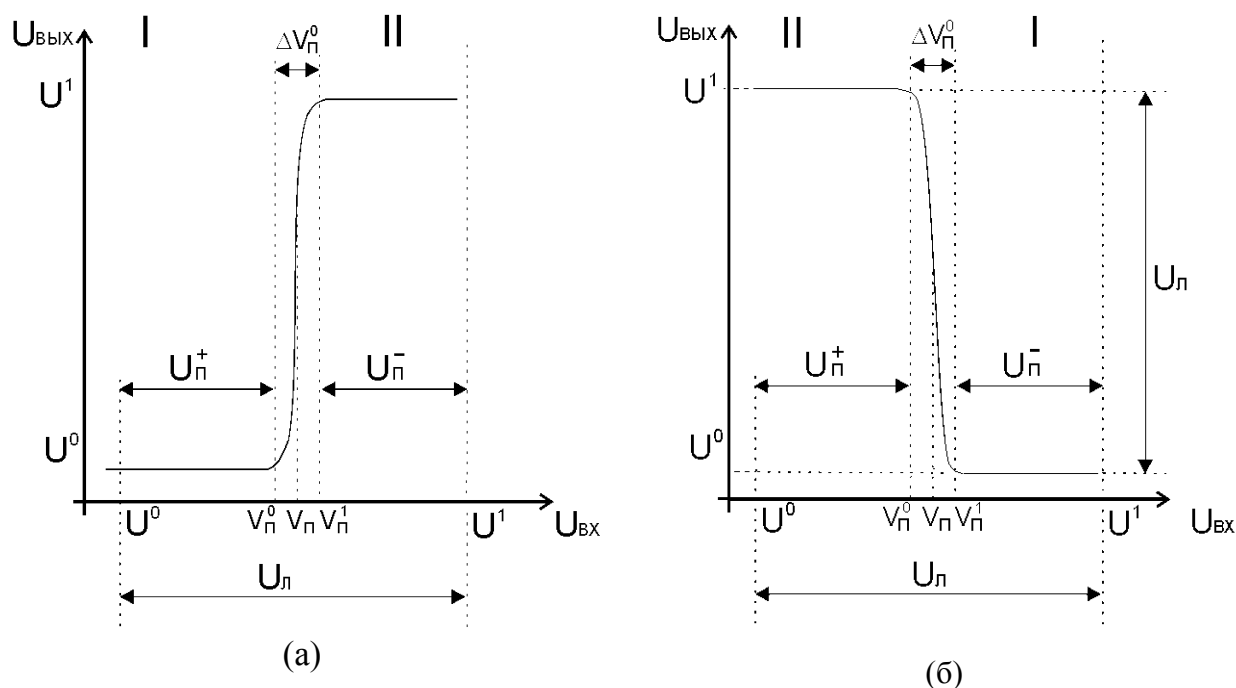


Рис. 26. Неинвертирующая (а) и инвертирующая (б) передаточная характеристика:

I – зона логического нуля по выходу, II – зона логической единицы по выходу,
III – зона неопределённости

Входная характеристика:

$I_{\text{вх}} = f(U_{\text{вх}})$ определяет входные токи

$I^0_{\text{вх}} \geq 0$ вытекающего из схемы при $U_{\text{вх}} = U^0$,

$I^1_{\text{вх}} \leq 0$ втекающего в схему при $U_{\text{вх}} = U^1$,

Выходные характеристики:

$$U^0_{\text{вых}} = f(I^0_{\text{н}}), U^1_{\text{вых}} = f(I^1_{\text{н}})$$

$$I^0_{\text{н}} = nI^0_{\text{вх}}, I^1_{\text{н}} = nI^1_{\text{вх}}, R^0_{\text{вых}} = \frac{dU^0_{\text{вых}}}{dI^0_{\text{н}}}, R^1_{\text{вых}} = \frac{dU^1_{\text{вых}}}{dI^1_{\text{н}}}$$

По этим характеристикам определяются максимально допустимые токи.

$$U^0_{\text{вых max}} = f(I^0_{\text{н max}}), U^1_{\text{вых min}} = f(I^1_{\text{н max}})$$

$$U^0_{\text{вых max}} = V^0_{\text{н min}} - U^+_{\text{н}}$$

$$U_{\text{вых min}}^1 = V_{n \text{ max}}^1 + U_n^-$$

$V_{n \text{ min}}^0, V_{n \text{ max}}^1$ - известны; U_n^+, U_n^- - заданы.

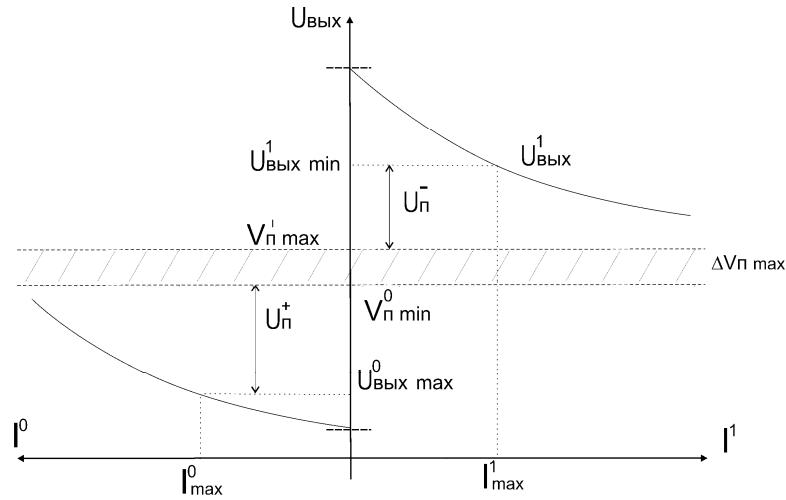


Рис. 28. Выходная характеристика.

Если нагрузкой служат идентичные логические схемы, то

$$N_0 = \frac{I_{n \text{ max}}^0}{I_{\text{ex}}^0}, N_1 = \frac{I_{n \text{ max}}^1}{I_{\text{ex}}^1}$$

$N = \min(N_0, N_1)$ - коэффициент разветвления на выходе. С ростом помехоустойчивости N - уменьшается.

Статическая потребляемая мощность схемы:

Статическая потребляемая мощность – это мощность, потребляемая схемой, находящейся в одном из статических состояний: нуля или единицы. Для расчёта этого параметра следует по графику потребляемого тока определить значения потребляемого тока $I_{\text{пит}}^0$ и $I_{\text{пит}}^1$ в режимах, соответствующих $U_{\text{вых}} = U^0$ и $U_{\text{вых}} = U^1$. После этого средняя мощность рассчитывается как:

$$P_C = \frac{E_{\text{num}}(I_{\text{num}}^0 + I_{\text{num}}^1)}{2} = E_{\text{num}} I_{\text{num}}$$

2.3.2 Определение динамических характеристик и параметров

Для определения задержек $t_{\text{з}}^{1,0}$, $t_{\text{з}}^{0,1}$ и фронтов переключения используется схема рис. 29. Она состоит из трёх логических схем одной серии: схемы, на выходе которой формируется входной сигнал для исследуемой схемы, самой исследуемой схемы и схемы, которая является нагрузкой для исследуемой. Входной и выходной

точкой для этого типа расчёта являются входная и выходная точки самой исследуемой схемы. Дополнительно от входной и выходной точек к земле подключаются ёмкости межсоединений (металлических дорожек—проводников на микросхеме). Такое подключение создаёт для исследуемой схемы условия работы, близкие к реальным: схема получает на вход более реалистичный входной сигнал и имеет реалистическую нагрузку.

На вход подаётся однополярный прямоугольный сигнал (меандр) с короткими фронтами и амплитудой, соответствующей семейству логической схемы. Типовые графики зависимостей $U_{вх}(t)$ и $U_{вых}(t)$ для определения фронтов и задержек переключения приведены на рис. 30.

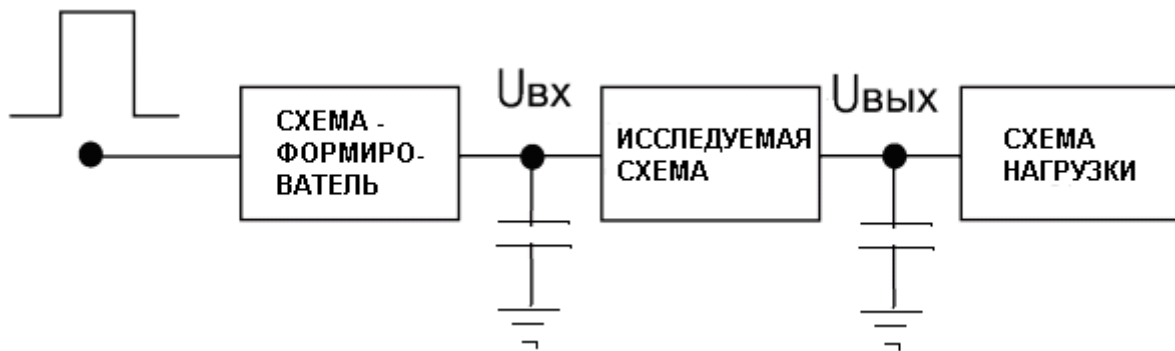


Рис. 29. Схема для определения задержек и фронтов переключения

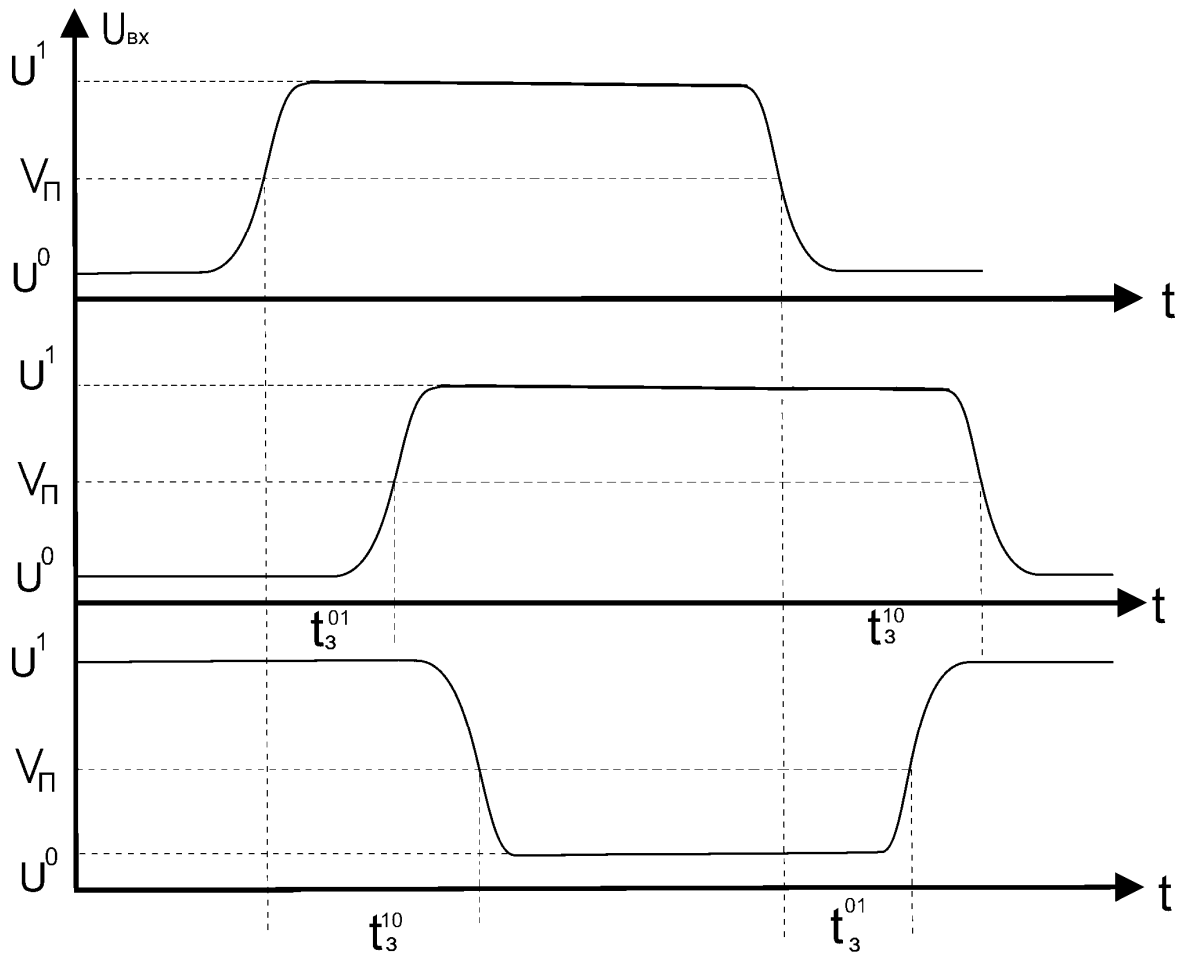


Рис. 30. Определение задержек по переходной характеристике

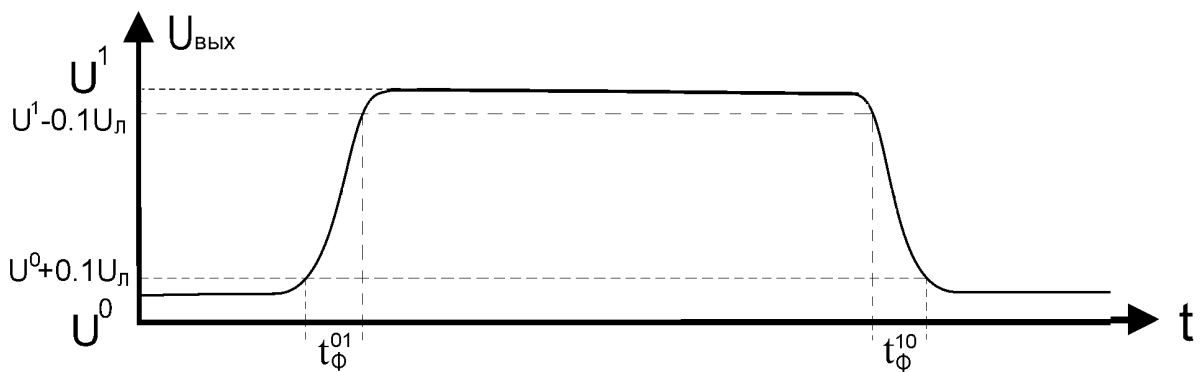


Рис. 31. Определение длительностей фронтов по переходной характеристике

Время задержки определяется как среднее арифметическое времени задержки переключения с логического нуля на логическую единицу и времени задержки переключения с логической единицы на логический ноль.

$$t_z = \frac{t_z^{01} + t_z^{10}}{2}$$

Длительность фронтов определяется по уровням 0.1 – 0.9, см. рис. 30.

Для определения предварительного значения для максимально допустимой частоты работы схемы следует увеличивать частоту входного сигнала до тех пор, пока не исчезнет верхняя и/или нижняя полочки (определяемые по уровням 0,9 и 0,1, соответственно). Напряжение при переходном процессе переключения в этом случае должно достигать минимального уровня логической единицы и максимального уровня логического нуля, но не задерживаться в единице и нуле.

Проверка и корректировка предварительного значения осуществляется следующим образом:

Динамическая потребляемая мощность

$$P_d \approx C_{\Pi} E_{\text{ит}}^2 f_{\Pi}$$

C_{Π} – паразитная ёмкость схемы

f_{Π} – частота переключения

Если рассматривается работа логического элемента при максимально допустимой частоте f_{\max} , то по той же формуле рассчитывается максимальная динамическая потребляемая мощность.

В настоящее время A_{Π} достигает $0,01 \times 10^{-12}$ Дж, Теоретический предел $10^{-15} - 10^{-18}$ Дж.

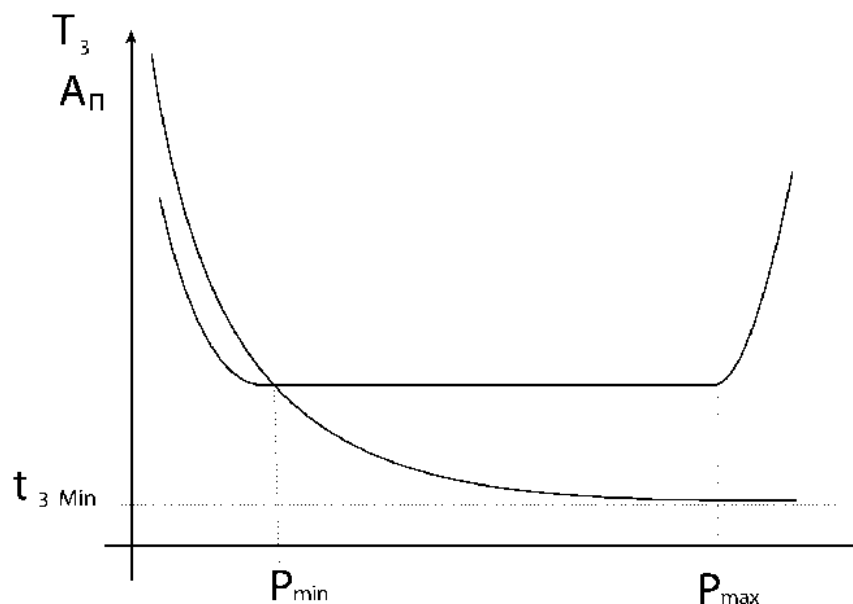


Рис. 32. Зависимость задержки и энергии переключения от потребляемой мощности

Классификация элементов по быстродействию:

сверх быстродействующие: $t_3 < 0,1 \text{ нс}$
 быстродействующие: $t_3 = 1 - 10 \text{ нс}$
 среднего быстродействия: $t_3 = 10 - 100 \text{ нс}$
 низкого быстродействия: $t_3 > 100 \text{ нс}$

По мощности:

микромощные: $P_3 < 0,1 \text{ мВт}$
 маломощные: $P_3 = 0,1 \dots 1 \text{ мВт}$
 средней мощности: $P_3 = 1 \dots 10 \text{ мВт}$
 большой мощности: $P_3 > 10 \text{ мВт}$

$E_{\text{пит}}$ выбирается из стандартного ряда от 1,2 до 12,6 В (См. [4]) для биполярных схем 2 - 5 В, для МДП 5 – 9 В. Если $E_{\text{пит}}$ уменьшается, то уменьшается P_3 , но, при этом, уменьшаются и $U_{\text{п}}^{\pm}, N$, а времена задержек и фронтов возрастают.

2.4 Логические схемы КМОП

КМОП (комплементарная структура металл-оксид-полупроводник; англ. CMOS, complementary metal-oxide-semiconductor) — набор полупроводниковых технологий построения интегральных микросхем и соответствующая ей схемотехника микросхем. Подавляющее большинство современных цифровых микросхем — КМОП.

В схемах данного типа используются как n-канальные, так и p-канальные МДП транзисторы. Это позволяет создать логические схемы, практически не потребляющие мощность в статическом режиме. У таких схем потребляемая мощность на низких и средних частотах на 2-3 порядка меньше, чем у ТТЛ схем, а задержка примерно такая же. Эти схемы применяются при наличии ограничений на потребляемую мощность из-за ограниченных энергоресурсов или жестких требований к тепловому режиму. Однако они технологически сложнее и занимают большую площадь на кристалле.

Особенностью многих логических схем КМОП является инверсный выход, т. е. реализуются логические функции НЕ, И-НЕ, ИЛИ-НЕ и т. п.

Транзисторы в КМОП-схемах часто включены парами («КМОП-парами»), где два транзистора соединены затворами и для них выполняются условия комплементарности:

1. транзисторы в КМОП-паре противоположного типа проводимости;

2. их пороговые напряжения равны по модулю, но противоположны по знаку;
3. значения их удельной крутизны равны.

2.4.1 Инвертор

Анализ работы. Пусть $U_{вх} = U_{зип} < U_{0п}$, следовательно, n-канальный T_1 тогда $U_{зип} = U_{вх} - E < U_{0п}$, следовательно, p-канальный T_2 открыт и работает в крутой области выходной характеристики, то $U_{вых} = U^1 = E$.

Пусть $U_{вх}$ растёт, когда $U_{вх} = U_{он}$, T_1 открывается и в схеме начинает течь ток.

Пусть $U_{x_1} = U^1$, тогда T_1' - открыт ($U_{зT_1'} > U_{он}$), T_2' - закрыт $|U_{зT_2'}| < |U_{оп}| \Rightarrow U_{вых} = U^0 = 0$, если $U_{x_1} = U'$ и $U_{x_2} = U'$ - что то же самое.

Когда $U_{вх}$ достигает $E - |U_{оп}|$ транзистор T_2 , запирается и устанавливается $U_{вых} = U_0 = 0$

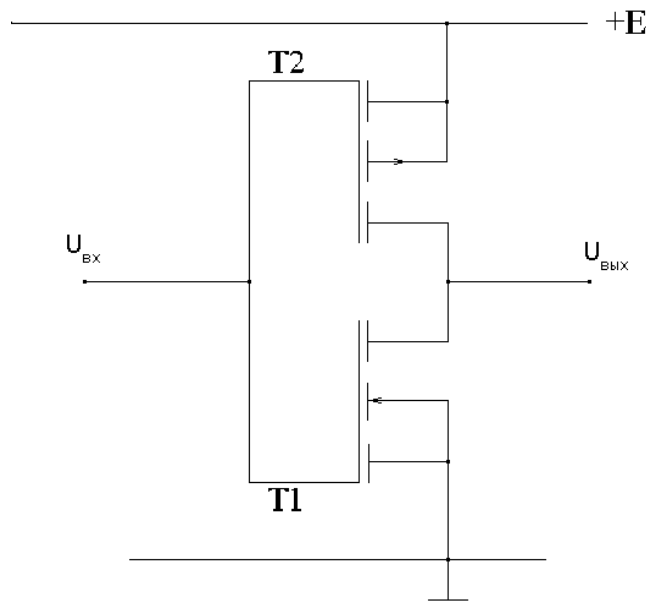


Рис. 37. Принципиальная схема КМОП инвертора

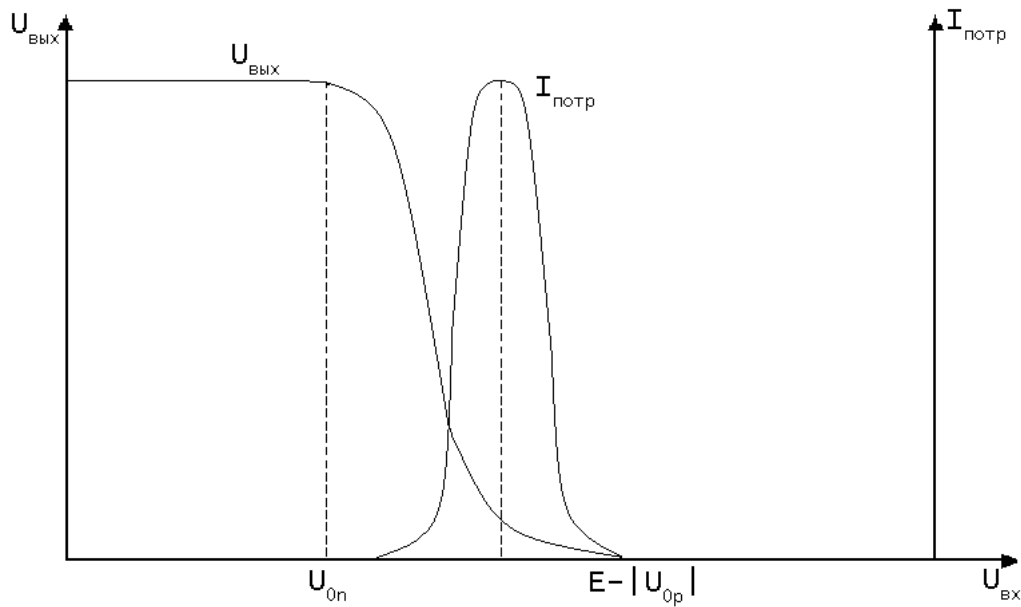


Рис. 38. Передаточная характеристика

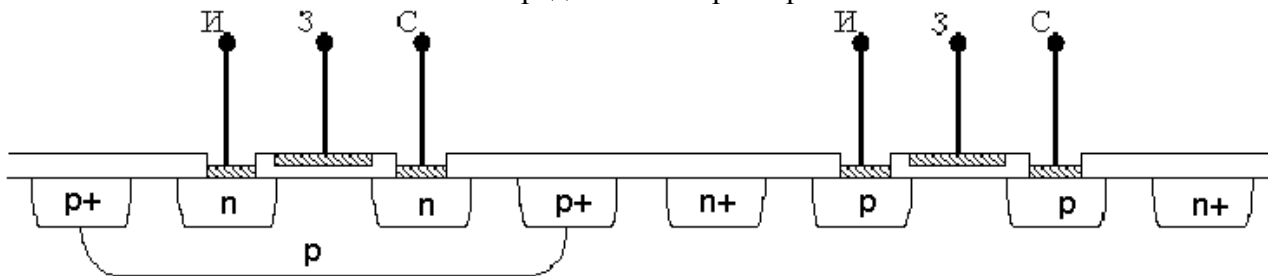


Рис. 39. Структура КМОП инвертора

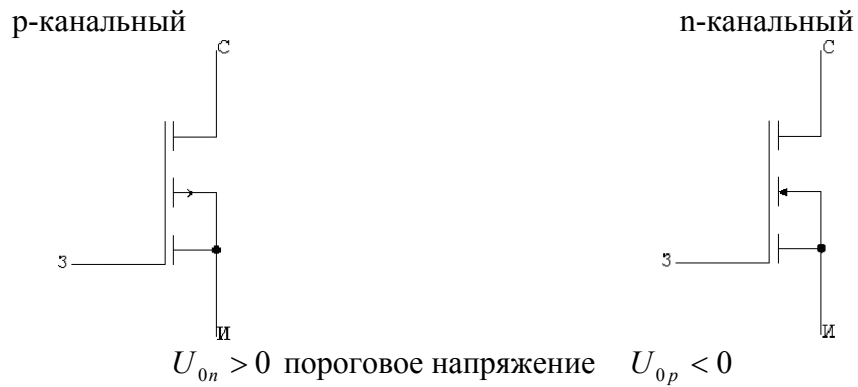


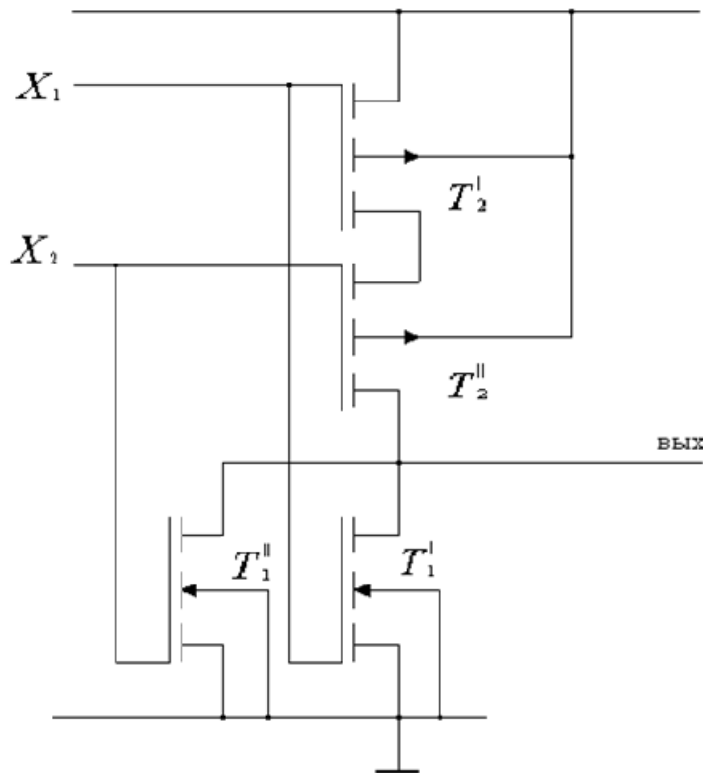
Рис. 40. Обозначения транзисторов

Как правило, к выходу логической схемы подключается вход такой же логической схемы, поэтому в статике ток в КМОП схеме может течь только через транзисторы (вход следующей схемы – затворы её транзисторов, через них ток не течёт):

когда на выходе логический 0, заперт $T_2 \Rightarrow I_{\text{ннт}} = 0$,

когда на выходе логическая 1, заперт $T_1 \Rightarrow I_{\text{ннт}} = 0$.

2.4.2 Схема ИЛИ-НЕ



X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$U_{x1} = U^0$$

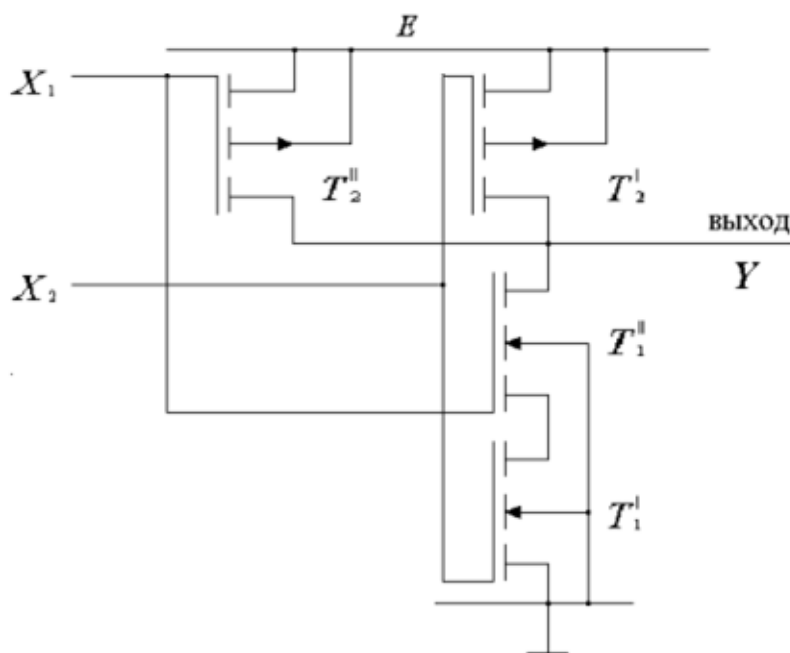
$$U_{x2} = U^0$$

T_1^I и T_1^{II} оба закрыты

T_2^I и T_2^{II} оба открыты

$$U_{\text{вых}} = U^I \approx E$$

2.4.3 Схема И-НЕ



X_1	X_2	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$U_{x1} = U^1$$

$$U_{x2} = U^1$$

T_1^I и T_1^{II} оба открыты

T_2^I и T_2^{II} оба закрыты

$$U_{\text{вых}} = U^0 \approx 0$$

2.4.4 Проектирование КМОП-схем

Для МОП-транзисторов из состава КМОП-схемы отдельное топологическое правило ограничивает снизу длину и ширину рабочей области затвора (1).

Номинальная ширина затворов для КМОП-схемы определяется исходя из одного из условий комплементарности *n*- и *p*-канальных транзисторов КМОП-пары, в соответствии с которым должны быть равны значения их крутизны:

$$kp_n = kp_p, \text{ откуда } \mu_n \frac{W_n}{L_n} = \mu_p \frac{W_p}{L_p}. \quad (9)$$

где k_p – коэффициент крутизны, W и L – ширина и длина затвора, μ – подвижность носителей заряда (электронов и дырок), индексы *n* и *p* относятся к показателям *n*- и *p*-канальных транзисторов, соответственно.

Отношение значений подвижности электронов и дырок обычно составляет 2..3, отношение W/L для *n*-МОПТ обычно берут в диапазоне 5..10, откуда определяется номинальная ширина затвора *p*-канального транзистора.

Реальная ширина полоски затвора должна быть больше для уменьшения краевых эффектов при переходе между областями тонкого и толстого оксида.

Исходя из анализа результатов *spice*-расчёта схемы делаются изменения в размерах транзисторов.

Для снижения площади на кристалле ИС, занимаемой КМОП-схемой, стыкуют топологии отдельных МОП-транзисторов, объединяя электрически связанные области стоков/истоков.

В примере на рис. 41,а показаны два транзистора одного типа (с затворами А и В), соединённые электрически в точке D, где сходятся исток верхнего транзистора и сток нижнего. На рис. б показана топологическая реализация этого фрагмента схемы для случая, когда из точки D необходимо дополнительно вывести линию в другую часть схемы. Реализация на рис. в для случая, когда в точке D сходятся выводы только двух элементов, показывает ещё большую экономию площади ИС.

Итоговая возможная топология КМОП-схемы И-НЕ показана на рис. 46.

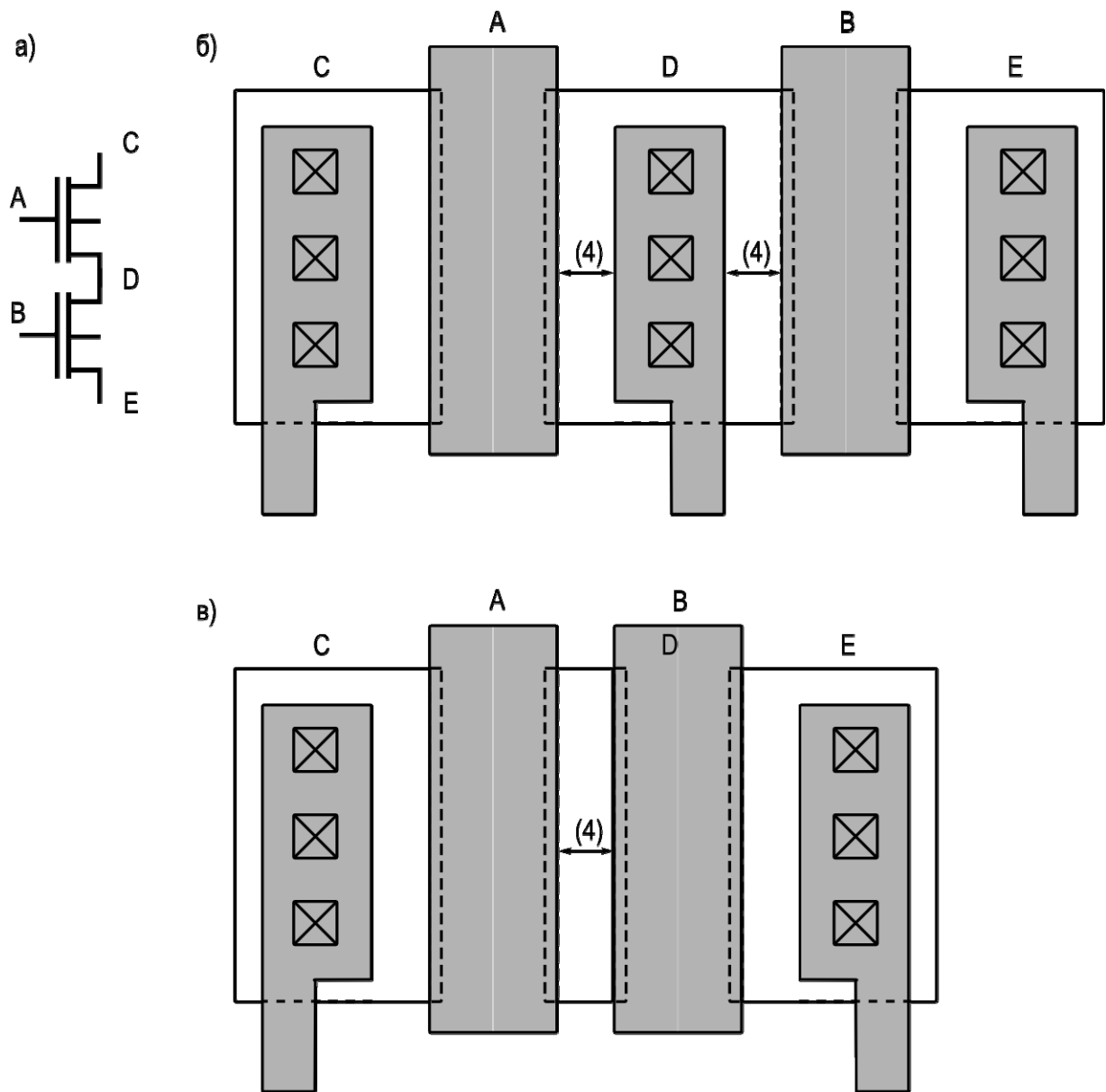


Рис. 41. Топологическая реализация соседних МОП-транзисторов одного типа

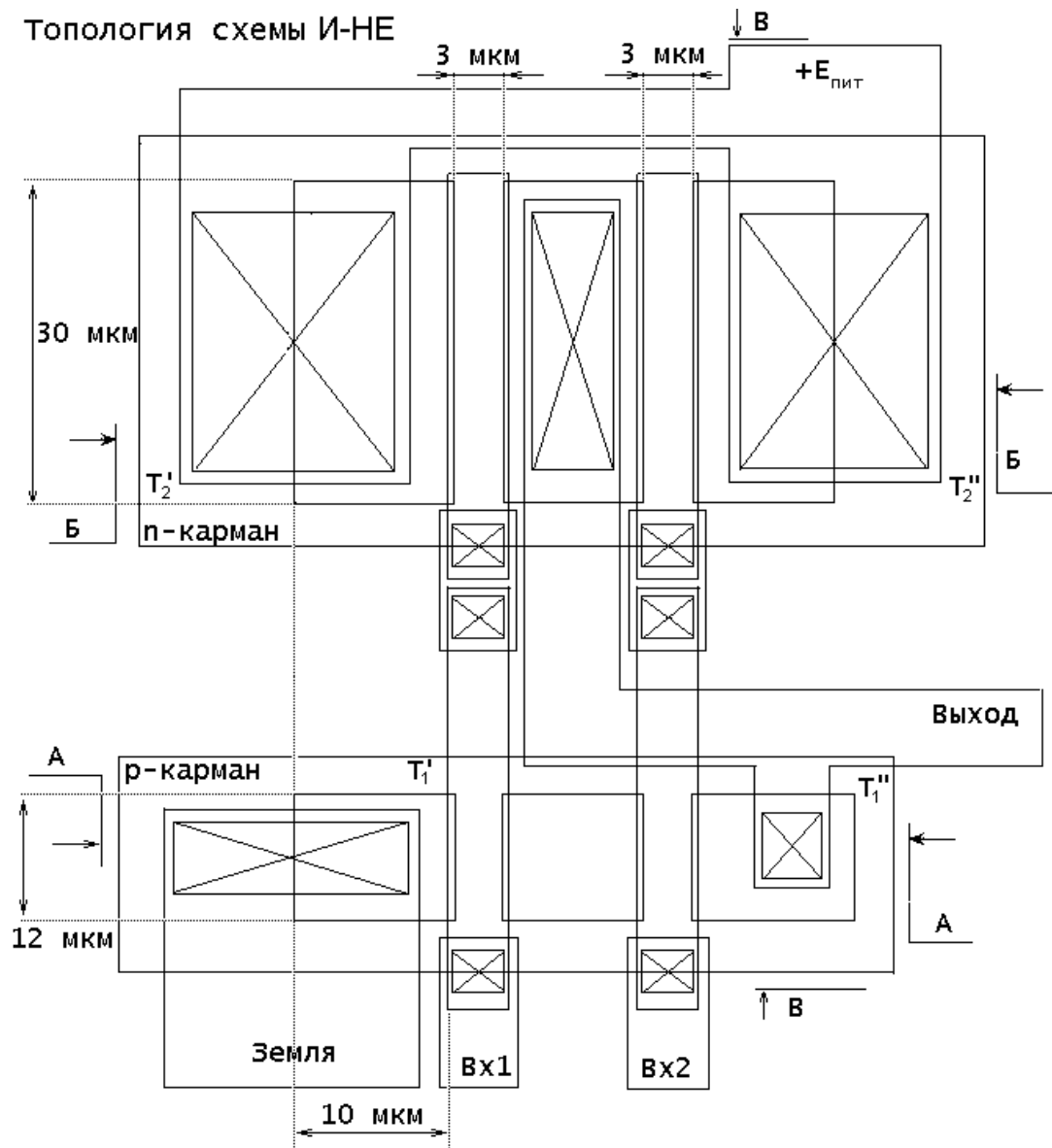


Рис. 46. Топология схемы И-НЕ

2.5 Элементы эмиттерно – связанной логики (ЭСЛ)

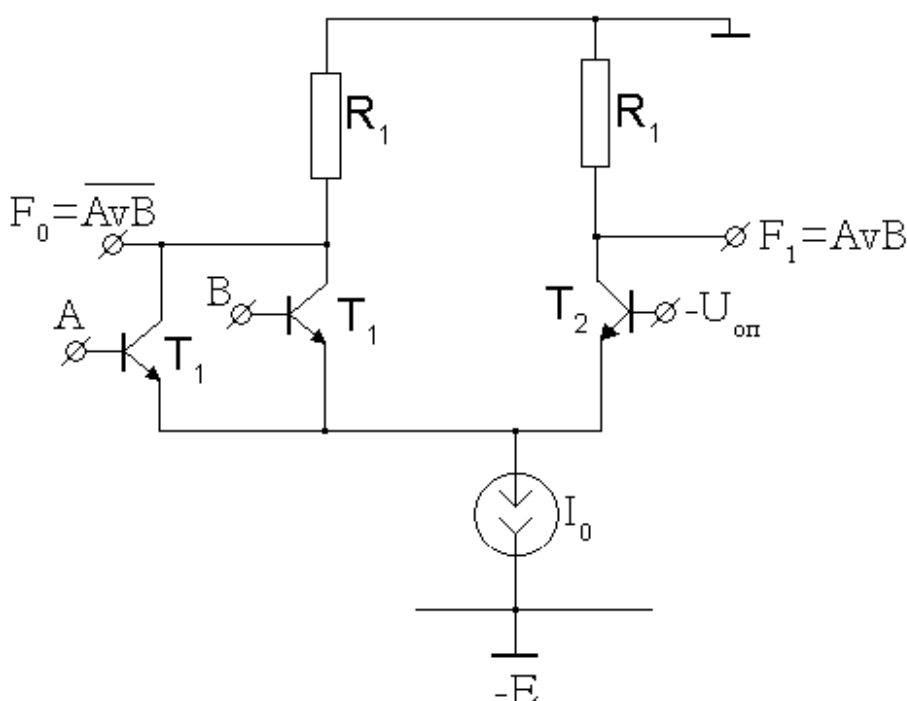
Эмиттерно-связанная логика (ЭСЛ, ECL) — способ построения логических элементов на основе дифференциальных транзисторных каскадов. ЭСЛ является самой быстродействующей из всех типов логики, построенной на биполярных транзисторах. Это объясняется тем, что транзисторы в ЭСЛ работают в линейном режиме, не переходя в режим насыщения, выход из которого замедлен. Низкие значения

логических перепадов в ЭСЛ-логике способствуют снижению влияния на быстродействие паразитных ёмкостей

ЭСЛ-элементы отличаются высоким быстродействием ($t_3 \leq 1$ нс) и поэтому они являются в настоящее время основной элементной базой высокопроизводительных ЭВМ.

Основой ЭСЛ – элементов является переключатель тока (токовые ключи).

2.5.1 Принцип действия переключателя тока



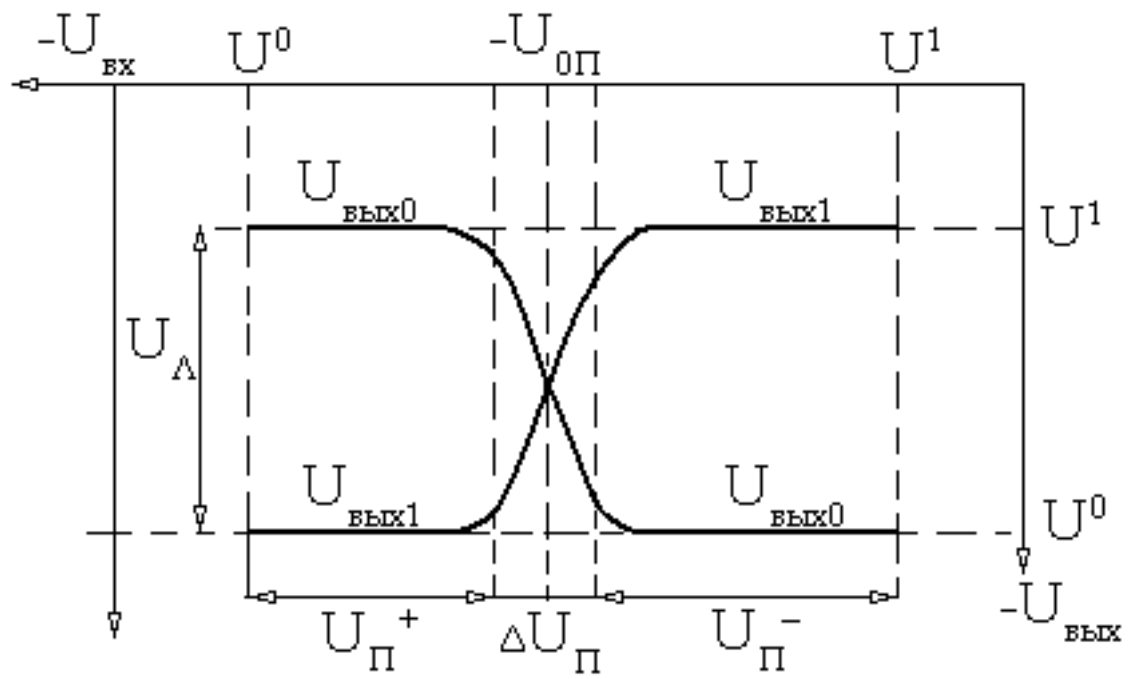
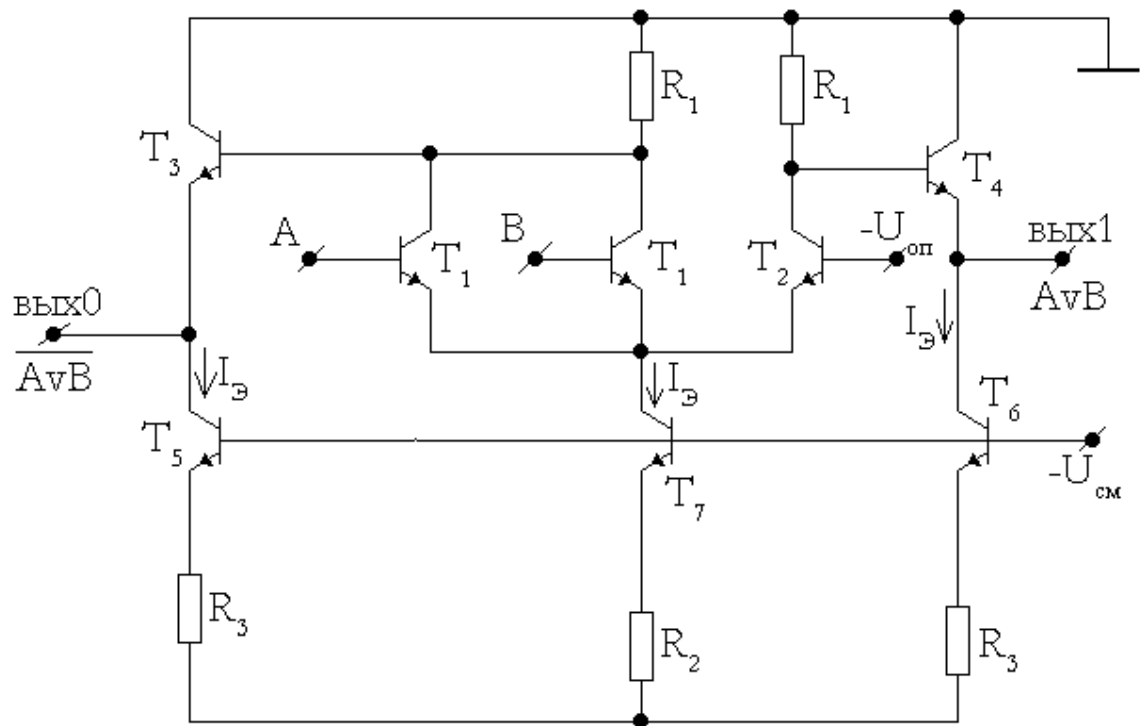
Анализ работы. $U^0, U^1 < 0$, $U^0 < U^1$, т.о. $|U^0| > |U^1|$.

Пусть хотя бы на один вход подан высокий потенциал $U_{вх} > -U_{оп}$, тогда соотв. T1 открыт, вычислим напряжение БЭ транзистора T2: $U_{бэ2} = -U_{оп} - U_3 = -U_{оп} - (U_{вх} - U^*) = U^* - (U_{оп} + U_{вх}) < U^*$ $U_3 = U_{вх} - U^*$ – потенциал эмиттеров. Следовательно, T2 закрыт, ток источника тока I_0 протекает через входное плечо переключателя тока, на входе F_0 устанавливается низкий потенциал $U^0 = -I_0 R_1$, в правом “опорном” плече ток не течёт и на выходе F_1 потенциал равен 0 $U^1 = 0$.

Если на все переключатели тока подан низкий потенциал $U_{вх} < -U_{оп}$, то транзисторы T1 закрыты, T2 открыт и на выходе $F_0 - U^1$, на $F_1 - U^0$.

Логический перепад: $U_{л} = U^1 - U^0 = I_0 R_1$, $F_0 = A \cdot B$, $F_1 = A \cdot B$

2.5.2 Базовый элемент ЭСЛ



Анализ работы. Пусть на всех входах $U_{\text{вх}} \leq -U_{\text{он}}$ и оба Т1 закрыты $U_{K1} = -I_{\text{бз}} R_1 \approx 0$, $I_{\text{бз}} = \frac{I_H + I_{\text{э}}}{B_N + 1}$, ток нагрузки, $I_{\text{э}}$ – ток источника тока Т5-РЗ, на выходе 0 высокий потенциал $U^1 = -U_{K1} - U^* \approx -U^*$

В этом случае Т2 открыт и через R1 в его коллекторе цепи течёт ток $I_K = \alpha_N I_0 \approx I_0$ $\alpha_N = \frac{B_N}{B_N + 1} \approx 1$ коэффициент передачи тока транзистора. $U_{K2} = -(I_0 + I_{B4}) R_1 \approx -I_0 R_1$, где $I_{B4} = \frac{I_{\text{э}} + I_H}{B_N + 1} \ll I_0$

На выходе 1 – низкий потенциал $U^0 = -U_{K2} - U^* \approx -(I_0 R_1 + U^*)$. Токи, задаваемые транзисторными источниками тока $I_0 = \frac{E - U_{\text{см}} - U^*}{R_2}$, $I_{\text{эк}} = \frac{E - U_{\text{см}} - U^*}{R_3}$. Когда $U_{\text{вх}} = V_n = -U_{\text{он}}$ (хотя бы один) открывается Т1 и закрывается Т2, I_0 течет через Т1 и $U_{K1} \approx -I_0 R_1 \Rightarrow U_{\text{вых0}} = U^0 \approx -(I_0 R_1 + U^*)$

Ограничение на максимум логического перепада $U_{\text{л}}$ определяется из условия ненасыщенного режима транзисторов Т1: $U_{\text{б1max}} = U^1 \leq U_{K1\text{min}} = U^0 + U^*$. Чтобы Т1 не был насыщен $U_{\text{б1max}} \leq U_{K1\text{min}}$, $U_{\text{б1max}} = U_{\text{вхmax}} = U^1$ (схемы нагружены друг на друга). В этом режиме $U^1 \leq U_{K1\text{min}} = U^0 + U^* \Rightarrow U_{\text{л}} = U^1 - U^0 \Rightarrow I_0 R_1 \leq U^*$ Опорное напряжение:

Входные токи: при $U_{\text{вх}} = U^1$, $I_{\text{BX}}^1 = \frac{I_0}{l(B_N + 1)}$, где l – число открытых входов ($U_{\text{BX}} = U^1$). При $U_{\text{BX}} = U^0$, $I_{\text{BX}}^0 \approx 0$

Максимальный ток нагрузки $I_{H\text{max}}^1$ определяется исходя из допустимого снижения уровня U^0 при подключении нагрузки:

$$\Delta U_{\text{доп}}^1 \approx \Delta U_{K1} = I_{H\text{max}}^1 R_1 / (B_{\text{min}} + 1), B_{\text{min}} = \min(B_N), l=1$$

$$N = \frac{I_{H\text{max}}^1}{I_{\text{BXmax}}^1} = \frac{\Delta U_{\text{доп}}^1 (B_{\text{min}} + 1)^2}{R_1 I_0} \approx \frac{B_{\text{min}}^2 \Delta U_{\text{доп}}^1}{U_{\text{л}}}, N = 10..20$$

$$\text{Мощность } P_{\text{э}} = EI_{\text{пит}} = E(I_0 + 2I_{\text{э}})$$

2.6 Транзисторно – транзисторные логические схемы (ТТЛ)

Транзисторно-транзисторная логика (ТТЛ, TTL) — разновидность цифровых логических микросхем, построенных на основе биполярных транзисторов и резисторов. Название *транзисторно-транзисторный* возникло из-за того, что транзисторы используются как для выполнения логических функций (например, И, ИЛИ), так и для усиления выходного сигнала.

Простейший базовый элемент ТТЛ выполняет логическую операцию И-НЕ.

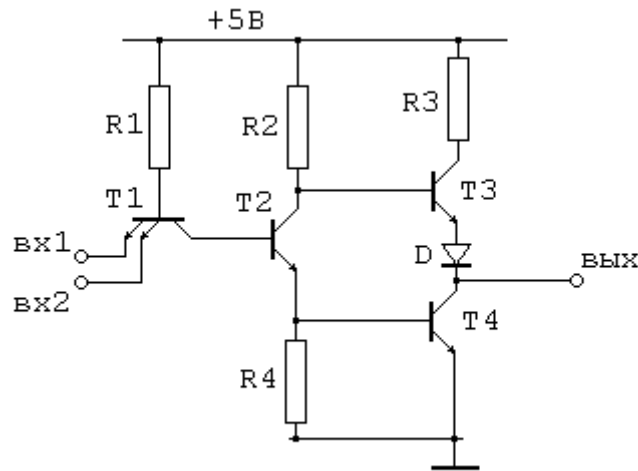


Рис. 33. ТТЛ-схема со сложным инвертором – базовый вариант, реализует логическую функцию И-НЕ

Пусть на один из входов подан U^0 – низкий потенциал, тогда соответственно эмиттер многоэмиттерного транзистора (МЭТ) (T_1) открыт, коллектор МЭТ открыт, потенциал базы транзистора T_2 низкий $\Rightarrow T_2$ – закрыт (в отсечке); ток эмиттера T_2 – близкий к нулю, потенциал базы T_4 низкий $\Rightarrow T_4$ – закрыт (в отсечке); потенциал коллектора T_2 (закрытого) – высокий, это потенциал базы T_3 , он настолько большой, что открытый эмиттерный переход транзистора T_3 и диод D , а так как T_4 закрыт, что на выходе высокий потенциал (близкий к E) – U^1 .

Пусть на все входы подано высокое напряжение U^1 (близкое к E), тогда все эмиттерные переходы МЭТа T_1 закрыты, коллекторный переход открыт и ток через него течет в базу транзистора T_2 , T_2 – в режиме насыщения T_4 – также в режиме насыщения:

$U_{K1} - U_{K2} = U_{D_OTKP} + U_{KЭ_НАС} - U_{KЭ_НАС} < 2U_{D_OTKP}$, следовательно, эмиттерный переход T_3 и диод D открыться не могут, значит они в отсечке.

На выходе: $U_{ВЫХ} = U_{KЭ_НАС} = 50\text{ мВ} = U^0$, т.о. выполняется таблица истинности функции И-НЕ: $U^1 \approx E$, $U^0 = U_{KЭ_НАС} \approx 50\text{ мВ}$.

Чаще всего ко входу и выходу логической схемы подключены такие же логические схемы, чтобы выполнять сложную логическую функцию, следовательно, сигналы на входе и выходе схемы одинаковы.

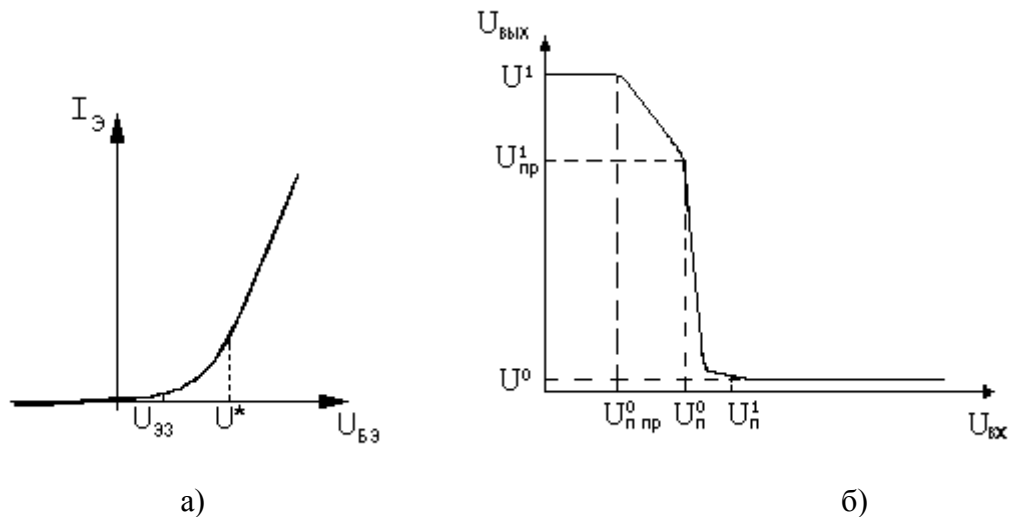


Рис. 34.

- а) вольт-амперная характеристика р-п – перехода,
 б) передаточная характеристика ТТЛ-схема со сложным инвертором

Когда $U_{ВХ} = 0$, T_2 закрыт и на выходе напряжение равно:

$U_{ВЫХ} = U^1 = E - 2U^*$, напряжение питания минус падение напряжения на открытых р-п – переходах: эмиттера T_3 и диода.

Пока входное напряжение не станет равным: $U_{ВХ} = U_{П\text{ пр}}^0 = U_{ЭЗ} - U_{КЭН}$, T_2 закрыт и на выходе напряжение не меняется ($U_{ВЫХ} = U^1$), после этого момента T_2 переходит в нормальный активный режим, за счёт тока $I_{Э2}$ создаётся падение напряжения на R_4 и напряжение $U_{Б4}$ увеличивается, так как T_2 в нормальном активном режиме, через R_2 течёт ток, уменьшается $U_{К2}$ и вслед за ним $U_{ВЫХ}$:

$$U_{ВХ} = U_{П}^0 = U^* + U_{ЭЗ} - U_{КЭН},$$

когда напряжение на базе T_4 достигает $U_{Б4} = U_{ЭЗ}$ и T_4 открывается, переходя в нормальный активный режим, и $U_{ВЫХ}$ начинает резко падать, начиная со значения:

$$U_{П\text{ пр}}^1 = U^1 - \Delta U_{ВЫХ} = E - 2U^* - U_{ЭЗ}R_2/R_4,$$

Когда $U_{ВХ} = U_{П}^1 = 2U^* - U_{КЭН}$, оба транзистора в насыщении и на выходе: $U_{ВЫХ} = U^0 = U_{КЭН}$.

Рассматриваемая схема является наиболее распространённой схемой логической ТТЛ ячейки, проектирование которой рассмотрено в книге [5, глава 2]. В указанной книге приводится методика расчёта и численный пример.

Топологию ТТЛ схемы рассмотрим на примере логической схемы НЕ (инвертора) со схемой Дарлингтона (составным транзистором) в выходной цепи.

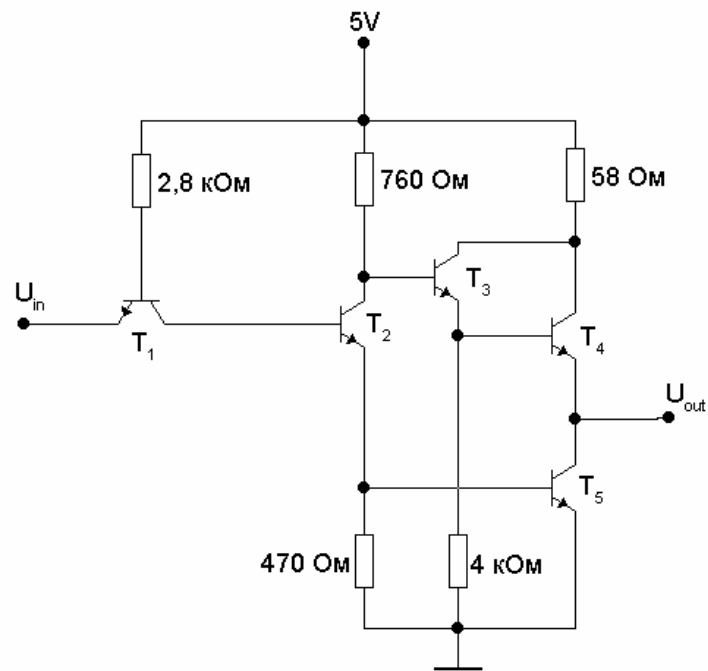


Рис. 35. ТТЛ инвертор

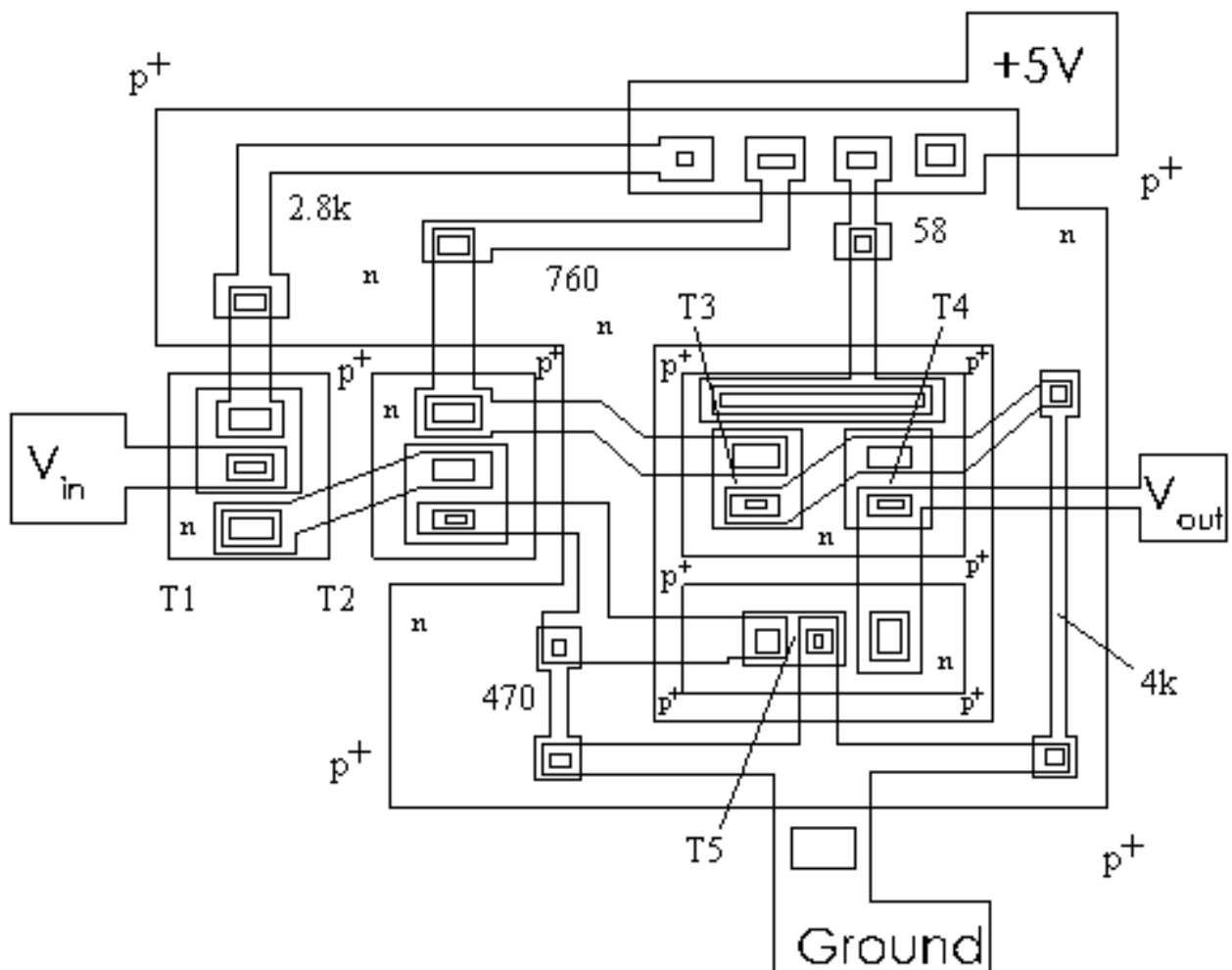


Рис. 36. Топология ТТЛ инвертора

3 ТЕХНОЛОГИИ ПРОЕКТИРОВАНИЯ И ИЗГОТОВЛЕНИЯ СУБМИКРОННЫХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Технологический процесс производства современных интегральных схем состоит из большого числа этапов, которые содержат в себе операции литографии, травления, окисления, нанесения, ионной имплантации и планаризации (выравнивания поверхности). Данные этапы зачастую повторяются на протяжении всего цикла изготовления, а их сумма может достигать до нескольких сотен. Для большинства процессов используются маски, целью которых является определение мест на пластине, подвергаемые воздействию в этой операции. Количество шаблонов, которое необходимо для производства современной СБИС, достигает нескольких десятков штук [1].

Различие между технологиями производства ИМС в основном характеризуются следующими особенностями [2]:

- минимальным размеров топологического элемента;
- толщиной подзатворного окисла;
- числом слоёв металлизации;
- типом проводимости материала пластины, а также технологией, по которой была получена пластина (эпитаксиально-наращенный слой или КНИ-технология);
- материалом затвора транзисторов;
- методом изоляции транзисторов: LOCOS или STI / DTI процесс.

Литография является одним из основных этапов технологического процесса при производстве современных ИС. Литография – это процесс переноса топографической картины шаблона на поверхность полупроводниковой пластины.

Типичная структура слоёв интегральной микросхемы приведена на рис. 37. В нижней части структуры находятся эпитаксиальные, диффузионные и другие области самих полупроводниковых элементов (транзисторов, диодов, резисторов и т. п.). Их контакты соединяются друг с другом в соответствии с электрической схемой с помощью металлических дорожек в слое Metall на уровень выше. Слой Metall отделён от областей элементов с помощью слоя оксида. Для подключения металлической линии к выводу элемента используется контактное окно (active con-

tact), которое представляет собой отверстие, прожигаемое в слое оксида. Таким образом, слой Metal1 представляет собой нижний уровень разводки.

Для дополнительных соединений используется второй уровень разводки в слое Metal2. Между слоями Metal1 и Metal2 вставляется отдельное контактное окно (via).

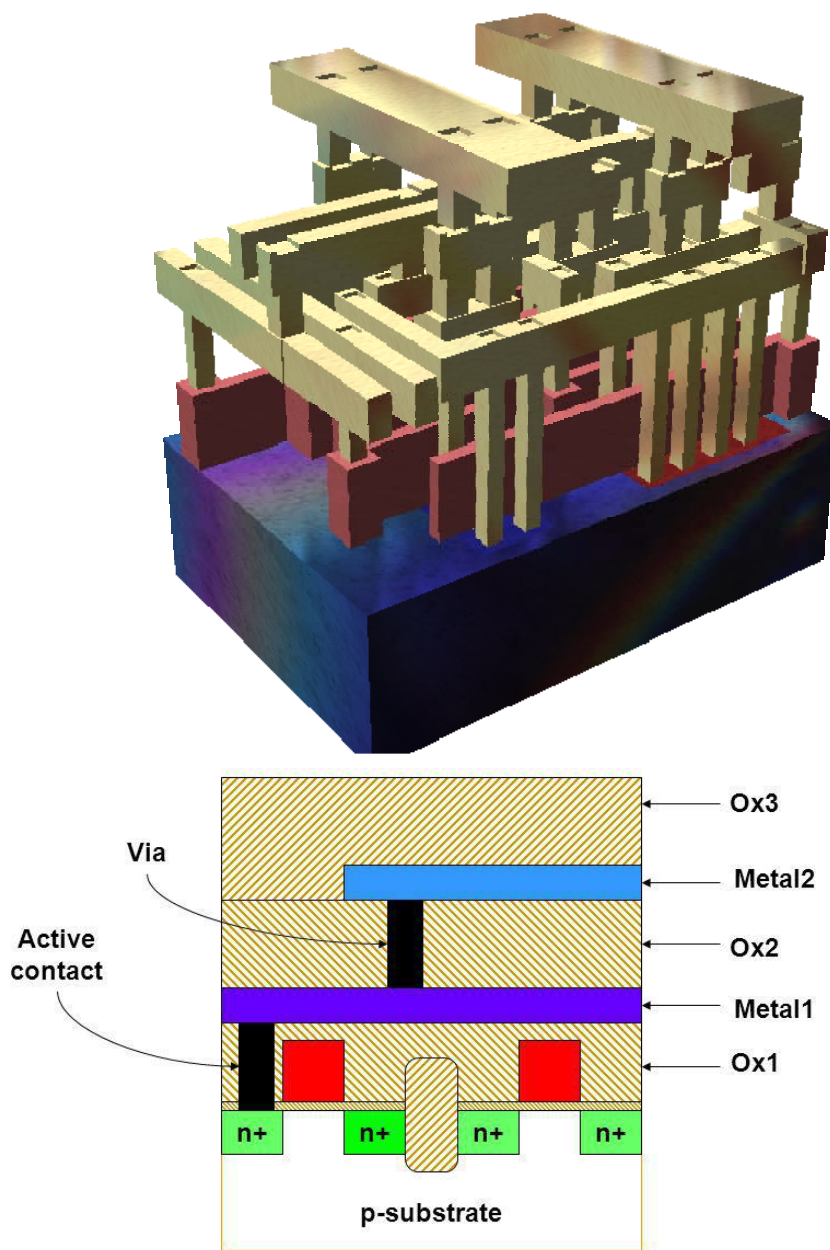


Рис. 37. Структура слоёв интегральной микросхемы: пример трёхмерного наглядного изображения ИС с многослойной разводкой (вверху), пример разреза структуры ИС с двухслойной разводкой (внизу)

Ячейки схемы обычно располагаются на площади микросхемы рядами, причём для каждого ряда проводятся свои шины земли и питания (см. рис. 38), которые могут иметь большую ширину.

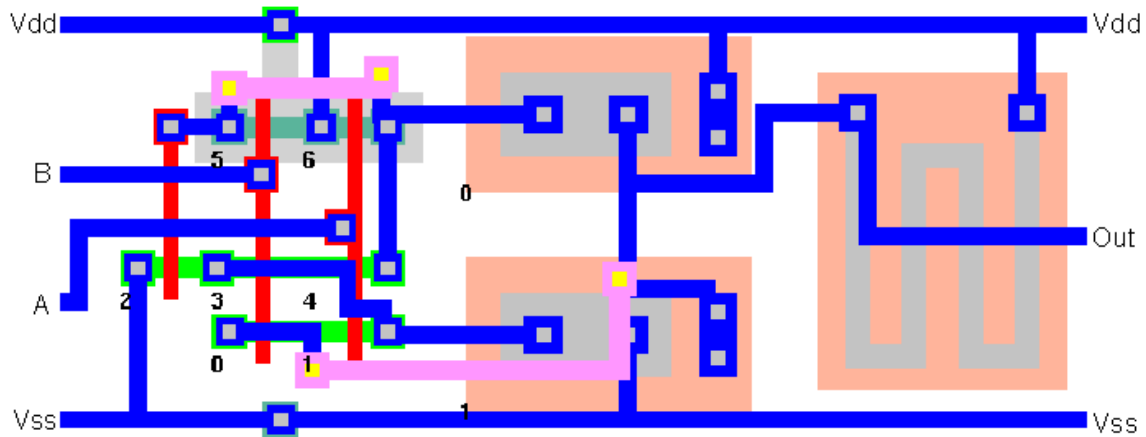


Рис. 38. Пример разводки ИС: показаны шины земли (Vss или Gnd) и питания (Vdd)

3.1 Перечень слоёв и правил проектирования

Топология БИС – множество геометрических фигур, расположенных в различных топологических слоях. Для воплощения схемотехнического решения в кремний требуется редактор топологии. К таковым можно отнести топологический редактор L-Edit САПР Tanner EDA.

Карман (слой n-well) является первым слоем при проектировании КМОП интегральных схем. При разработке КМОП интегральных схем с пластиной р-типа, n-канальные МОП-транзисторы (nМОПТ для краткости) изготавливаются непосредственно в объёме пластины р-типа, а р-канальные транзисторы - рМОПТ - изготавливаются в n-кармане. Карман и подложка показаны на рис. 6, хотя и не в масштабе. В некоторых технологиях используются только р-карманы или карманы обоих типов [5].

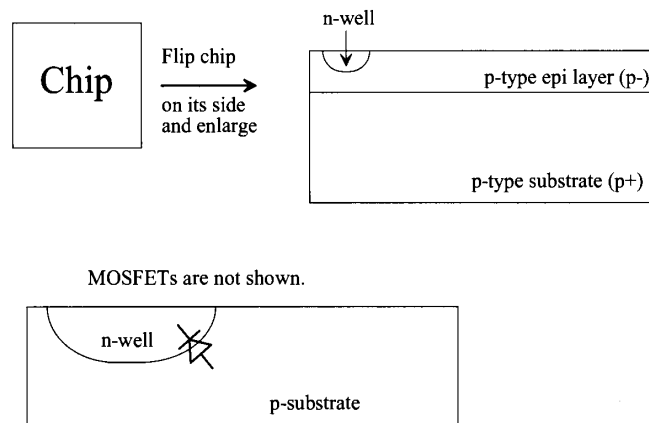


Рис. 6. Верхний (макет) и боковой (поперечный) вид матрицы

Слои active, n-select, p-select и poly используются для формирования n- и p-канального МОП-транзистора; слой первого(нижнего) металла (metall) может быть подведён к подложке или карману. Слой Active в топологическом редакторе определяет места отверстий в двуокиси кремния, покрывающей подложку (см. рис. 7 и 8). Слои n-select и p-select указывают, где имплантировать примесь n-типа или p-типа, соответственно. Слой Active и n-select/p-select всегда используются вместе. В слое поликремния (poly) (в более старых технологиях производства) или в слое metall (в более современных субмикронных) формируется затворы МОП-транзисторов.

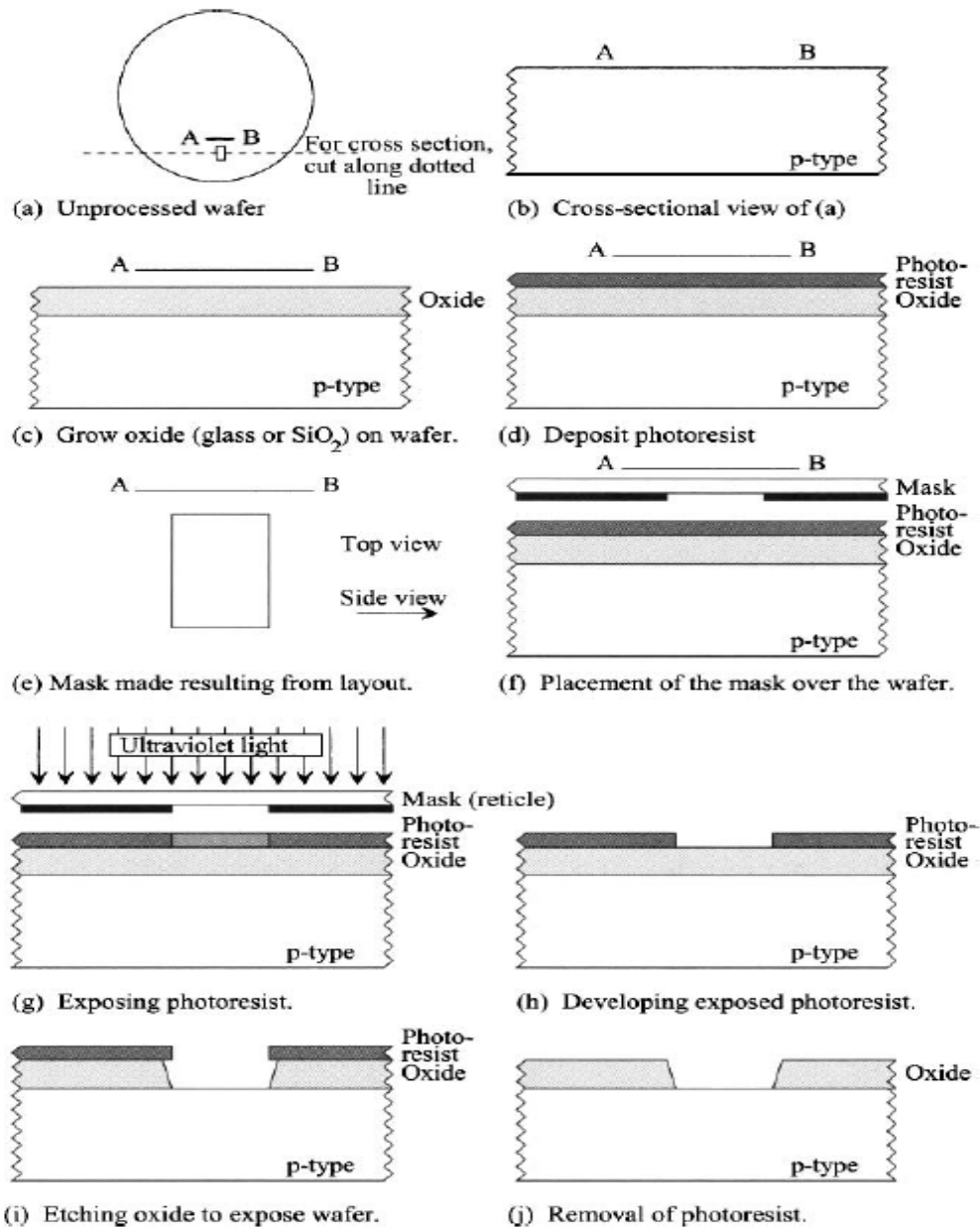


Рис. 7. Общий маршрут фотолитографии

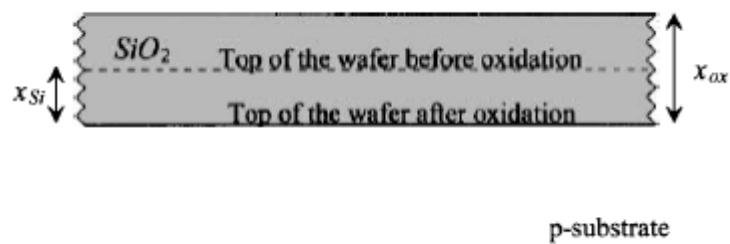


Рис. 8. Как растущий оксид потребляет кремний

Слои N-select и P-select.

Фигуры в слоях n-select или p-select должны окружать фигуры в слое active для легирования полупроводников n- или p-типа. На рис. 9 показаны несколько возможных комбинаций в слоях active, n-well и p-select, n-select. Например, на рисунках (a) и (b) через отверстие в полевом оксиде (FOX) имплантируется полупроводник p-типа (в местах, определяемых маской p-select). Также на этом рисунке (см. рис. 9 i и j) показано, как один слой (называемый слоем n +) можно использовать вместо двух слоёв (active и n-select). Слой n + в (j) используется непосредственно как маска в слое active (отверстия в полевом оксиде (FOX)) в (i). N-select в (i) является вторичной маской. Это получается путём увеличения размера фигур в слое n +. Маска n-select должна быть больше маски Active, чтобы учесть возможное рассогласование. Если вводимая примесь (слой select) не выровнена непосредственно над отверстием (Active contact) в полевом оксиде, то полупроводник, вводимый в отверстие в слое active, не будет легироваться. Если маски в слоях select и active идеально выровнены, фигуры в слое select не нужно делать больше фигур в активном слое. Если использовать только слой select, без слоя active, то легирующая примесь бомбардирует полевой оксид. Поскольку полевой оксид толстый, он не позволяет имплантированным атомам достигнуть подложки.

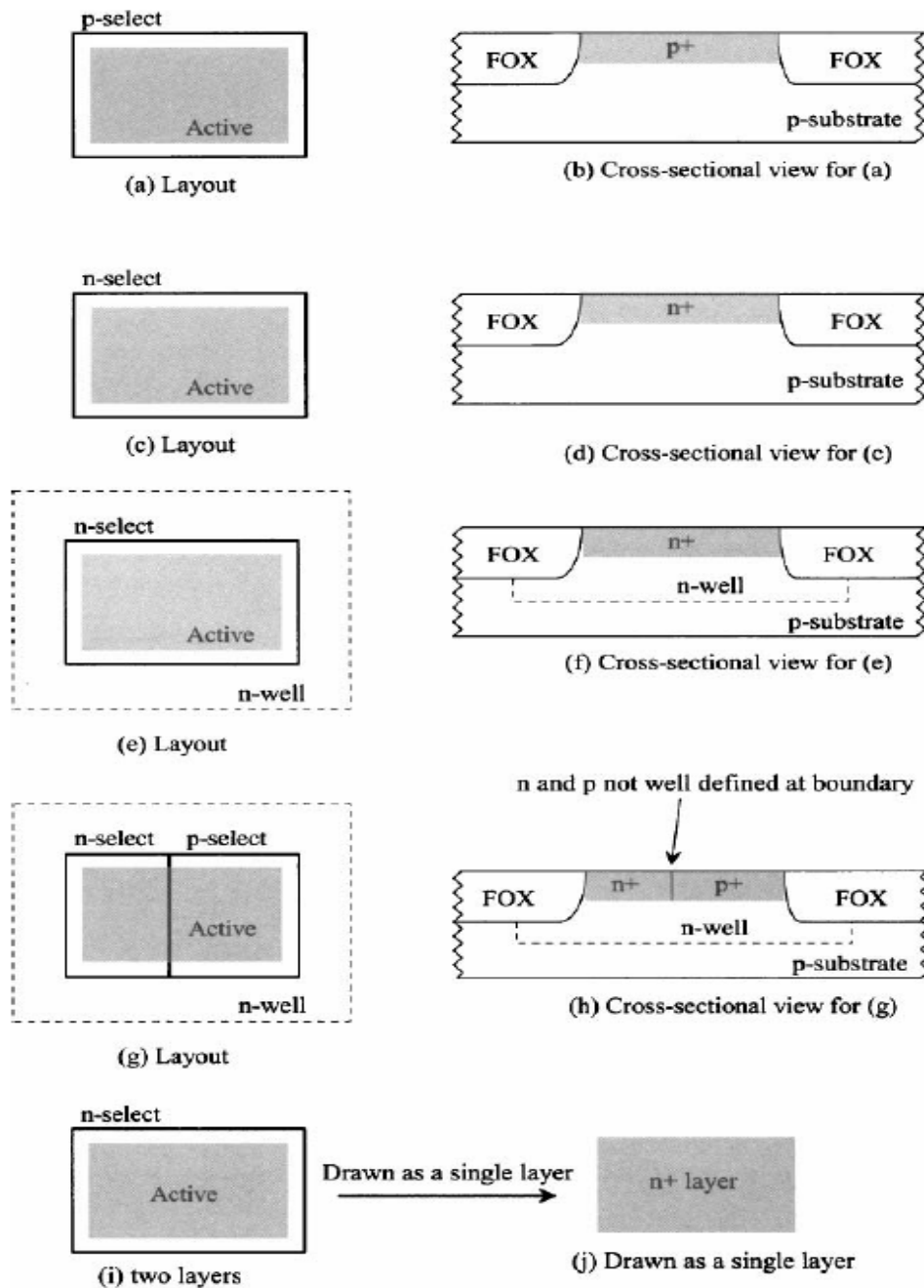


Рис. 9. Комбинации Active, Select и n-wells

The Poly Layer (Слой поликремния).

Слой поликремния используется для формирования затвора МОП-транзистора. Фигура в слое poly на фоне фигуры в слое active создаёт структуру МОП-транзистора рис. 10 а. Исток и сток интегрального МОП-транзистора (в КМОП-технологии на объёмном кремнии) обычно взаимозаменяемы.

Self-Aligned Gate (Самосовмещённый затвор).

Площадь под затвором не легирована $n+$ на рис. 10 b и c. После того, как отверстие в полевом оксиде образовано маской Active, тонкий изолирующий оксид выращивается над отверстием. Это подзатворный оксид МОП-транзистора (GOX), рис. 10 b. Далее маска в слое poly определяет, где наносить материал поликремния. За этим следует имплантация в областях, указанных маской n-select. Примесь легко проникает через тонкий GOX в области истока и стока. Однако поликремниевый затвор действует как маска, чтобы препятствовать проникновению атомов $n+$ под затвор МОП-транзистора (поликремний сделан достаточно толстым, чтобы гарантировать, что примесь не достигнет GOX). Кроме того, сток и исток МОП-транзистора оказываются выровненными относительно затвора. Это важно, так как нельзя полностью выровнять маску с активной маской.

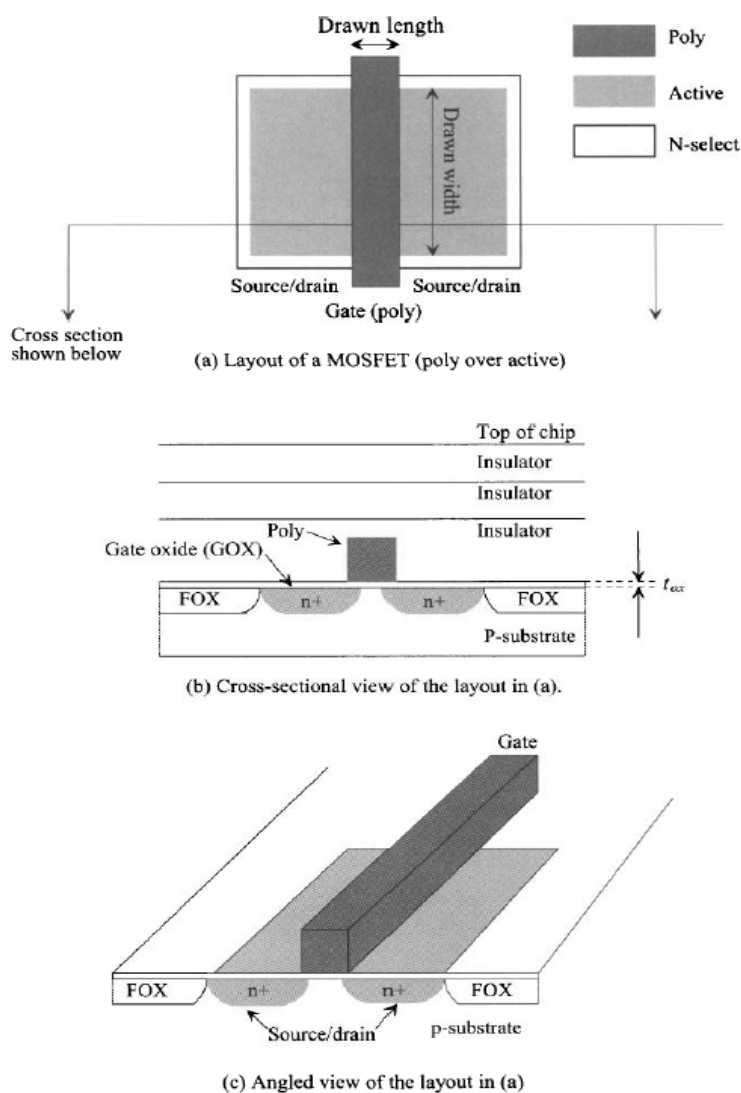


Рис. 10. Топология и поперечное сечение МОП-транзистора

The Poly Wire (Соединительные линии в слое poly).

Слой poly может также использоваться вместо нижнего металла (metall) для разводки проводников. Слой poly располагается поверх слоя полевого оксида (FOX). Основным ограничением при использовании слоя poly для межсоединений является его поверхностное сопротивление. При использовании слоя poly в качестве маски для самовыравнивания областей истока и стока МОП-транзистора по отношению к затвору, рис. 11, мы используем слой poly либо n-типа (для nМОПТ), либо p-типа (для pМОПТ). Силицид затем используется для того, чтобы избежать образования p-n-перехода (диода), когда поликремниевые затворы pМОП и nМОП соединены вместе (силицид электрически замыкает поликремниевые затворы n- и p-типа вместе).

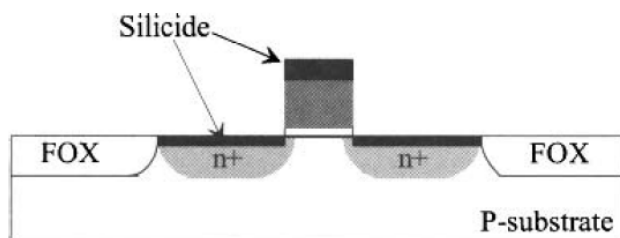


Рис. 11. Как растущий оксид потребляет кремний

Блок силицида.

В некоторых ситуациях (например, при изготовлении резистора) желательно избегать осаждения силицида на фигуры затвора или зоны истока / стока. С этой целью можно использовать слой, называемый силицидным блоком.

Metall и Via1.

Metall – слой, в котором располагаются металлические проводники, непосредственно контактирующие с диффузионными областями. На рисунке 12 показан пример компоновки и вид поперечного сечения. Слой via1 соединяет metall и вышележащий metal2. Фигура в слое via1 указывает, что оксид должен быть удалён в указанном месте. Затем, например, в отверстии оксида изготавливается вольфрамовая «пробка». Когда metal2 уложен, пробка обеспечивает соединение между двумя металлами.

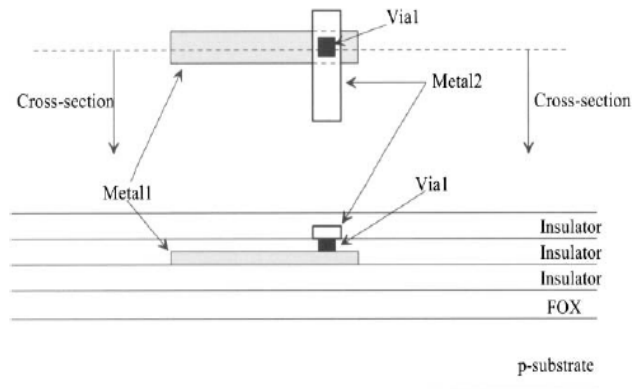


Рис. 12. Макет и поперечные разрезы

На рис. 13 показаны правила проектирования слоёв active, selects, poly, contacts. В нижней части рис. 13 – альтернативная топология nМОП-транзистора. Одна и та же активная область используется как для формирования МОП-транзистора, так и для контакта к телу МОП-транзистора (либо p-подложка для nМОП, либо n-карман для pМОП). В компоновке, показанной на рис. 13, контакт к подложке упирается в n-select непосредственно рядом с p-select. Это минимизирует площадь топологии. Поскольку подложка заземлена, расположение МОП-транзистора (чтобы минимизировать площадь) не является симметричным, и исток также должен быть заземлён (исток и сток не взаимозаменяемы) [4].

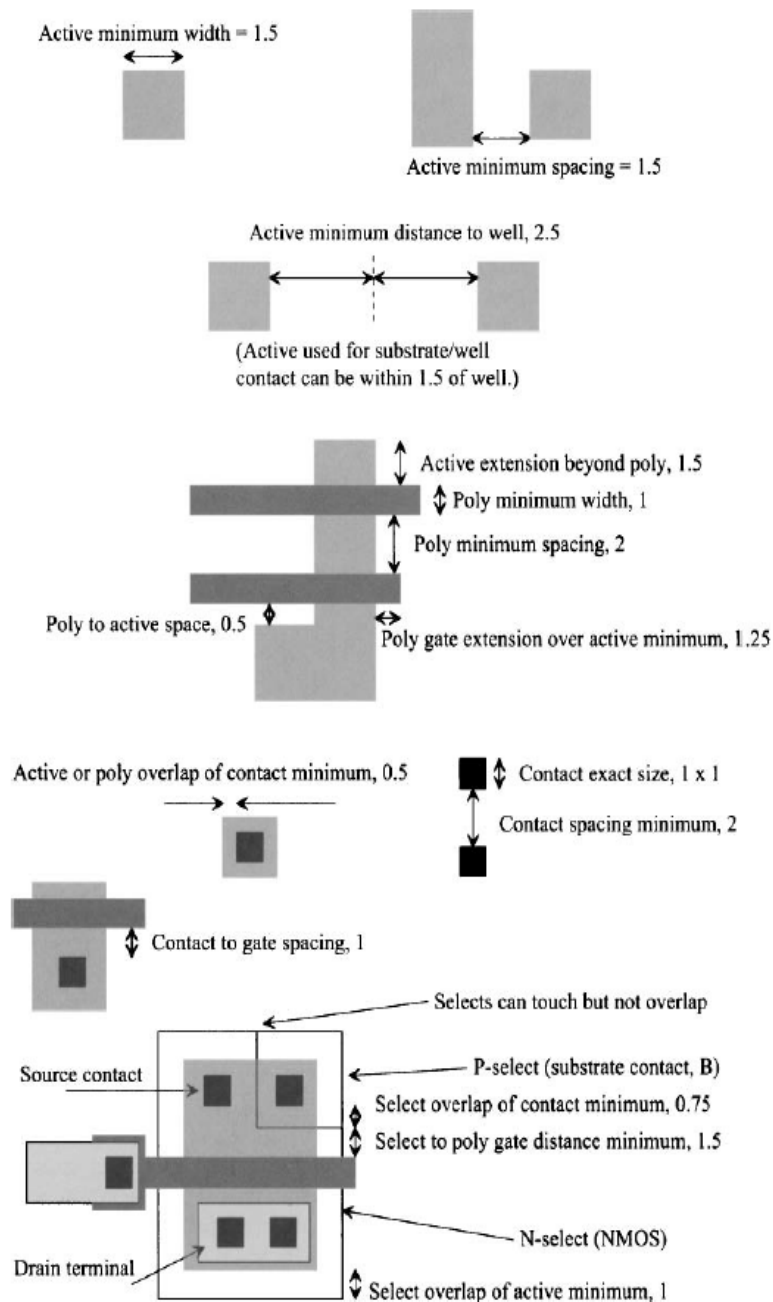
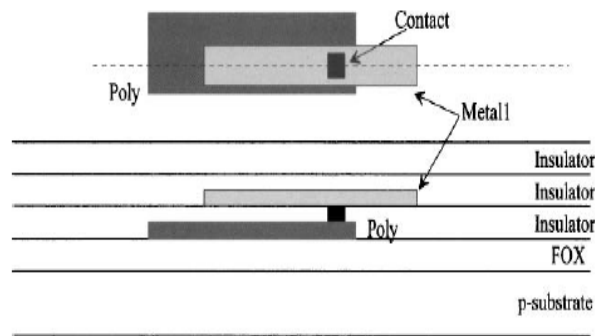


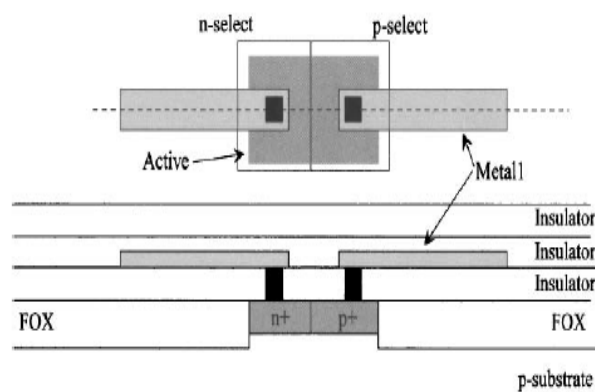
Рис. 13. Правила разработки для слоев active, selects, poly, contacts (размеры областей приведены для примера)

Подключение проводников к Poly и Active.

Слой contact соединяет metal1 с active ($n + / p +$) или poly. На рис. 14 показана схема и соответствующий вид поперечного сечения слоёв metal1, contact и poly. На рисунке 14 показано подключение к $n +$ и $p +$. Следует отметить, что metal1 соединён либо с metal 2 (через via1), либо с poly/active. Metal2 не может быть подключён к active/poly без предварительного соединения с metal1 и contact.



(a) Metal connecting to poly through a contact.



(b) Contacts to active.

Рис. 14. Как metal связан с poly и active

3.2 Проектные нормы

Ниже в качестве примера показан список правил проектирования по проектным нормам 0.25 мкм [7], а также графически показаны ошибки, которые могут быть допущены при проектировании топологии.

1.1 Минимальная ширина кармана = 1 мкм

1.2 Расстояние между карманами, находящимися под разными потенциалами = 0.9 мкм

1.3 Расстояние между карманами, находящимися под одинаковыми потенциалами = 0.6 мкм

(см. рис. 15)

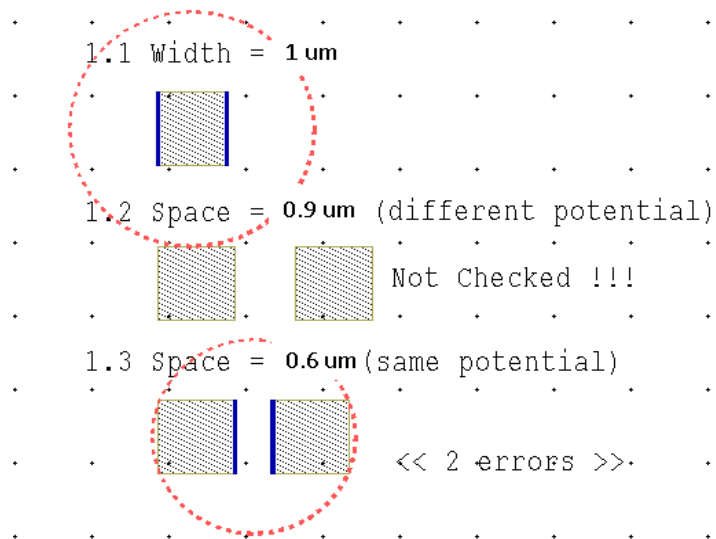


Рис. 15 Правила проверки проектирования кармана

2.1 Минимальная ширина фигур слоя Active = 0.3 мкм

2.2 Расстояние между фигурами в слое Active = 0.3 мкм

2.3a Расстояние от границы фигуры в слое Active до границы фигуры в слое Well, внутри которой она находится = 0.5 мкм

2.3b Расстояние от границы фигуры в слое Active до границы фигуры в слое Well, вне которой она находится = 0.5 мкм

2.4a Расстояние от контакта к карману до границы кармана = 0.3 мкм

2.4b Расстояние от контакта к подложке до границы кармана = 0.3 мкм

(см. рис. 16)

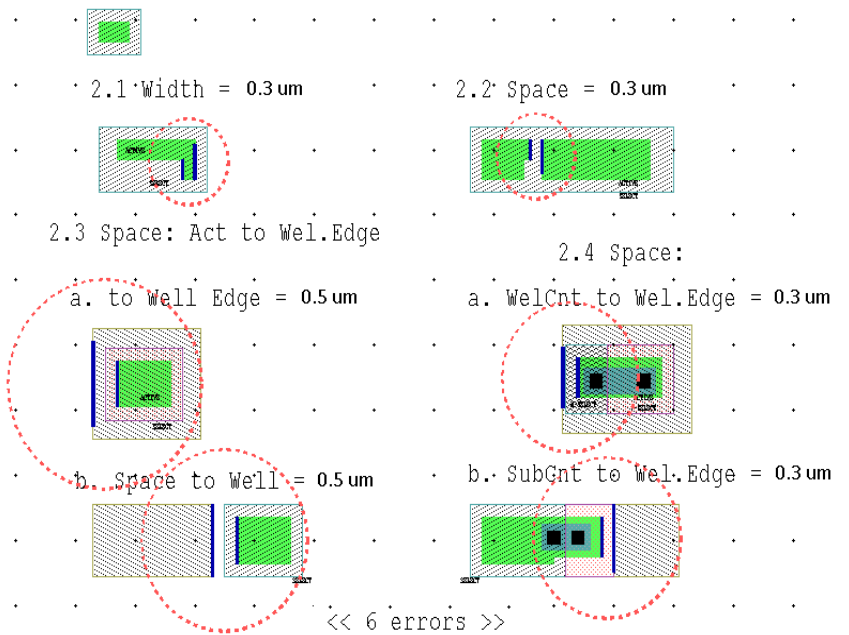


Рис. 16 Правила проверки слоя Active

3.1 Минимальная ширина фигур слоя Poly = 0.2 мкм

3.2 Расстояние между фигурами в слое Poly = 0.2 мкм

3.3 Выступ фигуры затвора за пределы слоя Active = 0.2 мкм

3.4a/4.1a Ширина Сток/Истока = 0.3 мкм

3.4b/4.1b Ширина Сток/Истока = 0.3 мкм

3.5 Расстояние между фигурами слоя Poly и фигурами слоя Active = 0.2 мкм

(см. рис. 17)

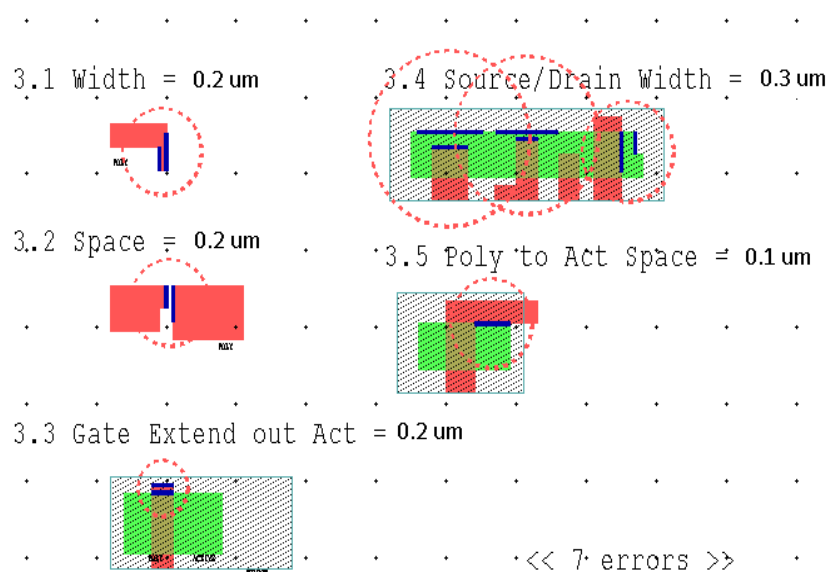


Рис. 17 Правила проверки слоя Poly

4.2a/2.5 Расстояние от границы фигуры в слое Active до границы фигуры в слое N Select, внутри которой она находится = 0.2 мкм

4.2b/2.5 Расстояние от границы фигуры в слое Active до границы фигуры в слое P Select, внутри которой она находится = 0.2 мкм

4.3a Расстояние от границы контакта к слою Active до границы фигуры в слое Select, внутри которой он находится = 0.1 мкм

4.3b Расстояние от границы контакта к слою Active до границы фигуры в слое Select, вне которой он находится = 0.1 мкм

4.3c Фигуры в слое ActiveContact должны находиться внутри фигуры слоя Active

4.4a Минимальная ширина фигур слоя Select (N Select) = 0.2 мкм

4.4b Минимальная ширина фигур слоя Select (P Select) = 0.2 мкм

4.4c Расстояние между фигурами в слое Select = 0.2 мкм

4.4d Расстояние между фигурами в слое Select = 0.2 мкм

4.5 Фигуры слоя P Select должны накладываться на фигуры слоя N Select

4.6 Фигуры слоя Active должны быть окружены фигурами слоя Select (см. рис. 18)

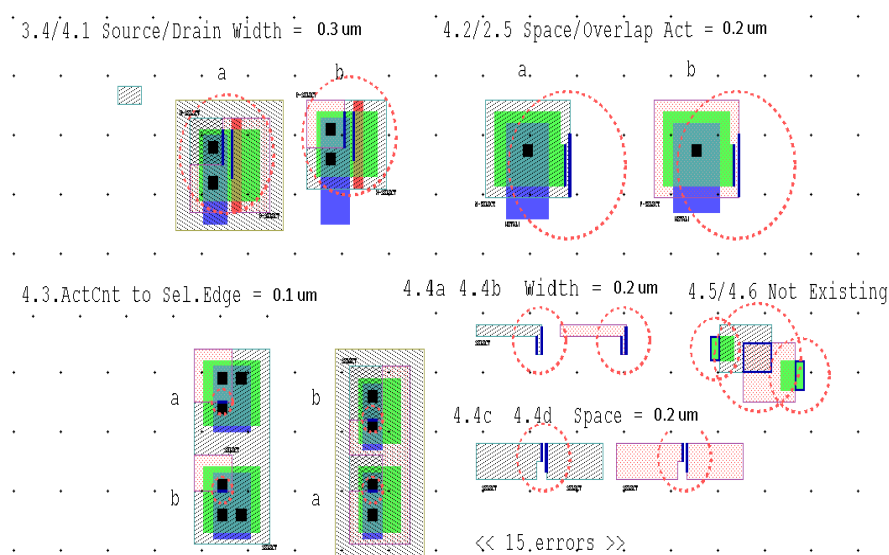


Рис. 18 Правила проверки слоя Select

5.1A Точный размер фигуры слоя Poly Contact = 0.2 мкм

5.2A/5.6B Глубина наложения фигур слоя Field Poly на фигуры слоя Poly Contact = 0.15 мкм

5.2b Фигуры в слое Poly Contact должны находиться внутри фигуры слоя Poly

5.3A Расстояние между фигурами в слое Poly Contact = 0.2 мкм

(см. рис. 19)

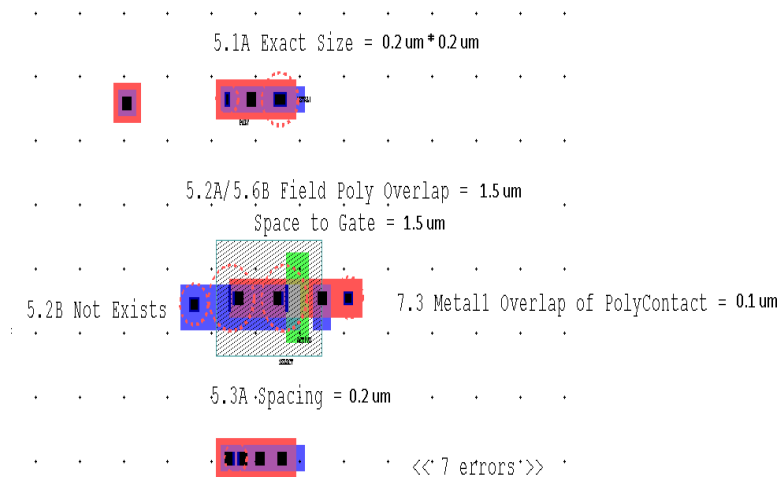


Рис. 19 Правила проверки слоя Poly

6.1A Точный размер фигуры слоя Active Contact = 0.2 мкм

6.2A Глубина наложения фигур слоя Field Active на фигуры слоя Active Contact = 0.15 мкм

6.3A Расстояние между фигурами в слое Active Contact = 0.2 мкм

6.4A Расстояние между фигурами слоя Active Contact и фигурами слоя Gate = 0.2 мкм

(см. рис. 20)

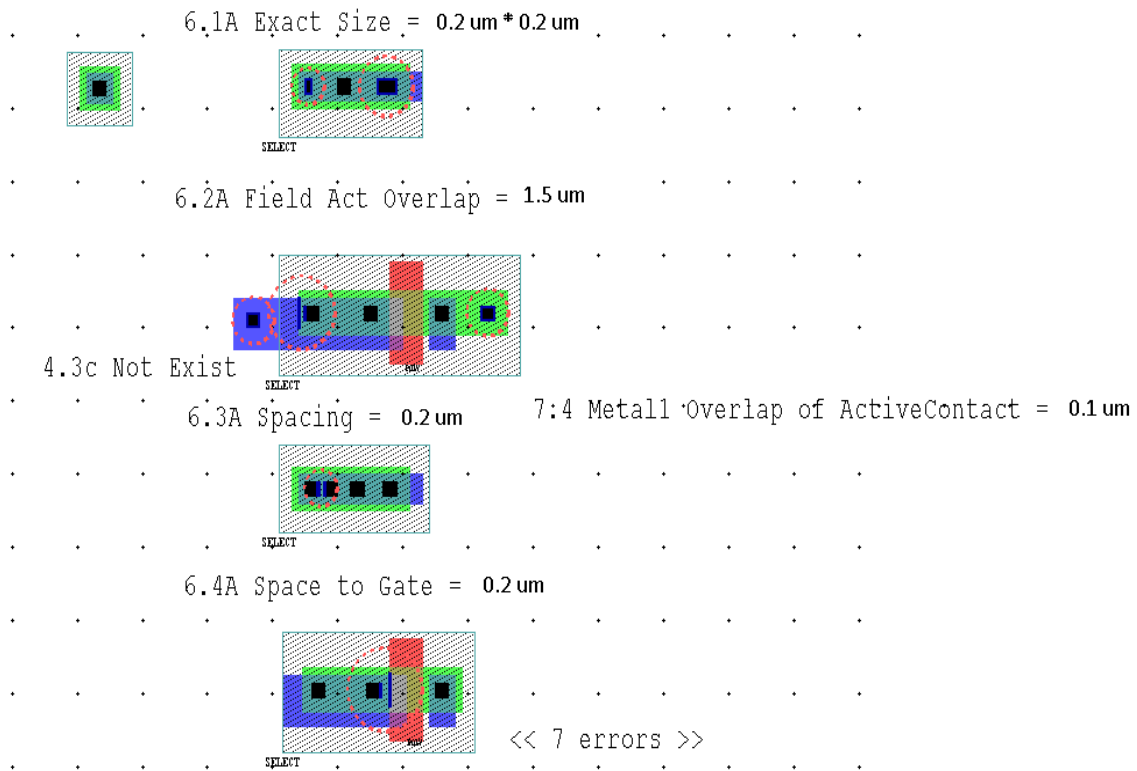


Рис. 20 Правила проверки слоя Active Contact

7.1 Минимальная ширина фигур слоя Metall = 0.3 мкм

7.2 Расстояние между фигурами в слое Metall = 0.3 мкм

7.3 Глубина наложения фигур слоя Metall на фигуры слоя Poly Contact = 0.1

мкм

7.4 Глубина наложения фигур слоя Metall на фигуры слоя Active Contact =

0.1 мкм

(см. рис. 21)

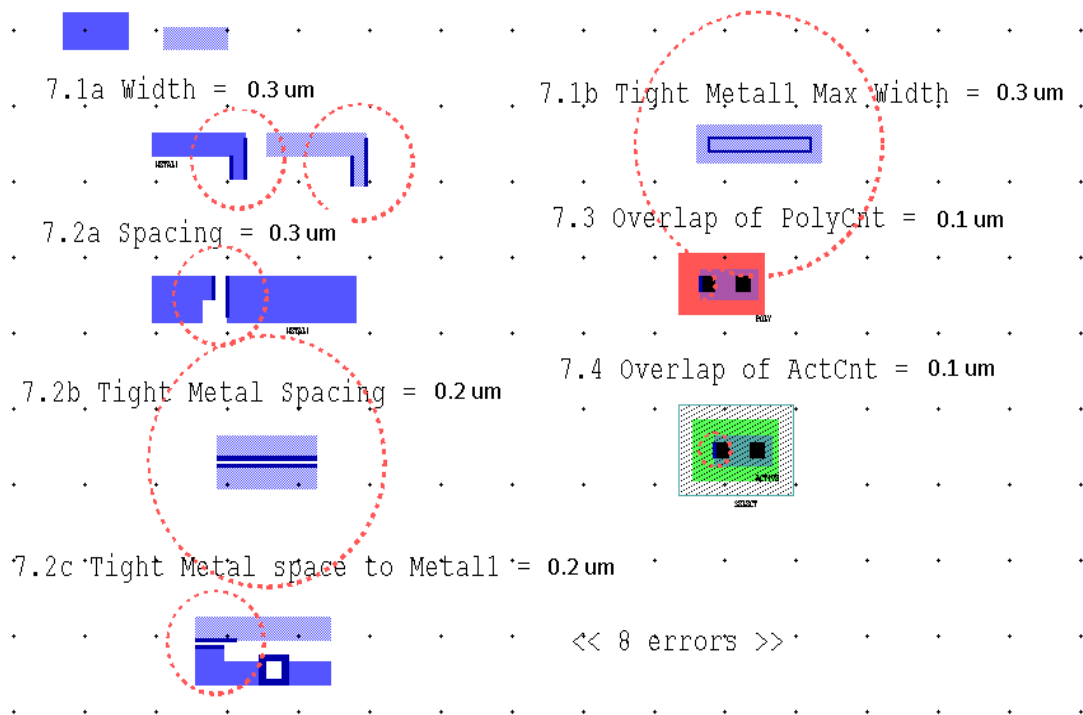


Рис. 21 Правила проверки слоя Metal 1

8.1 Точный размер фигуры слоя Via = 0.2 мкм

8.2 Расстояние между фигурами в слое Via = 0.3 мкм

8.3 Глубина наложения фигур слоя Metall на фигуры слоя Via = 0.1 мкм

8.4a Расстояние между фигурами слоя Via и фигурами слоя Poly Contact = 0.2

мкм

8.5b. Расстояние между фигурами слоя Via и фигурами слоя Active Contact =

0.2 мкм

8.5a Расстояние между фигурами слоя Via и фигурами слоя Poly = 0.2 мкм

8.5b Расстояние от фигуры слоя Via, находящейся на фигуре слоя Poly, до

края слоя Poly = 0.2 мкм

8.5c Расстояние между фигурами слоя Via и фигурами слоя Active = 0.2 мкм

8.5d Расстояние от фигуры слоя Via, находящейся на фигуре слоя Active, до

края слоя Active = 0.2 мкм

(см. рис. 22)

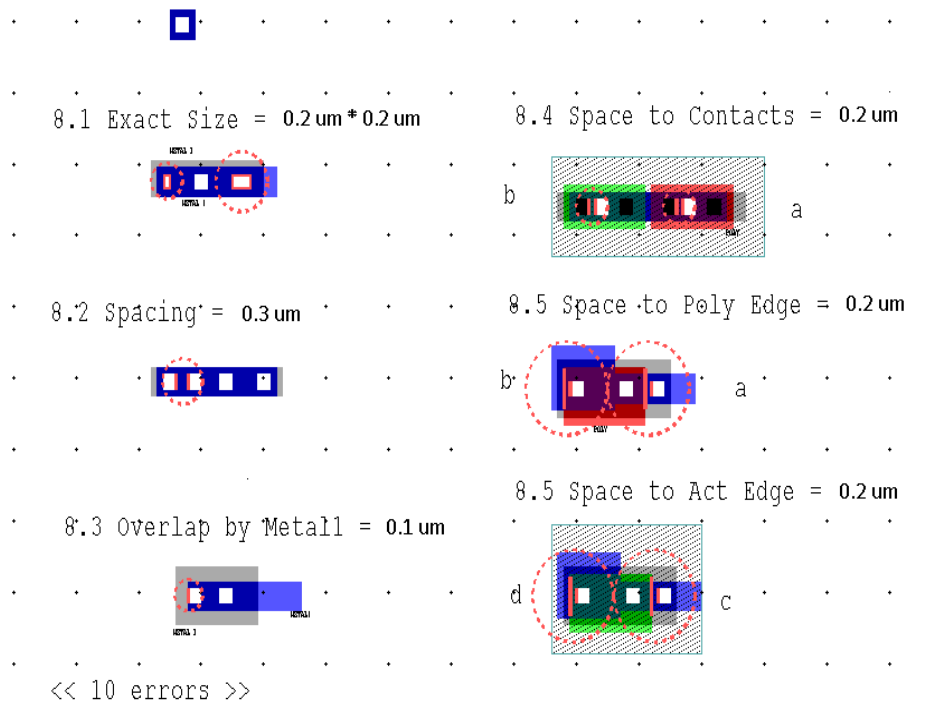


Рис. 22 Правила проверки слоя Via

9.1 Минимальная ширина фигуры для слоя Metal2 = $0.3\text{ }\mu\text{m}$

9.2 Расстояние между фигурами в слое Metal2 = $0.4\text{ }\mu\text{m}$

9.3 Глубина наложения фигур слоя Metal2 на фигуры слоя Via1 = $0.1\text{ }\mu\text{m}$

(см. рис. 23)



Быстродействие ИС, стойкость к факторам, приводящим к изменению проводимости подложки: свету, температуре, радиационным воздействиям во многом определяется изоляцией элементов интегральных схем.

Внутритранзисторные утечки возникают между областями одного и того же транзистора; межтранзисторные утечки возникают между областями соседних транзисторов.

- изоляция обратным смещённым р-п-переходом
- изоляция диэлектриком
- комбинированные методы изоляции.

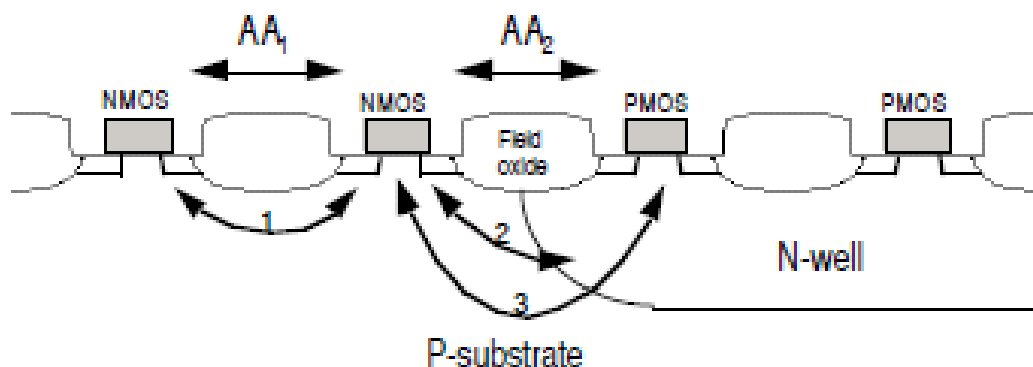


Рис. 37. Типичные пути токов утечки в неизолированной структуре

3.3.1 Изоляция обратнo смещёнными р-п-переходами

Метод изоляции обратнo смещённым р-п-переходом обладает высокой технологичностью, так как операции создания изолирующей области не требуют новых технологических процессов и органично вписываются в общий процесс и не требуют ни новых материалов, ни дополнительного оборудования.

Последовательность основных операций изготовления ИС с изоляцией элементов р-п-переходом показана на рис. 38.

Изоляция элементов ИС р-п-переходом имеет и существенные недостатки:

- соизмеримость площади, отводимой под изоляцию с площадью транзистора;
- большая паразитная ёмкость изолирующих р-п-переходов и появление дополнительных паразитных элементов в структуре микросхем;
- необходимость подачи на изолирующий р-п-переход определённого по величине и знаку напряжения смещения и принятия специальных мер, чтобы он не открывался ни при каких режимах работы ИС;
- низкая устойчивость к воздействию ионизирующих факторов;
- недостаточное быстродействие;
- невысокая степень интеграции.

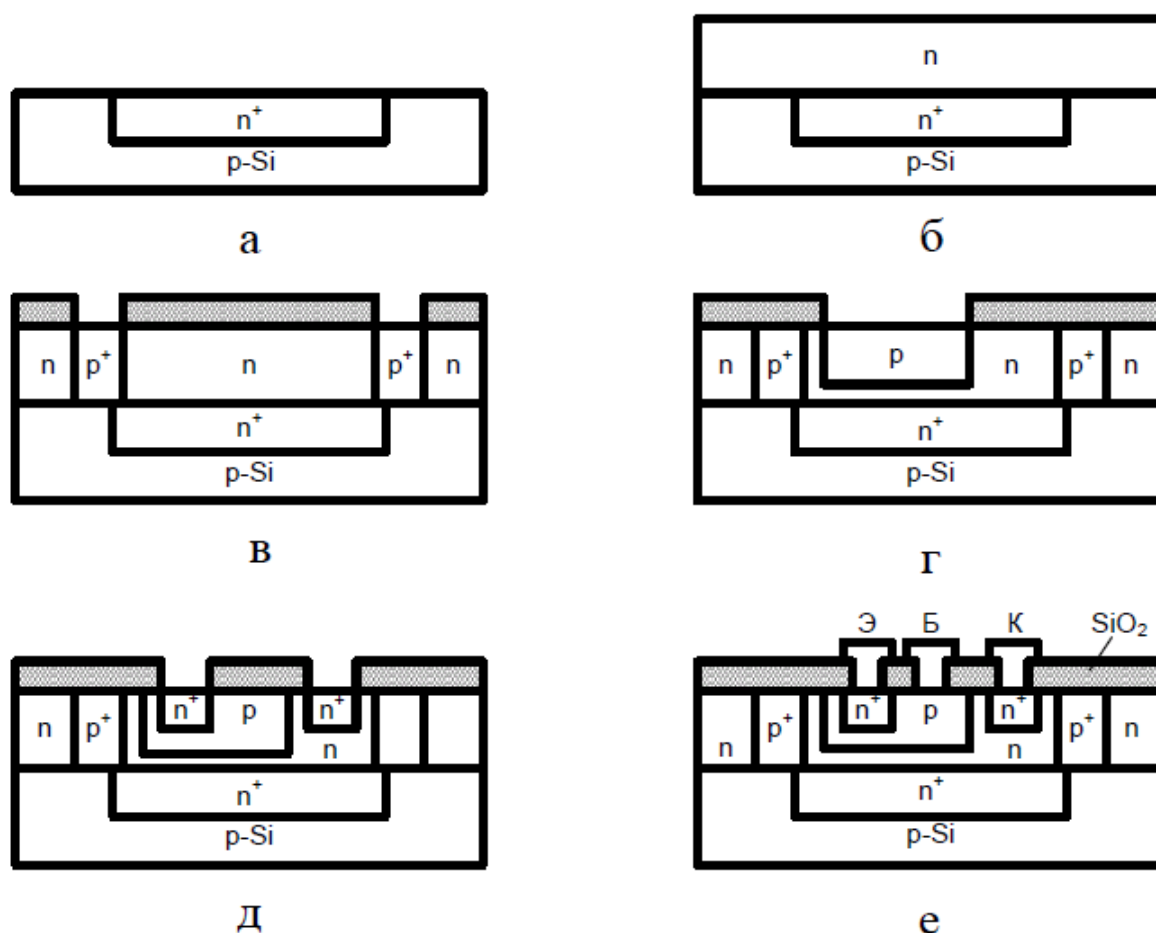


Рис. 37. Последовательность операций изготовления ИС с изоляцией элементов р-п-переходом: а – диффузия для создания скрытого коллекторного слоя; б – эпитаксия кремния п-типа; в – загонка бора для формирования боковой изоляции; г – загонка и разгонка бора для формирования базы; д – загонка фосфора для формирования эмиттера и подлегирование коллектора; е – нанесение Al, фотолитография и отжиг контактов

3.3.2 Изоляция методом «изопланар» (LOCOS)

Метод изоляции элементов микросхем методом «Изопланар» относится к комбинированным методам изоляции. Технологический процесс изготовления изопланарных компонентов ИС с эпитаксиальной базой показан на рис. 38.

В этой технологии изоляция вертикальных стенок компонентов осуществляется толстым слоем двуокиси кремния, простирающимся от поверхности эпитаксиального слоя до n⁺-скрытого слоя; изоляция донной части компонентов осуществляется, обратно смещённым р-п-переходом, как и в КИД-технологии.

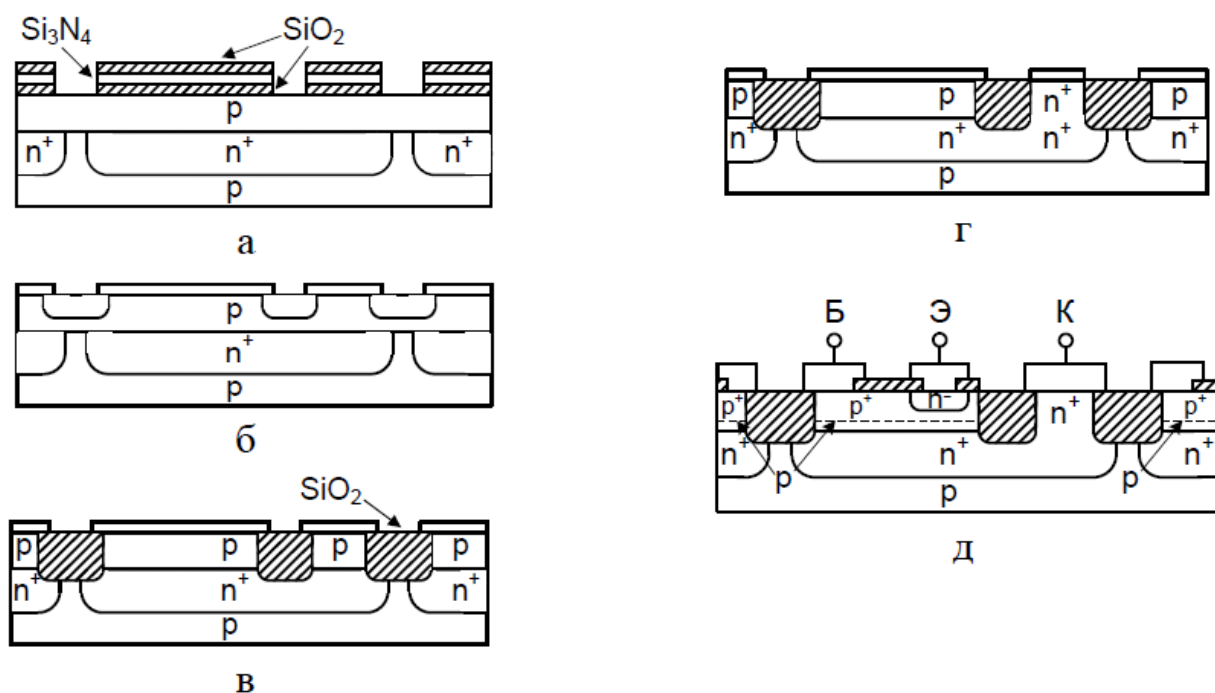


Рис. 38. Последовательность основных этапов изготовления ИС по технологии “Изопланар” с использованием эпитаксиальной базы: а – фотогравировка слоя нитрида кремния; б – травление кремния в разделительных дорожках; в – формирование изолирующего окисла в разделительных дорожках; г – формирование контакта к коллектору; д – формирование активных и пассивных компонентов в изолированных областях кремния

3.3.3 Мелко- и глубокощелевая изоляция

Технология мелкощелевой (shallow trench isolation, STI) и глубокощелевой (deep trench isolation, DTI) изоляции стала доминирующей в транзисторах, выполненных по технологии с проектными нормами 0,25 мкм и менее и пришла на смену изоляции локальным окислением кремния (LOCOS).

При мелкощелевой технологии изоляцию между карманами, каждый из которых содержит один транзистор, выполняют обычно мелкими канавками, стенки которых окисляют, а внутренность заполняют поликремнием (см. рис. 39).

Преимуществом этого типа изоляции является меньшая площадь, занимаемая самим изоляционными структурами, что приводит к большей плотности упаковки элементов ИС.

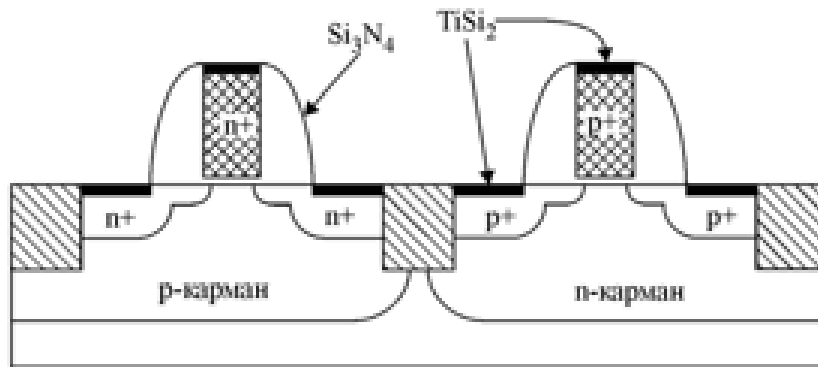


Рис. 39. Разрез структуры КМОП-пары при использовании мелкощелевой изоляции

Последовательность действий при изготовлении мелкой канавки, включающая в себя короткий этап температурного окисления, осаждение оксида и последующую полировку, проиллюстрирована на рис. 40.

Различия изоляции с помощью глубокой и мелкой канавки показано на рис. 41.

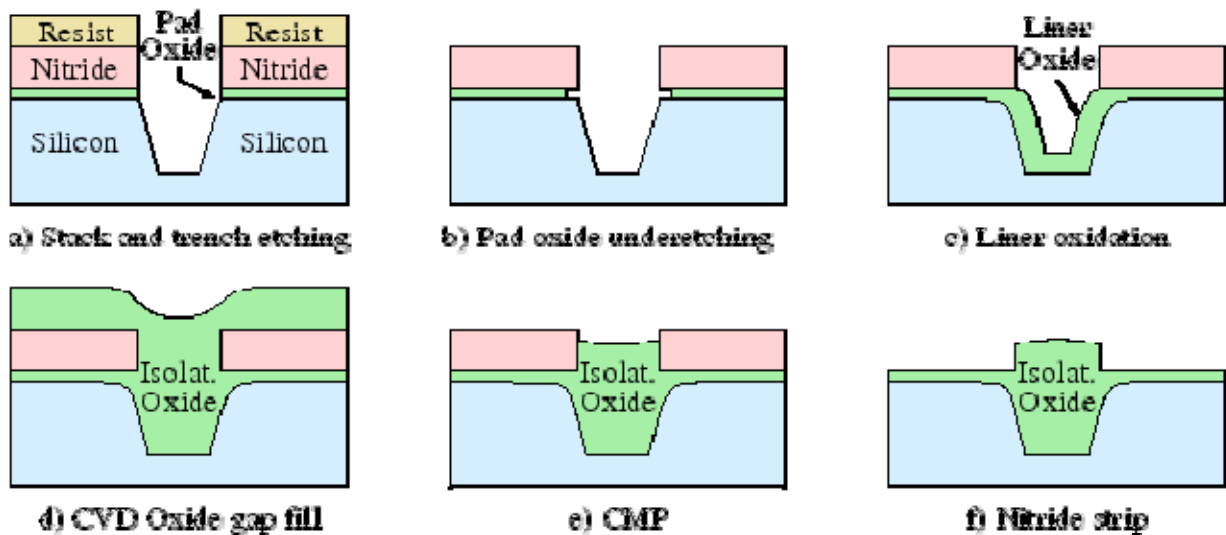


Рис. 40. Типичный маршрут создания мелкой канавки

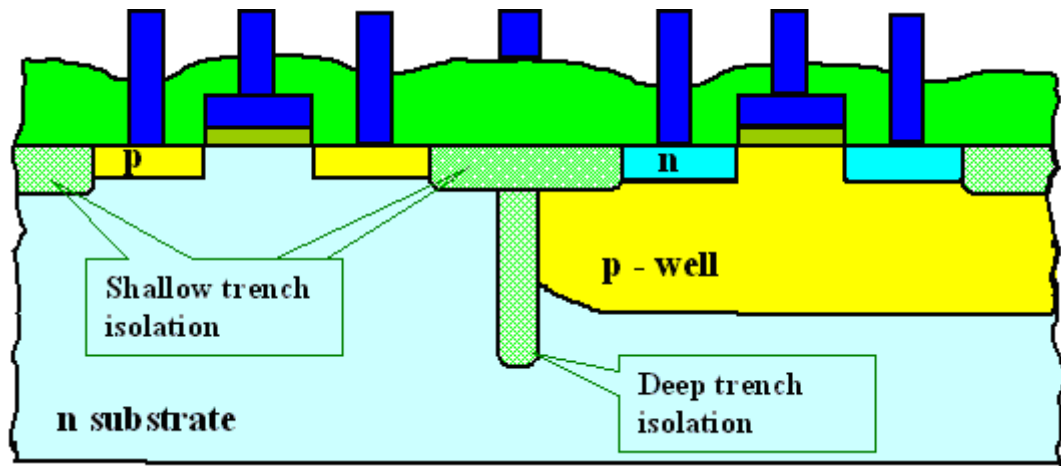


Рис. 41. Различие между мелкими и глубокими канавками

4 ДОМАШНЕЕ ЗАДАНИЕ

4.1 Текст задания

- 1) Описать таблицу истинности и принцип работы схемы на электрическом уровне;
для каждой комбинации входных значений указать, какие транзисторы открываются/закрываются и почему, по каким ветвям течёт ток, как рассчитывается выходное напряжение;
- 2) выбрать или рассчитать параметры элементов схемы (резисторов, транзисторов, см табл. 4.1—4.3);
- 3) изобразить на одном чертеже в едином масштабе вид сверху и разрезы структур различных элементов схемы (см. гл. 1) с изолирующими структурами (см. п. 3.2);
- 4) с помощью SPICE рассчитать:
 - а) диаграмму, подтверждающую таблицу истинности, – в переходном режиме с длинными импульсами и короткими фронтами;
 - б) статические характеристики схемы: передаточную, потребляемый ток; по ним определить уровни логического нуля, единицы, запас помехоустойчивости, средний потребляемый ток, статическую потребляемую мощность;
требование: изменение выходного напряжения и пик потребляемого тока должны иметь место при входном напряжении, равном половине питания;
 - совет: регулировать напряжение переключения можно размерами транзисторов; целесообразно ввести переменную для подбираемых параметров;
 - в) переходную характеристику схемы при максимальной допустимой частоте; по ней определить времена задержек и фронтов переключения, максимальную рабочую частоту схемы, динамическую потребляемую мощность;

требование: на отдельном поле следует показать, как развивается переходной процесс переключения от схемы к схеме: исходный импульс, входное и выходное напряжение исследуемой схемы, выходное напряжение нагрузочной схемы – все эти напряжения должны демонстрировать переключение;

- 5) изобразить топологию всей схемы (с учётом норм проектирования, в масштабе, с изолирующими структурами; подписать компоненты схемы и выводы);

требование 1: топология должна быть как можно более компактной;

требование 2: использовать не более двух слоёв разводки, причём только нижний слой (metal1) используется для подключения к диффузионным областям/поликремниевым пластинам;

требование 3: выводы схемы должны быть расположены так, чтобы к ним можно было подключиться – должна быть возможность подвести линию в каком-либо слое;

совет 1: определите топологические размеры транзисторов/резисторов/диодов, расположите их на рабочем поле, проведите большую часть металлических соединений в нижнем слое металла (metal1), остальные/сложные соединения проведите в верхнем слое металла (metal2), можно делать «подныры».

4.2 Параметры элементов схемы

Табл. 4.1. Топологические нормы (правила проектирования)

Парам.	Описание	Значение		
		Технологическая разновидность		
		1	2	3
Δ	Минимальный топологический размер, мкм	0,25	0,35	0,5
	Минимальный размер стороны контактного окна	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$
	Минимальный размер фигуры в слое металла	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$
	Минимальное перекрытие металлом контактного окна	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$
	Минимальное расстояние от границ контактного окна до границ контактируемой области	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$
	Минимальное расстояние между фигурами в	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$

	слое металла			
	Остальные топологические нормы	$0,5 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$

Табл. 4.2. Технологические и геометрические параметры биполярных транзисторов, значения которых необходимо выбрать для расчёта параметров SPICE-модели и топологии

Парам.	Описание	Значение		
		Технологическая разновидность		
		1	2	3
R_{SB}	Поверхностное сопротивление пассивной области базы, Ом/□	300	230	160
R_{SBB}	Поверхностное сопротивление активной области базы, Ом/□	3000	2300	1600
R_{SE}	Поверхностное сопротивление области эмиттера, Ом/□	10	7	2
$C_{меж}$	Ёмкость межсоединения, пФ	10	8	5
x_{jk}	глубина залегания р-п перехода база-коллектор, м	$1,1 \cdot 10^{-6}$	$1,4 \cdot 10^{-6}$	$1,8 \cdot 10^{-6}$
x_{je}	глубина залегания р-п перехода база-эмиттер, м	$0,5 \cdot 10^{-6}$	$0,6 \cdot 10^{-6}$	$0,8 \cdot 10^{-6}$
$w_{эпи}$	толщина эпитаксиального слоя, м	$4 \cdot 10^{-6}$	$5 \cdot 10^{-6}$	$6 \cdot 10^{-6}$
x_{jn}	толщина скрытого n^+ слоя, м	$1,0 \cdot 10^{-6}$	$1,5 \cdot 10^{-6}$	$2,0 \cdot 10^{-6}$
C_{pn0}	удельная ёмкость р-п-перехода, Ф/м ²	$3 \cdot 10^{-3}$	$2 \cdot 10^{-3}$	$1 \cdot 10^{-3}$
$l_{э}, d_{э}$	длина и ширина эмиттера, м	→ подобрать минимально возможные значения исходя из правил проектирования		
$l_{эк}, d_{эк}$	длина и ширина контакта к эмиттеру, м			
$l_{б}, d_{б}$	длина и ширина базы, м			
$l_{БК}, d_{БК}$	длина и ширина контакта к базе, м			
$l_{КК}, d_{КК}$	длина и ширина контакта к коллектору, м			
$d_{ЭБ}$	расстояние между контактом базы и границей эмиттера, м			

Табл. 4.3. Технологические и геометрические параметры МОП-транзисторов, значения которых необходимо выбрать для расчёта параметров SPICE-модели и топологии

Парам.	Описание	Значение		
		Технологическая разновидность		
		1	2	3
V_{dd}	Напряжение питания, В	2,5	3,3	5,0
$C_{меж}$	Ёмкость межсоединения, пФ	10	8	5
t_{ox}	Толщина подзатворного оксида, нм	6	8	10
μ_n	Подвижность электронов, м ² /(В·с)	0,0317	0,0416	0,0450
μ_p	Подвижность дырок, м ² /(В·с)	0,0136	0,0151	0,0176

$d_{\text{пер}}$	Перекрытие затвором областей стока/истока, мкм	$0,1 \cdot \Delta$	$0,1 \cdot \Delta$	$0,1 \cdot \Delta$
x_j	Глубина залегания р-п перехода исток-подложка и сток-подложка, нм	100	100	150
L	длина канала, м	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$	$1,0 \cdot \Delta$
W	ширина канала, м	рассчитать		
AS	площадь истока, м ²	→ подобрать минимально возможные значения исходя из правил проектирования		
AD	площадь стока, м ²			
PS	периметр истока, м			
PD	периметр стока, м			

Табл. 4.4. Параметры SPICE-моделей МОП-транзисторов

<i>Технологическая разновидность</i>	<i>Имя файла</i>
1	students_0p25um_mosfet_model.inc
2	students_0p35um_mosfet_model.inc
3	students_0p5um_mosfet_model.inc

Табл. 4.5. Параметры SPICE-моделей биполярных транзисторов

<i>Технологическая разновидность</i>	<i>Имя файла</i>
1; 2; 3	students_npn_model.inc

4.3 Требования к выполнению

- 1) Работа выполняется бригадой не менее, чем из двух человек; принцип комплектования бригад – свободный;
- 2) схемотехническое моделирование выполняется в специализированной программе схемотехнического моделирования (LTSpice); проектирование топологии и разрезы структур выполняются в специализированном топологическом редакторе (L-Edit); разрешается использовать другие программы по согласованию с преподавателем;
- 3) вариант задания включает в себя электрическую схему (выложены в отдельном файле variants в ЛМС); каждая схема из файла variants может быть реализована в одной из трёх технологических разновидностей (№ 1, 2, 3); для каждого варианта в файле variants указан номер варианта и суммарная стоимость (на всю бригаду в целом);

- 4) бригада выбирает вариант и самостоятельно записывается в отдельную google-таблицу, предоставленную преподавателем (ссылка в отдельном файле google.lnk в LMS); при этом одна технологическая разновидность варианта может быть выбрана не более, чем одной бригадой потока;
- 5) исходные данные к заданию выбираются по таблицам 4.1 и 4.2 из колонки, соответствующей выбранной технологической разновидности схемы (1, 2, 3);
- 6) карты моделей транзисторов выложены в LMS в отдельных файлах или в одном архивном файле; файлы с картами моделей транзисторов выбираются по табл. 4.3;

4.4 Требования к оформлению отчёта

- 1) на титульном листе указывается то подразделение организации, в котором выполнялась работа (в данном случае – департамент электронной инженерии), номер варианта, список исполнителей, долевой вклад каждого исполнителя в выполнение работы (распределяется членами бригады самостоятельно);
- 2) разделы и пункты отчёта нумеруются; страницы нумеруются (кроме первой), в начале отчёта вставляется оглавление;
- 3) при построении графиков напряжений каких-либо точек схемы требуется, чтобы эти точки имели вручную назначенные имена (Label) на самой схеме и на графиках;
- 4) графики должны иметь вид тёмных линий на белом фоне, соотношение сторон поля графика должно быть в пределах от 1:3 до 3:1; все необходимые линии и надписи в тексте и на графиках должны быть чётко различимы и должны хорошо читаться без увеличения масштаба просмотра страницы;
- 5) при определении параметров сигнала по графику следует использовать возможности курсоров (маркеров), имеющиеся в программе моделирования; окна маркеров с их показаниями должны быть приведены на снимках графиков;
- 6) количество и содержимое рисунков должно быть достаточным для пояснения результатов выполнения пунктов задания;

- 7) масштаб по оси Y на всех графиках следует подбирать так, чтобы минимизировать пустое пространство на графике;
- 8) в конце отчёта приводятся расширенные выводы.

4.5 Порядок сдачи работы

- 1) Готовая работа защищается бригадой в дни, назначенные по согласованию между преподавателем и старостами групп; на каждый день защиты организуется отдельная google-таблица для самозаписи; в случае, если какой-либо член бригады не участвует в защите (по любой причине), он защищается отдельно и самостоятельно;
- 2) работа предварительно сдаётся на проверку через систему проектов в LMS НИУ ВШЭ в виде архива, содержащего следующие файлы:
 - г) отчёт в виде текстового файла формата PDF, DOC, DOCX, RTF или ODT;
 - д) файл (файлы) с электрической схемой в формате программы схемотехнического редактора, пригодные для моделирования;
 - е) файл (файлы) с топологией в формате программы топологического редактора;
- 3) при отсутствии ошибок в выполненной работе преподаватель сообщает студенту оценку за выполнение и разрешает записаться на защиту; при наличии ошибок преподаватель дополнительно сообщает студенту перечень ошибок;
- 4) всю переписку с преподавателем об ошибках и оценках рекомендуется вести в системе обсуждения проекта LMS;
- 5) нормативный срок защиты – пять недель со дня выдачи задания; каждый студент бригады получает дополнительные 3 балла к оценке при успешной защите на неделю раньше срока (при оценке не ниже 7 баллов); оценка снижается на 3 балла за каждую дополнительную неделю;

<i>Защита проведена до</i>	<i>Бонусы/ штрафы каждому из бригады</i>	<i>Защита проведена до</i>	<i>Бонусы/ штрафы каждому из бригады</i>
03.03.2019	+3 балла	17.03.2019	–3 балла
10.03.2019	—	24.03.2019	–6 балла

Дополнительные 2 балла к оценке получают первые 10 бригад, сдавшие полностью правильную работу и получившие оценку за выполнение 10 баллов.

- 6) в случае большой небрежности в оформлении отчёта и программных файлов преподаватель может отказаться от их проверки, выставить оценку «0» за выполнение в текущую ведомость и не дать разрешения на защиту;
- 7) бригада может заново сдать исправленный отчёт; для его оценивания не имеет значения, когда сдавались предыдущие версии отчёта.
- 8) в случае, если проверка отчёта бригады занимает более двух дней, сроки сдачи для исправленного варианта сдвигаются на величину задержки;
- 9) в случае, если при защите работы какой-либо из членов бригады обнаруживает неудовлетворительные знания, преподаватель может отказаться выставлять ему оценку и потребовать повторной защиты не ранее, чем через два дня;
- 10) защиту работ, в которых общая стоимость 32 балла и больше или оценочный коэффициент кого-либо из участников больше 1,2, принимает только преподаватель.

4.6 Система оценивания

- 1) В таблице вариантов указывается общая стоимость в баллах каждого варианта (на бригаду): $C_{\text{вар}}$;
- 2) долевой вклад $D_{\text{уч}}$ каждого члена бригады в выполнение работы определяется по соглашению членов бригады, $D_{\text{уч}} \in (0, 1)$, $\sum D_{\text{уч}} = 1$;
- 3) оценочный коэффициент каждого члена бригады определяется как

$$K_{\text{уч}} = C_{\text{вар}} * D_{\text{уч}} / 10;$$

- 4) оценку за выполнение работы $O_{\text{вып}}$ (по 10-балльной шкале) выставляет принимающий преподаватель в начале или до защиты; оценка $O_{\text{вып}}$ одинакова для всех членов бригады;
- 5) оценку за защиту $O_{\text{защ}}$ (по 10-балльной шкале) для каждого из исполнителей отдельно выставляет принимающий преподаватель; в случае, если защиту принимает учебный ассистент, он выставляет оценку по 7-балльной шкале;
- 6) итоговая оценка за домашнее задание (выставляется в ведомость текущей успеваемости) для каждого члена бригады складывается из оценки за выполнение и оценки за защиту:

$$O_{\text{дз}} = O_{\text{вып}} * K_{\text{уч}} * 0,5 + O_{\text{защ}} * K_{\text{уч}} * 0,5;$$

- 7) оценка $O_{дз}$ зависит от сложности варианта и не ограничена значением 10;
- 8) оценка $O_{дз}$ выставляется в ведомость текущей успеваемости только при успешной защите работы.

Пример расчёта оценок: бригада из двух человек выбрала вариант общей стоимостью $C_{вар} = 20$ баллов, участие в выполнении распределено как $D_{уч1} = 0,6$, $D_{уч2} = 0,4$. Тогда оценочные коэффициенты: $K_{уч1} = 20 * 0,6 / 10 = 1,2$; $K_{уч2} = 20 * 0,4 / 10 = 0,8$. Оценка за выполнение выставлена преподавателем $O_{вып} = 8$, оценки за защиту $O_{заш1} = 9$, $O_{заш2} = 7$. Тогда итоговые оценки: $O_{дз1} = 8 * 1,2 * 0,5 + 9 * 1,2 * 0,5 = 4,8 + 5,4 = 10,2$; $O_{дз2} = 8 * 0,8 * 0,5 + 7 * 0,8 * 0,5 = 3,2 + 2,8 = 6$.

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Ланцов, В.Н. Проектирование заказных интегральных схем на КМОП: учеб.пособие / В. Н. Ланцов; Владим. гос. ун-т. – Владимир: Изд-во Владим. гос.ун-та, 2009.
2. H.Veendrick. Deep-Submicron CMOS ICs. Kluwer Academic Publishers, 2000.
3. Миловзоров О.В., Панков И.Г. Электроника: учебник для бакалавров.-5-е изд. – М.: Издательство Юрайт, 2015.
4. R. Jacob Baker, CMOS, Circuit Design, Layout, and Simulation, Third Edition / IEEE Press 445 Hoes Lane Piscataway, NJ 08854/ - 2010.
5. D. Maynard, S. Runyon, B. Reuter, Yield enhancement using recommended ground rules // IEEE/SEMI Conference, 2004. Jeff Wilson, Walter
6. Петросянц К. О., Козынка П. А., Рябов Н. И., Самбурский Л. М., Харитонов И. А. Электроника интегральных схем. Лабораторные работы и упражнения. Учебное пособие / Под общ. ред.: К. О. Петросянца. М. : Солон-Пресс, 2017;
7. L-Edit 16 User Guide—Contents.
8. У. Тилл, Дж. Лаксон Интегральные схемы. Материалы, приборы, изготовление. М. 1985.
9. Р. Маллер, Т. Кейминс Элементы интегральных схем. М. 1989.
10. Сугано Т., Икома Т., Такэиси Ё. Введение в микроэлектронику. Пер. с яп. - М.: Мир, 1988.-320с., ил.
- 11.Алексенко А.Г., Шагурин И.И. Микросхемотехника. М, “Радио и связь”, 1990, 254с
- 12.Шагурин И.И. Транзисторно-транзисторные логические схемы. Под редакцией Ю.Е. Наумова. М, “Сов. радио”, 1974, 160с
- 13.Пономарев М.Ф., Коноплев Б.Г. Конструирование и расчет микросхем и микропроцессоров: Учеб. Пособие для вузов. М, “Радио и связь”, 1986, 176с
- 14.Разевиг В.Д. Применение программ P-CAD и Pspice для схемотехнического моделирования на ПЭВМ, Выпуск 2. М, “Радио и связь”, 1992, 64с
- 15.Цифровые интегральные микросхемы: Справочник / П.П. Мальцев, Н.С. Долидзе, М.И. Критенко и др. - М.: Радио и связь, 1994. - 240 с.: ил.
- 16.Богданович М.И., Грель И.Н. Цифровые интегральные микросхемы: Справочник. Минск. 1996.

17. Д. Линн, Ч. Мейер. Анализ и расчет интегральных схем
18. Валиев К.А., Кармазинский А.Н., Королев М.Р. Цифровые схемы на МДП-транзисторах. М. 1971.
19. Коледов А.А., Волков Н.И. и др. Конструирование и технология микросхем. М. 1984.
20. Аваев И.А., Наумов Ю.Е., Фролкин В.Т. Основы микроэлектроники. М. 1991.
21. Светличный А.М., Наумченко А.С., Светличная Л.А., Житяев И.Л. «Методы изоляции элементов микро- и наноструктур»: учебное пособие. – Ростов-на-Дону: Изд-во ЮФУ, 2014. – 56 с.
22. Денисенко В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. М.: Физматлит, 2010.

Дополнительная литература по Spice:

- [1]. LTSpice IV User Manual. – Режим доступа: ltspice.linear.com/software/scad3.pdf.
- [2]. Сохор Ю. Н., Моделирование устройств в пакете LTSpice: Учебно-методическое пособие. – Псков, Изд. ППИ, 2008. – 167 с.;
- [3]. Ltspice IV Getting Started Guide – Linear Technology, 2011;
- [4]. Володин В. Я., LTspice: Компьютерное моделирование электронных схем. – СПб, БХВ-Петербург, 2010. – 391 с.;

ПРИЛОЖЕНИЕ А. ПРИМЕР СОЗДАНИЯ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ КМОП-ИНВЕРТОРА С ИЕРАРХИЧЕСКИМИ ЭЛЕМЕНТАМИ В ПРОГРАММЕ LTSPICE

Принципиальная электрическая схема КМОП-инвертора состоит из соединенных стоками n- и p-канального МОП-транзисторов. Исток n-канального транзистора (n-МОПТ) подключен к земле, исток p-канального (p-МОПТ) транзистора подключен к источнику питания, затворы транзисторов закорочены и служат входом схемы, выходом схемы служат закороченные стоки транзисторов.

Для создания схемы необходимо добавить в проект символьные элементы, обозначающие n-МОПТ и p-МОПТ, для этого нужно воспользоваться меню **Edit>Component** (<F2>) или щелкнуть на значок **Component** на панели инструментов. В открывшемся диалоговом окне **Select Component Symbol** нужно выбрать элемент *nmos4* для n-МОПТ и *pmos4* для p-МОПТ.

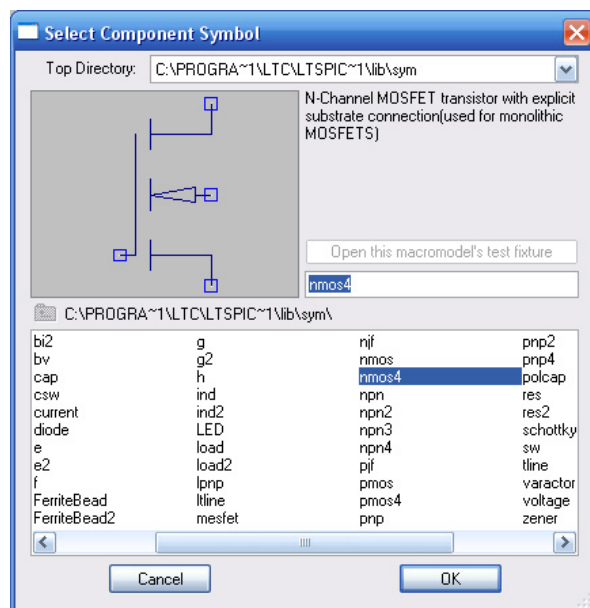


Рис. 24. Диалоговое окно Select Component Symbol

После добавления элементов в проект при помощи инструмента **Wire** (провод) необходимо соединить стоки, затем соединить затворы. Добавить элемент **Ground** «земля» и подключить к нему исток n-канального транзистора.

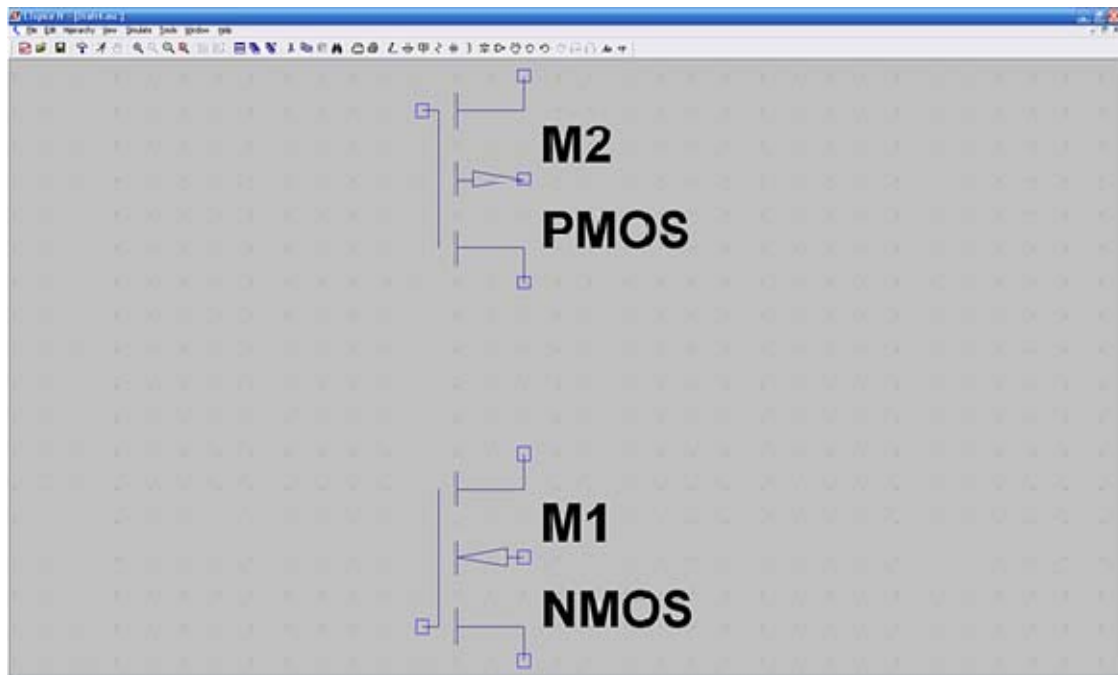


Рис. 25. Символьные элементы n- (M1) и p-канального (M2) МОП-транзисторов

Данная схема является самым нижним (базовым) уровнем иерархии в нашем проекте и не содержит источников напряжения. Источники напряжения будут подключены на верхнем уровне иерархии – схеме подключения. Для привязки элементов схемы инвертора к схеме подключения в проект базовой схемы нужно добавить порты – на вход, выход и питание. Добавить порты можно при помощи инструмента **Label Net** (метка узла). При добавлении входного порта (входной порт устанавливается слева и соединяется проводом с затворами транзисторов) в диалоговом окне **Net Name** нужно выбрать свойство **Input** (входной) для атрибута **Port Type**. Выходной порт (справа) подключается проводом к стокам транзисторов, в диалоговом окне **Net Name** нужно выбрать свойство **Output** (выходной) для атрибута **Port Type**. Порт питания находится сверху и подключается к истоку p-канального транзистора, в диалоговом окне **Net Name** нужно выбрать свойство **Bi-Direct** (двухнаправленный) для атрибута **Port Type**.

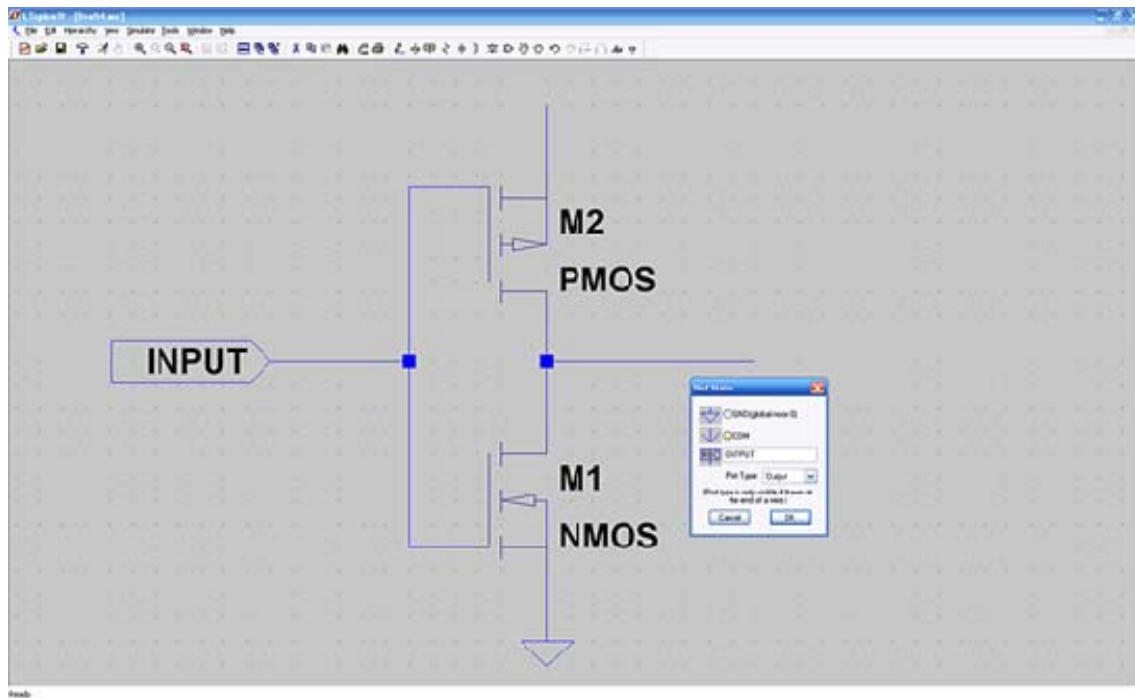


Рис. 26. Добавление портов

В результате должна получиться схема, приведенная на рис. 27.

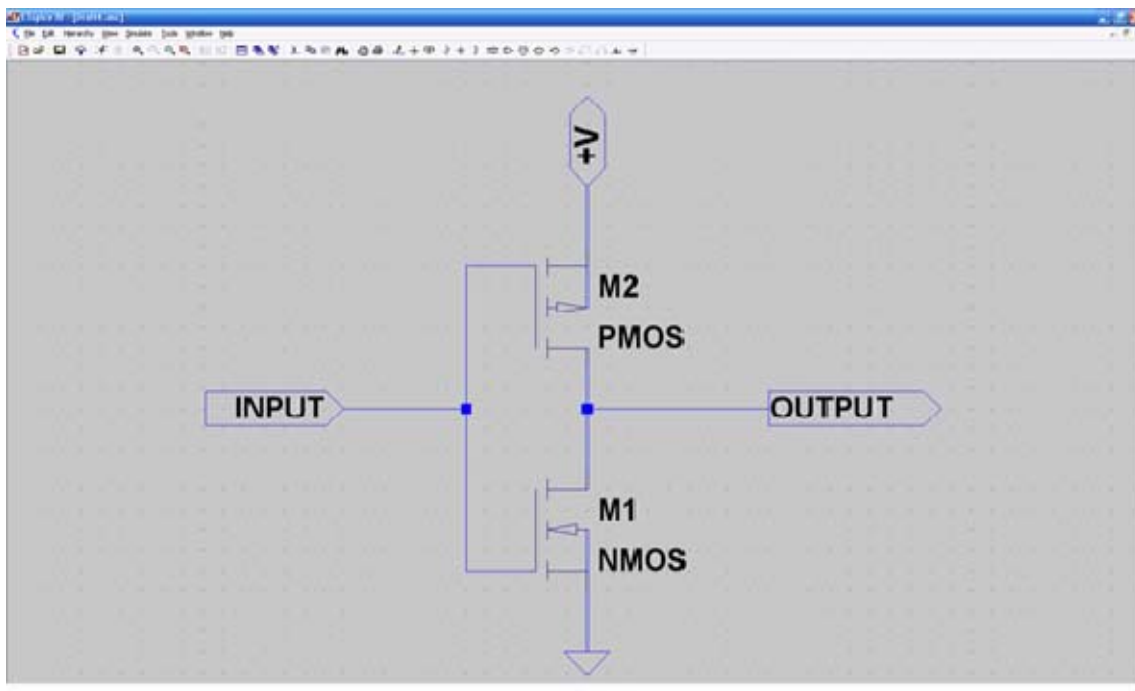


Рис. 27. Базовая схема инвертора с портами

Далее в проект базовой схемы нужно добавить описание spice-моделей с параметрами для дальнейшего расчета. Добавлять описание моделей нужно с помощью инструмента **SPICE Directive**, в появившемся диалоговом окне необходимо ввести тип модели и параметры для n- и p-канального транзистора.

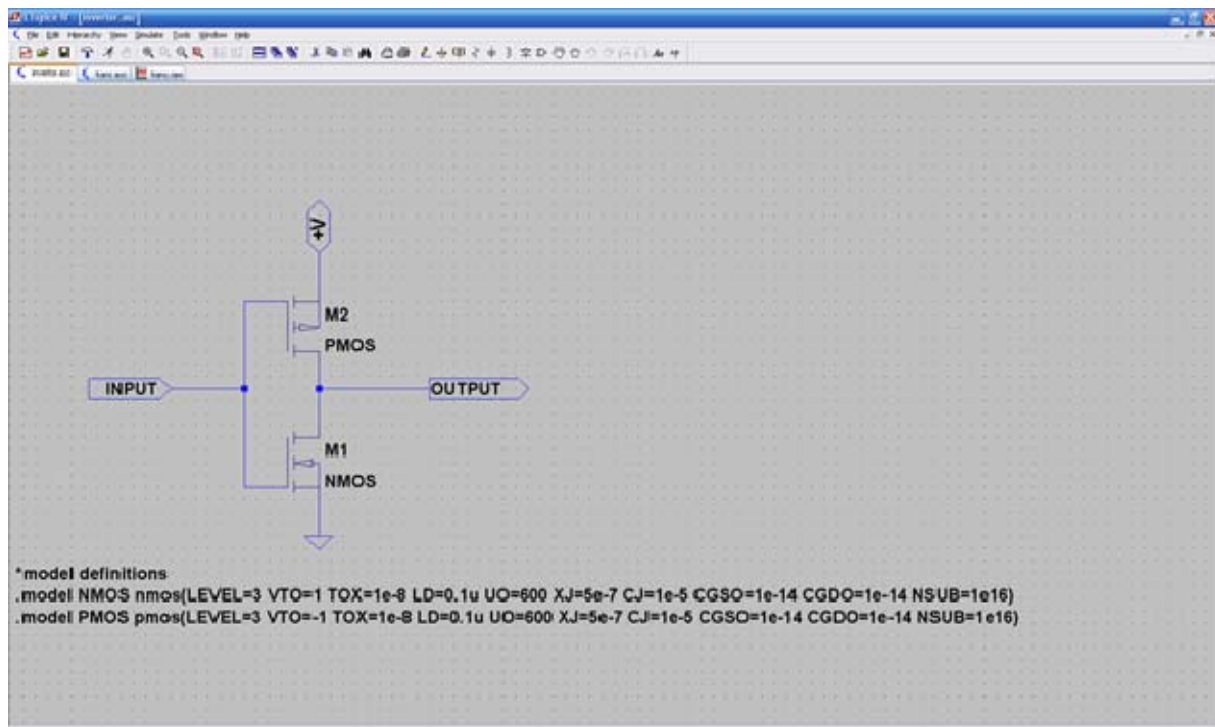


Рис. 28. Базовая схема инвертора с описанием spice-моделей

Далее инвертора схему необходимо сохранить (например, под именем *inverter.asc*). Затем необходимо создать символ для представления базовой схемы инвертора на схеме подключения. Для этого нужно воспользоваться меню **Hierarchy>Create a New Symbol**. В новой вкладке при помощи графических инструментов из меню **Draw - Line** (линия), **Circle** (окружность или эллипс), **Rect** (прямоугольник), **Arc** (фрагмент окружности или эллипса), а также **Text** (текст) нужно создать символ, который будет обозначать инвертор. В нашем случае для обозначения инвертора используем равнобедренный треугольник (западное обозначение) с кружком на выходе (обозначает инверсию сигнала). Далее при помощи меню **Edit>Add Pin/Port** необходимо добавить порты. Имена портов на схемы и на базовой схеме должны совпадать. После добавления портов для входа, выхода и питания символ схемы необходимо сохранить в директории, где находится базовая схема, с именем файла, которое должно совпадать с именем базовой схемы (*inverter.asy* в нашем случае).

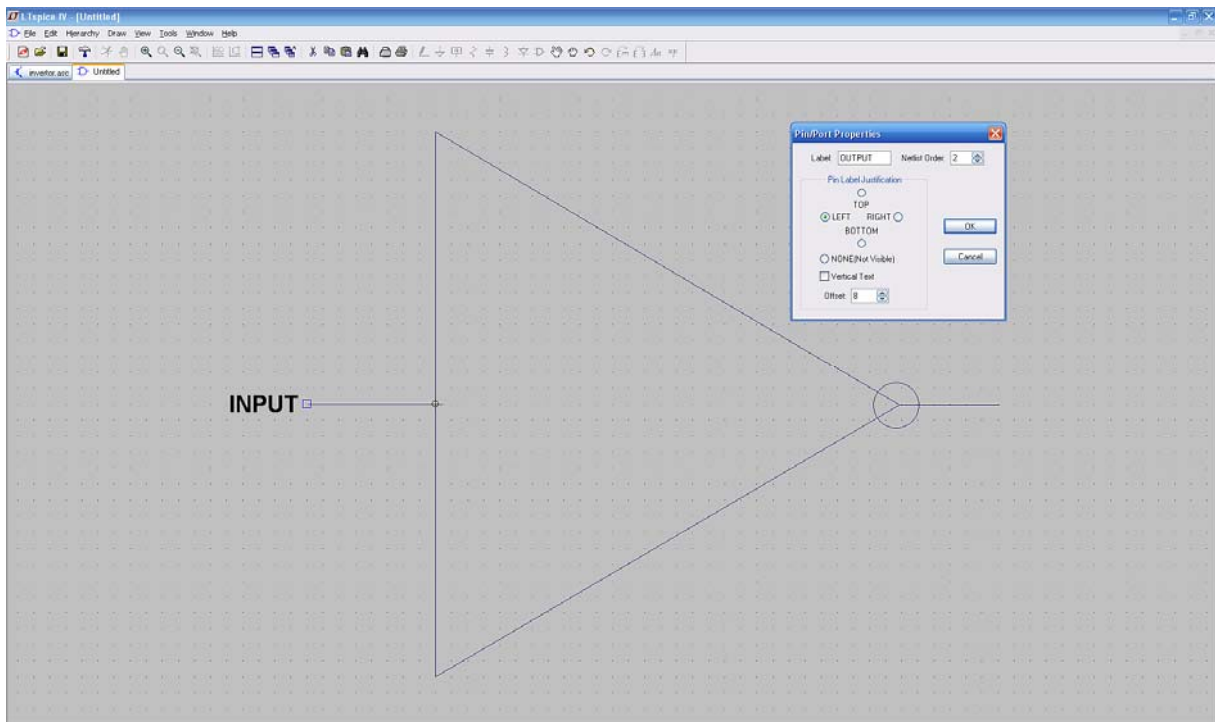


Рис. 29. Добавление портов на символе схемы

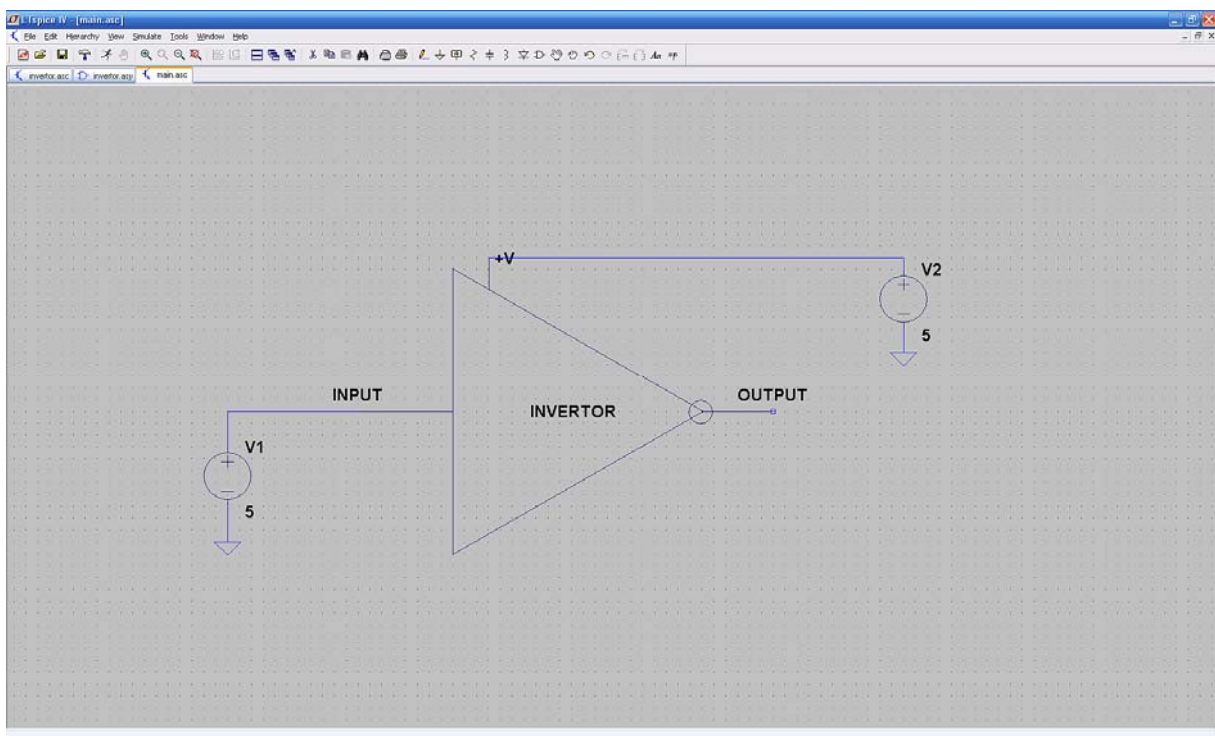


Рис. 30. Схема подключения КМОП-инвертора для расчета передаточной характеристики

Далее нужно создать верхний уровень иерархии нашего проекта – схему подключения инвертора для расчета его передаточной характеристики. Для этого создаем новую схему и сохраняем ее в директории, где находится базовая схема ин-

вертора. Для добавления в схему подключения символа инвертора, который был создан ранее, необходимо добавить файл с символом в библиотеку символов элементов *LTspice*. Для этого нужно в директории [%путь к установочной директории *LTspice*%\lib\sym] создать директорию *custom* для новых символов (например **C:\Program Files\LTC\LTspiceIV\lib\sym\custom**), куда скопировать файл *inverter.asy*. После перезапуска **LTspice** при помощи инструмента **Component** можно будет добавить созданный символ инвертора.

После добавления символа инвертора нужно добавить в проект два источника постоянного напряжения (входной и питание). Для удобства построения передаточной характеристики с помощью инструмента **Label Net** следует установить дополнительные метки на входе (Input) и на выходе (Output) инвертора.

Затем нужно создать профиль моделирования для расчета передаточной характеристики схемы. Для создания профиля моделирования нужно использовать меню **Simulate>Edit Simulation Cmd**, в появившемся диалоговом окне нужно выбрать вкладку **DC sweep** (расчет по постоянному току), где во вкладке **1st Source** (первый источник) задать имя входного источника напряжения, начальное значение входного напряжения (0), конечное значение входного напряжения (5) и максимальный шаг изменения входного напряжения.

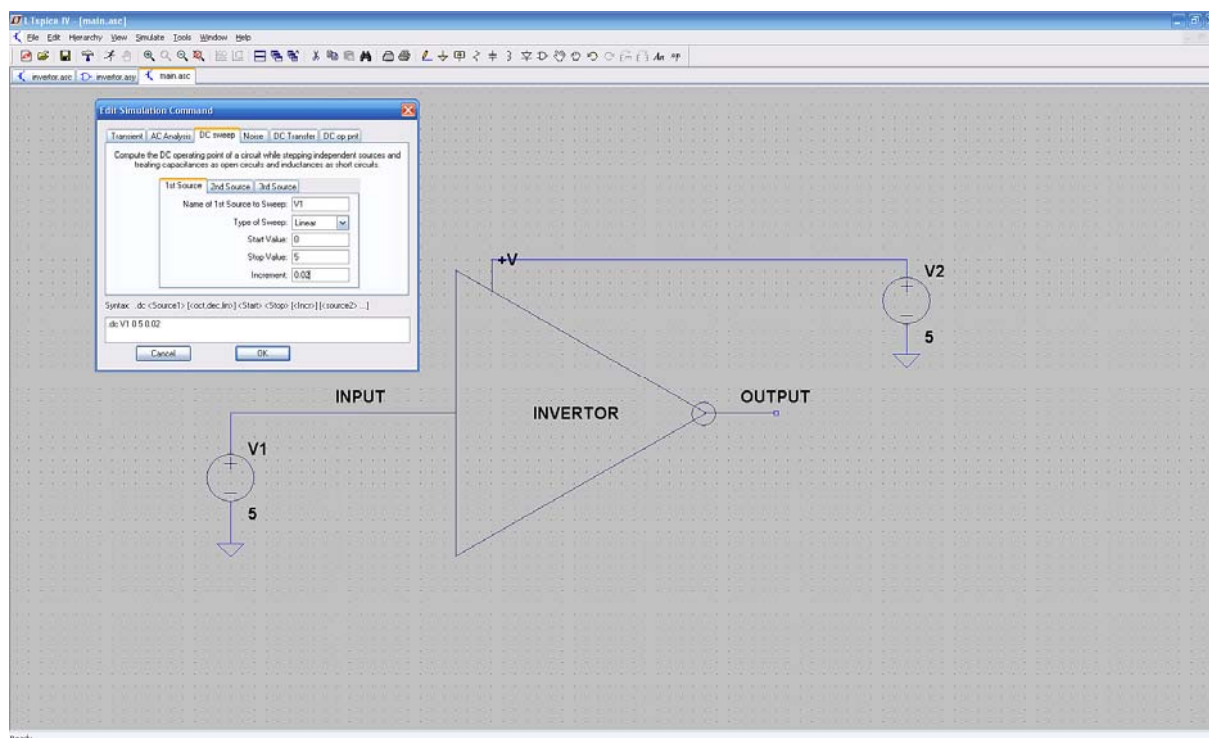


Рис. 31. Создание профиля моделирования для расчета передаточной характеристики инвертора

Далее инструментом **Run** (или меню **Simulate>Run**) следует запустить расчет передаточной характеристики. После завершения расчета в окне для построения графических характеристик (окно с черным экраном и горизонтальной осью с напряжением входа) нужно при помощи инструмента **Pick Visible Traces** выбрать напряжение на выходе инвертора.

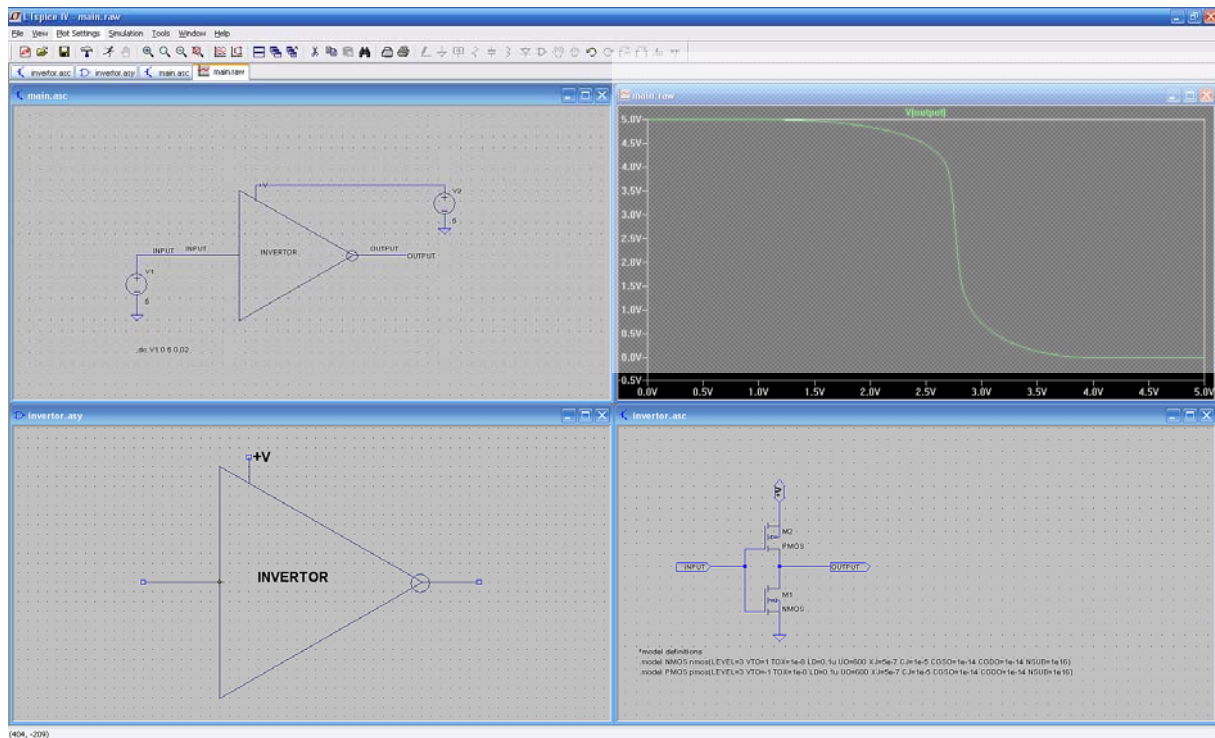


Рис. 32. Рассчитанная передаточная характеристика инвертора

После расчета передаточной характеристики схемы необходимо создать новую схему подключения для переходных характеристик. Для этого необходимо создать новый проект, куда добавить три копии базовой схемы инвертора, входной импульсный источник напряжения и три источника постоянного напряжения для питания. Инверторы соединяются последовательно, на вход первого инвертора подключается входной импульсный источник напряжения. Входной сигнал снимается с входа средней схемы, выходной – с выхода средней схемы.

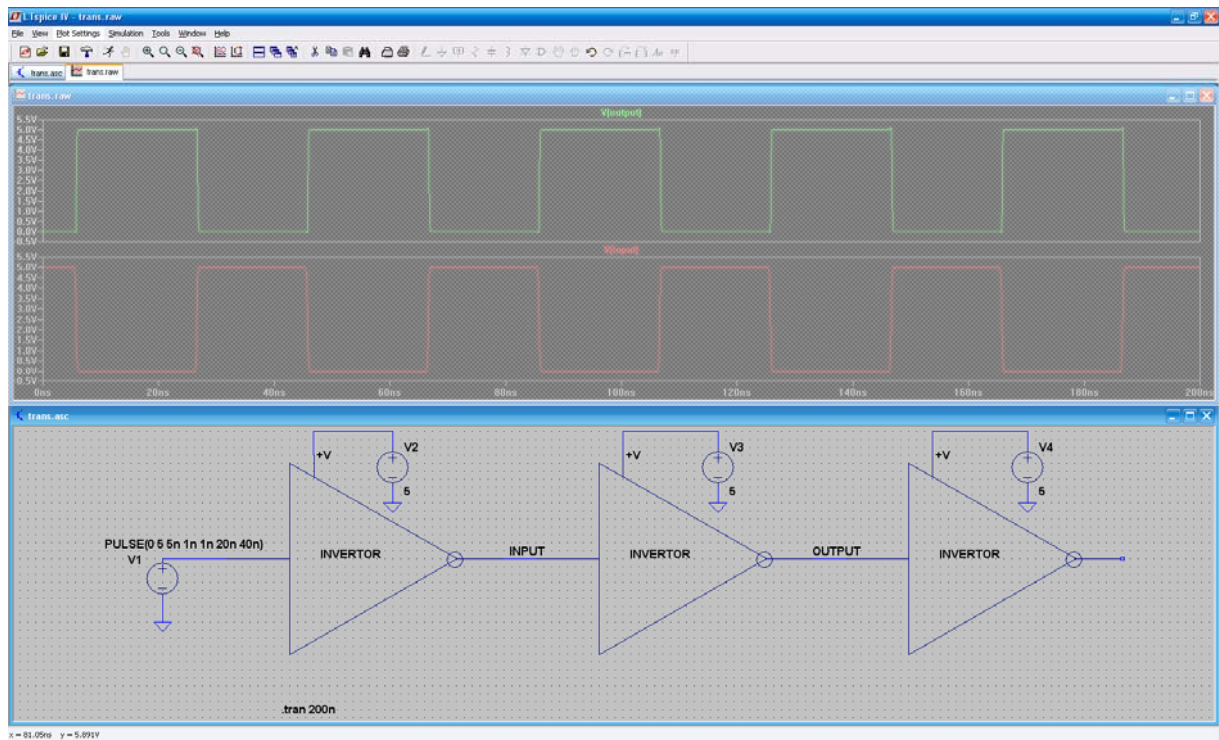


Рис. 33. Схема подключения для расчета переходных характеристик инвертора и смоделированные в spice переходные характеристики