

Imię i nazwisko:

zadanie:	1	2	3	4	5	6	7	Suma
maks:	12	12	12	18	18	10	18	100
punkty:								

Architektury systemów komputerowych

Egzamin, wersja A

6.II.2013

Do zdobycia jest 100 punktów. Przewidywana skala ocen: 0-40 ndst, 41-50 - dst, 51-60 +dst, 61-70 db, 71-80 +db, 81- bdb. Czas: 120 min.

1. **[12 pkt. (=6+6)]** Jak w ośmiobitowej reprezentacji uzupełnień do 2 wyglądają liczby 82 oraz -10 ?

82 :

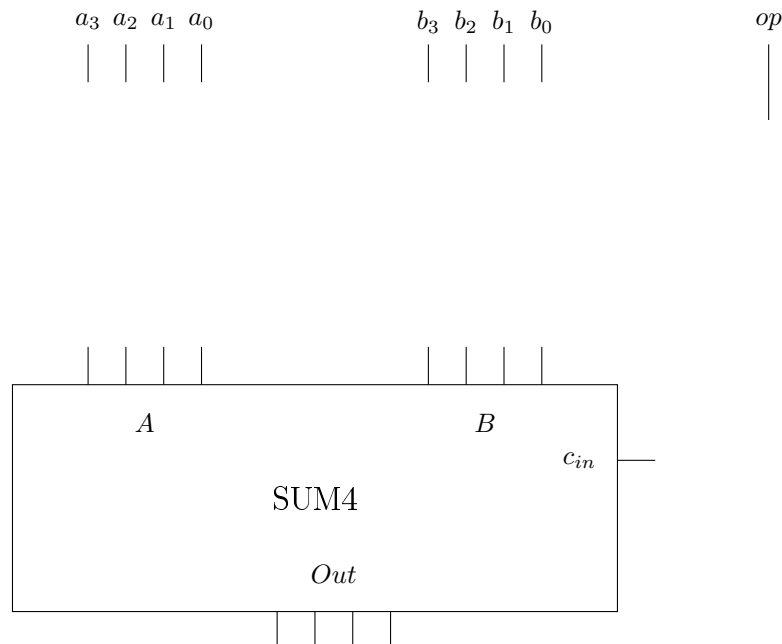
-10 :

2. **[12 pkt. (=6+6)]** Jak w formacie IEEE 754 pojedynczej precyzji zostaną zakodowane liczby 15.125 oraz -0.75 ? Przypominam, że wykładnik ma w tym standardzie 8, a mantysa 23 bity. Wykładnik jest pamiętany z przesunięciem o 127; mantysa jest znormalizowana, a ukryta jedynka jest przed przecinkiem.

15.125 :

-0.75 :

3. **[12 pkt.]** Załóżmy, że przedstawiony na rysunku układ SUM4 dodaje dwie czterobitowe liczby A i B oraz dodatkowe wstępne przeniesienie c_{in} i wynik umieszcza na czterobitowym wyjściu Out (możemy myśleć, że układ SUM4 traktuje wejścia jak nieujemne liczby w naturalnym kodzie binarnym). Wykorzystaj ten układ do (jak najprostszej!) realizacji układu, który potrafi dodawać oraz odejmować czterobitowe liczby w reprezentacji uzupełnień do 2. W tym celu uzupełnij poniższy rysunek o odpowiednie połączenia i bramki logiczne. Sygnałem operacji jest linia op : wartość 0 oznacza dodawanie (wylicz $a_3a_2a_1a_0 + b_3b_2b_1b_0$, wartość 1 – odejmowanie (wylicz $a_3a_2a_1a_0 - b_3b_2b_1b_0$). Nie musisz przejmować się błędami przepełnienia.



4. [18 pkt. (=3+3+4+4+4)] Załóżmy, że w pewnej realizacji architektury MIPS poszczególne fazy wykonywania rozkazów trwają odpowiednio: IF – 400 ps (pikosekund), ID – 200 ps, EX – 350 ps, MEM – 400 ps oraz WB – 200 ps.

(a) Jaka powinna być optymalna długość cyklu w jednocyklowej wersji procesora?

(b) A jaka w wersji z naturalnym przetwarzaniem potokowym (takim jak na wykładzie)?

(c) Jaki problem związany z przetwarzaniem potokowym rozwiązuje tzw. *forwarding*? Opisz krótko (1-2 zdania) na czym polega to rozwiązanie.

(d) Ile cykli zegarowych zajmie wykonanie poniższego kodu na procesorze potokowym, który nie ma zaimplementowanego forwardingu (ale oczywiście ma układy opóźniające potok w sytuacjach koniecznych)?

```
add $t2, $t1, $t3
sub $t4, $t2, $t1
add $t5, $t1, $t2
sub $t6, $t2, $t4
add $t7, $t2, $t3
```

(e) A ile cykli zajmie wykonanie kodu z poprzedniego podpunktu na procesorze potokowym, który ma zaimplementowany (pełny) forwarding?

5. [18 pkt. (=4+4+5+5)] Rozważmy pamięć cache składającą się z 8 wierszy po 16 bajtów każdy. Zakładamy, że pamięć główna jest adresowana bajtowo, za pomocą 12-bitowych adresów.

(a) Przedstaw logiczny podział poniższego adresu rzeczywistego wykorzystywany przy odwołaniach do cache, przy założeniu, że mapowanie jest bezpośrednie:

0 0 1 1 0 0 1 1 1 1 0 0

(b) Jak w (a), ale przy założeniu, że mapowanie jest sekcyjno-skojarzeniowe, a cache jest podzielony na sekcje dwuwierszowe:

0 0 1 1 0 0 1 1 1 1 0 0

(c) Rozważmy poniższą sekwencję odwołań do pamięci głównej. Na początku cache jest pusty. Zakładając, że mapowanie jest bezpośrednie, oznacz każde z poniższych odwołań jako trafienie (TR) lub chybienie (CH) (pierwsze odwołanie zostało już oznaczone).

101010110101	101011000101	100010000000	101010111101	001110000000	100010001111	110011001011	100010000001
CH							

(d) Jak w (c), ale przy założeniu, że mapowanie jest sekcyjno-skojarzeniowe, sekcje są dwuwierszowe, a algorytmem wymiany jest LRU (*least recently used* - najdawniej używany).

101010110101	101011000101	100010000000	101010111101	001110000000	100010001111	110011001011	100010000001
CH							

6. **[10 pkt.]** Opisz krótko (2-4 zdania) jak wygląda proces tłumaczenia adresu wirtualnego (w systemie z mechanizmem stronicowania) na adres rzeczywisty. Uwzględnij rolę bufora TLB.

7. **[18 pkt. (=12+6)]**

- (a) Zaprojektuj układ sekwencyjny, który na swoich trzech przerzutnikach wyświetla w kolejnych cyklach zegara naturalny kod binarny liczb 2, 3, 5, 7, 2, 3, 5, 7, ... (zakładamy, że przerzutniki na początku same ustawiają się na 010, czyli kod liczby 2). Użyj przerzutnika $J-K$ do pamiętania najbardziej znaczącego bitu, przerzutnika $S-R$ do pamiętania bitu środkowego, oraz przerzutnika D do pamiętania najmniej znaczącego bitu. Przedstaw cały proces projektowania układu, przedstaw wszystkie funkcje wejść przerzutników w zminimalizowanej postaci dysjunkcyjnej, narysuj schemat układu.

- (b) Czy układ o działaniu równoważnym do układu z poprzedniego podpunktu (tzn. układ z trzema wyjściami na których pojawiają się w kolejnych cyklach zegara odpowiednie liczby) da się zbudować używając „w środku” mniej niż trzech przerzutników? Jeśli tak, to opisz ogólną ideę rozwiązania (bez szczegółowego projektowania układu). Jeśli nie - wyjaśnij dlaczego.

