

# Architektury systemów komputerowych

Egzamin

24 VI 2014

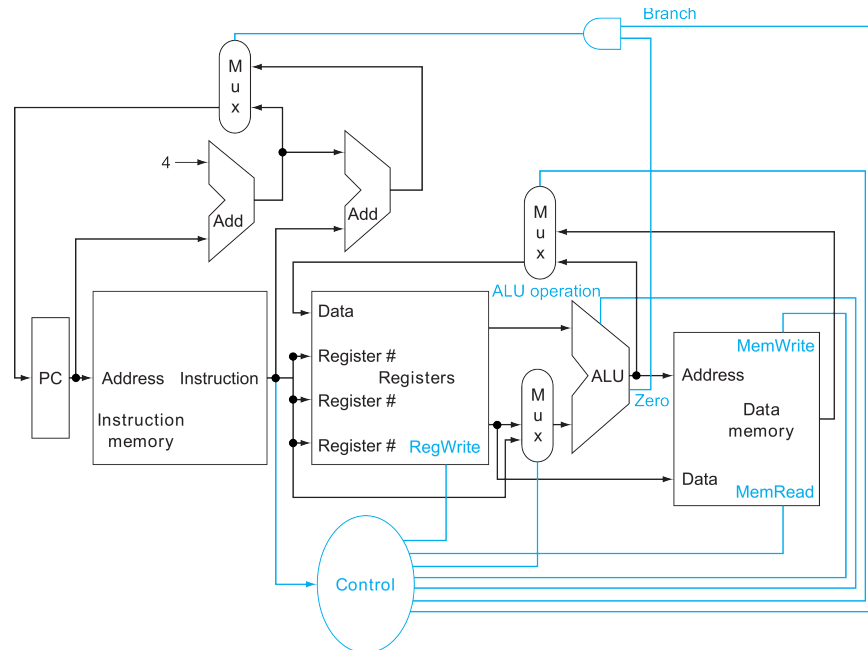
Do zdobycia jest 100 punktów. Przewidywana skala ocen: 0-41 ndst, 42-51 dst, 52-61 +dst, 62-71 db, 72-81 +db, 82- bdb. Czas: 120 min.

- (16=2+6+6+2) Niech  $f$  będzie funkcją boolowską trzech zmiennych  $x, y, z$ , zwracającą 1 wtw, gdy  $xyz$  jest binarnym kodem liczby 1, 3, 5, 6 lub 7 (przykładowo kombinacja wejściowa  $x = 1, y = 0, z = 0$  koduje liczbę 4).
  - Przedstaw tablicę prawdy funkcji  $f$ .
  - Zapisz wyrażenie boolowskie w postaci dysjunkcyjnej, reprezentujące  $f$ . Postaraj się, aby było ono możliwie krótkie.
  - Zapisz wyrażenie boolowskie w postaci koniunkcyjnej, reprezentujące  $f$ . Postaraj się, aby było ono możliwie krótkie.
  - Zaprojektuj układ logiczny (przedstaw rysunek) wyliczający  $f$ . Wolno używać bramek AND, OR, NOT. Postaraj się, aby układ był możliwie prosty.
- (14=8+6)
  - Przedstaw w ośmiobitowej reprezentacji uzupełnień do 2 liczby 17 i  $-17$ .
  - Jaka liczba reprezentowana jest w formacie pojedynczej precyzji IEEE 754 jako

0100 0000 1110 0000 0000 0000 0000 0000

Przypominam, że wykładnik ma w tym standardzie 8, a mantysa 23 bity. Wykładnik jest pamiętany z przesunięciem o 127. Stosowana jest tzw. ukryta jedynka.

- (20=10+10) Poniżej przedstawiony jest schemat prostego *jednocyklowego* procesora realizującego fragment listy rozkazów MIPS (rozkazy lw, sw, add, sub, or, and, slt, beq).



Na rysunku wyróżnione są cztery bloki: pamięć rozkazów (*instruction memory*), plik rejestrów (*registers*), jednostka arytmetyczno-logiczna (*ALU*) i pamięć danych (*data memory*). Dodatkowo w układzie znajdują się: licznik rozkazów (*PC*), dwa sumatory (*Add*), trzy multiplexery (*MUX*) oraz jednostka sterująca (*Control*). Jednostka sterująca generuje następujące sygnały sterujące:

- *RegWrite* (1 - zezwala na zapis do pliku rejestrów)
- *MemRead* (1 - zezwala na odczyt z pamięci)
- sygnał dla dolnego multipleksera (1 - przepuszcza górne wejście, 0 - przepuszcza dolne wejście)
- *MemWrite* (1 - zezwala na zapis do pamięci)
- *AluOperation* (sygnał dwubitowy: 00 - dodawanie, 01 - odejmowanie, 10 - logiczny OR, 11 - logiczny AND)
- sygnał dla środkowego multipleksera (działa tak jak dolny)
- *Branch* (1 - gdy wykryto rozkaz skoku warunkowego)

- (a) Jakie wartości sygnałów sterujących powinny zostać wygenerowane podczas wykonywania rozkazów
  - i. `add $s1, $s2, $s3`
  - ii. `lw $s1, 40($s2)`?
- (b) Załóżmy, że do listy rozkazów obsługiwanej przez rozważany procesor chcemy dodać rozkaz `jr $i`, który wykonuje bezwarunkowy skok pod adres przechowywany w rejestrze `$i`. Zaproponuj maszynowe kodowanie takiego rozkazu. Opisz i zaznacz na rysunku modyfikacje przedstawionego schematu (nowe ścieżki dla danych, dodatkowe układy, sygnały sterujące...), które pozwolą obsługiwać ten rozkaz.

4. (**16=4+6+6**) Ile cykli zegara zajmie wykonanie poniższego programu

```
lw $s1, 40($s6)
add $s6, $s2, $s1
lw $s2, 28($s5)
sub $s2, $s6, $s1
```

- (a) na procesorze jednocyklowym,
  - (b) na procesorze potokowym rozważanym na wykładzie, w wersji bez forwardingu (ale z wykrywaniem hazardów danych i wstrzymywaniem potoku jeśli to konieczne),
  - (c) na procesorze potokowym rozważanym na wykładzie, w wersji z pełnym forwardingiem?  
 W przypadku procesora potokowego zakładamy, że zapis do rejestru i odczyt z rejestru trwają połowę cyklu. Zatem dana zapisana w pewnym cyklu przez jeden rozkaz może być jeszcze w tym samym cyklu odczytana przez inny rozkaz.
5. (**18=8+10**) Rozważamy system z pamięcią główną o pojemności  $2^{10}$  bajtów, adresowaną bajtowo. Pamięć cache składa się z czterech 16-bajtowych wierszy (linii).
- (a) Przedstaw logiczny podział adresu (tzn. wskaż bity tworzące znacznik i pozostałe istotne części) w każdym z poniższych wariantów:
    - i. mapowanie jest bezpośrednie,
    - ii. mapowanie jest sekcyjno-skojarzeniowe, są dwie sekcje.
  - (b) Rozważmy następującą sekwencję odczytów:

```
10 1010 1010
11 0011 0011
10 1010 0011
00 0011 0000
01 0110 0110
10 1010 0000
```

Przy każdym z nich zaznacz, czy jest on chybeniem, czy trafieniem, w każdym z dwóch poniższych wariantów:

- i. mapowanie jest bezpośrednie,
  - ii. mapowanie jest sekcyjno-skojarzeniowe, są dwie sekcje, a algorytmem wymiany jest LRU (*least recently used*).
6. (**16=8+8**)
- (a) Wymień co najmniej dwie korzyści płynące ze stosowania mechanizmu pamięci wirtualnej.
  - (b) Co to jest bufor TLB (*translation lookaside buffer*). Jaka jest jego rola?