

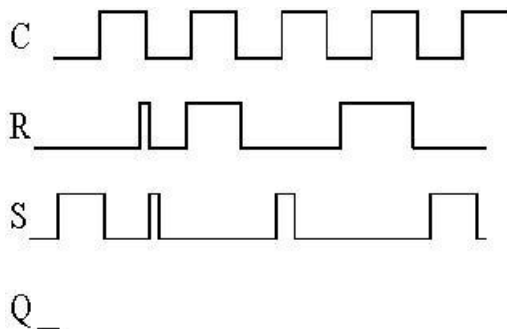
Architektury systemów komputerowych

Lista 4

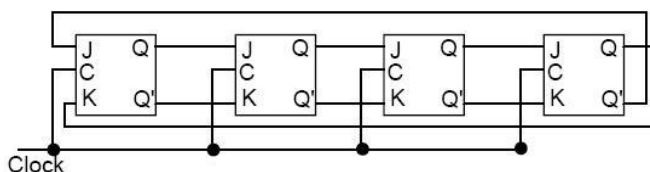
$x_4 = 8$ (minimum na bdb)

19 III 2014

1. Na wykładzie przedstawiliśmy konstrukcję przerzutnika S-R z bramek NOR. Przeanalizuj działanie układu uzyskanego poprzez zastąpienie w tej konstrukcji bramek NOR przez bramki NAND.
2. Narysuj wykres wyjścia Q różnych wersji przerzutnika S-R przy zadanych zmianach stanu wejść R i S . Możesz pominąć drobne opóźnienia wynikające z przechodzenia sygnału przez bramki przerzutnika (a więc w szczególności jego stany niestabilne). Rozważ:
 - (a) przerzutnik prosty (bez wejścia zegarowego, pomiń sygnał C)
 - (b) przerzutnik sterowany poziomem sygnału
 - (c) przerzutnik sterowany zboczem (opadającym) sygnału.

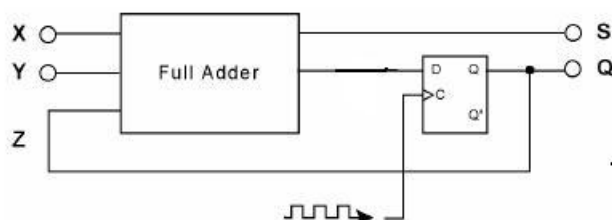


3. Przeanalizuj funkcjonowanie następującego układu. Załóżmy, że pierwotny stan równa się 0000. Zakładamy, że wszystkie przerzutniki są sterowane zboczem opadającym. Jakie są kolejne stany układu?



4. Zbuduj z przerzutników (możesz wybrać ich rodzaj) rejestr szeregowy. Taki układ ma jedno wejście danych. W każdym taktie zegara zawartość wejścia jest wstawiana do pierwszego przerzutnika, poprzednia zawartość pierwszego przerzutnika – do drugiego, drugiego do trzeciego, itd. Zakładając początkowy stan 0000 i kolejno podawane na wejście 1,1,0,0, kolejnymi stanami naszego układu powinny być: 1000, 1100, 0110, 0011.
5. Przerzutnik MUX-NOT (MN) o dwóch wejściach M i N zachowuje się następująco: jeśli $M = 1$, przerzutnik odwraca swój stan. Jeśli $M = 0$ to kolejny stan przerzutnika jest równy wejściu N . Zbuduj przerzutnik MN. Wskazówka: możesz wykorzystać gotowy przerzutnik J-K.

6. Zbuduj układ szeregowego komparatora liczb: na dwa wejścia układu podawane są w kolejnych taktach zegara kolejne bity dwóch liczb A i B w kolejności od najmniej znaczącego do najbardziej znaczącego (zakładamy, że liczby są tej samej długości). Układ powinien mieć trzy wyjścia: na pierwszym ma być jedynka, gdy przeczytane do tej pory liczby są równe, na drugim, gdy pierwsza liczba jest większa, na trzecim, gdy druga liczba jest większa.
7. Przedstaw tablicę zmian stanów i wyjść (dla wszystkich możliwych układów wejścia X, Y i stanu Q znajdź wartość S i kolejną wartość Q) dla następującego układu sekwencyjnego (górne wyjście sumatora to suma, dolne – przeniesienie). Co tak naprawdę robi ten układ?



8. Rysunki 20-21 w notatkach do wykładu przedstawiają realizację zestawu rejestrów dla procesora MIPS. Pojedyncze linie reprezentują na nich zazwyczaj wielobitowe „wiązki” połączeń. Załóżmy, że chcemy zbudować prostszy zestaw rejestrów, mający tylko dwa dwubitowe rejestry i jedno wyjście do odczytu (na wejściu jest zatem numer rejestru do odczytu, numer rejestru do zapisu, dana do zapisu oraz sygnał zezwolenia na zapis). Przedstaw na rysunku jego budowę w taki sposób, żeby pojedyncze linie odpowiadały tym razem pojedynczym bitom. Możesz gotowych przerzutników D, multiplexerów i dekoderek (i dowolnych bramek).
9. Zbuduj z przerzutników J-K licznik liczący od 0 do 5 (kolejne stany: 000, 001, 010, 011, 100, 101, 000, 001...). Następnie rozwiąż to zadanie używając przerzutników S-R. W obu przypadkach postaraj się uzyskać możliwie najprostsze układy wyliczające wejścia przerzutników.
10. * Układ array multiplera można przystosować do wykonywania serii mnożeń potokowo, tzn. w taki sposób, że wyliczanie kolejnych iloczynów nakłada się na siebie. W tym zadaniu przyjrzymy się bliżej tej technice (zbudujemy *pipelined array multiplier*). Nasz układ sterowany będzie sygnałem zegarowym. W i -tym ($i = 1, \dots, l$) cyklu zegara na dwa n -bitowe wejścia układu podawana jest para liczb x_i, y_i . W $(k + i)$ -tym cyklu na $2n$ -bitowym wyjściu układu powinien się pojawić wynik mnożenia $x_i \cdot y_i$ (k powinno być równe około $2n$).

Aby zrealizować opisane zadanie musisz podzielić układ array multiplera na „warstwy” (o tym jak ten podział wygląda powiedziałem na wykładzie, warstw jest około $2n$). Obliczenia kolejnych iloczynów powinny „spływać” od warstwy najwyższej do najniższej, przy czym w momencie, gdy obliczanie pierwszego iloczynu opuszcza pierwszą warstwę, to wchodzi do niej obliczanie drugiego iloczynu; w kolejnym takcie zegara obliczanie pierwszego iloczynu przechodzi do warstwy trzeciej, drugiego do drugiej, a trzeciego wchodzi do pierwszej, itd. Pomiedzy warstwami należy wstawić przerzutniki, które będą zapamiętywały wyniki pośrednie. Od pewnego momentu obliczeń układ będzie jednocześnie pracował nad około $2n$ iloczynami. Zatem obliczenie l iloczynów będzie trwało mniej więcej $l + 2n$, a nie $l \cdot 2n$ jak w przypadku układu niepotokowanego (w tym stwierdzeniu pomijam fakt, że dodanie przerzutników sterowanych sygnałem zegarowym spowolni nieco pracę układu w przypadku pojedynczego obliczenia).

Przedstaw szczegóły zarysowanego rozwiązania dla liczb 4-bitowych ($n = 4$). Przedstaw konstrukcję układu na poziomie bramek logicznych i przerzutników.

Emanuel Kieroński