

实验一 四位加法器

一、实验目的

1. 熟悉 Quartus II 软件和康芯 FPGA 实验箱操作。
2. 熟悉可编程器件开发流程。
3. 巩固 VHDL 语言。
4. 掌握层次化设计方法。

二、实验内容及实验原理

用层次化设计方法设计一个 4 位加法器：

1. 顶层用原理图输入方式，底层用文本输入方式，用结构体三种实现方式分别编写程序，编译，调试。
2. 仿真，分析结果，绘制波形。
3. 绑定引脚，在教学实验箱上完成相应的搭线、下载，分析加法器实现的结果。

以实验箱中的按键模拟数字输入，LED 模拟输出结果。FPGA 与按键、LED 灯的连接示意图如下：



三、实验步骤

1. 按照附录 1 步骤。画出时序仿真波形图。（四位数据要求以总线形式显示）
2. 引脚的分配可以参考下表。（这个表只是推荐，可以根据自己连线而改变）。

注：（1）有 9 个输入信号。

（2）下表中，“引入端子名”是指实验箱中按键显示模块中的端口名称；“对应芯片端子名”是指对应信号绑定的引脚号，如：PIN_AE12 表示 FPGA 芯片的 AE12 引脚。

输入信号名	对应芯片端子名	引入端子名	功能	输出信号名	对应芯片端子名	引入端子名	功能
c0	PIN_AE12	SW9	按键输入	s1	PIN_V16	LEDR0	输出显示
a1	PIN_AB12	SW1	按键输入	s2	PIN_W16	LEDR1	输出显示
a2	PIN_AC12	SW2	按键输入	s3	PIN_V17	LEDR2	输出显示
a3	PIN_AF9	SW3	按键输入	s4	PIN_V18	LEDR3	输出显示
a4	PIN_AF10	SW4	按键输入	c1	PIN_W17	LEDR4	输出显示
b1	PIN_AD11	SW5	按键输入	c2	PIN_W19	LEDR5	输出显示
b2	PIN_AD12	SW6	按键输入	c3	PIN_Y19	LEDR6	输出显示
b3	PIN_AE11	SW7	按键输入	c4	PIN_Y21	LEDR7	输出显示
b4	PIN_AC9	SW8	按键输入				

四、实验报告要求

1. 提交程序，用三种结构体描述方法（行为、数据流、结构描述）给出一位全加器的 VHDL 语言描述。
2. 作时序仿真，画出时序仿真波形图。（四位数据要求以总线形式显示）。

五、实验评分

1. 完成程序编译无误者，打 C；
2. 在上面的基础上，给出正确的时序仿真波形者，打 B；
3. 在上面的基础上，下载验证并可以正确解释相加结果者，打 A。

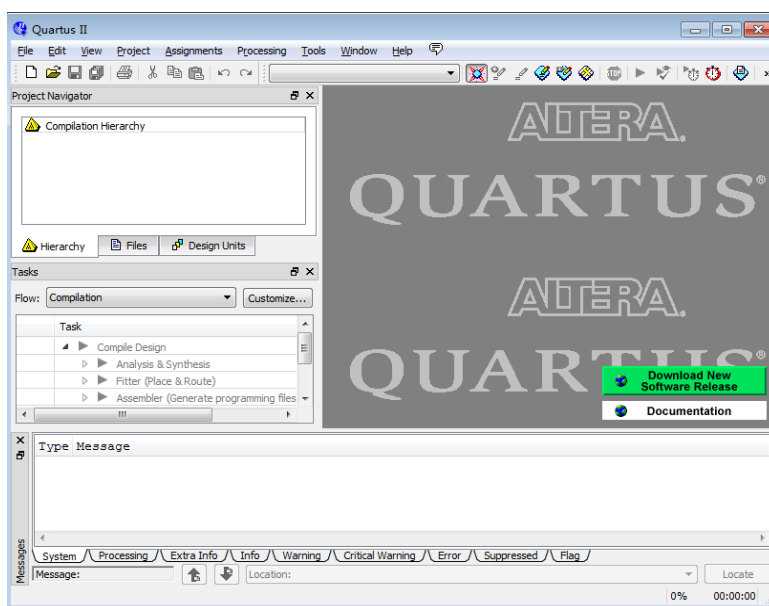
附录 1 Quartus II 使用步骤

1. 文件夹的建立


在计算机上创建文件夹，**要求用英文或数字命名，不能用中文命名。**

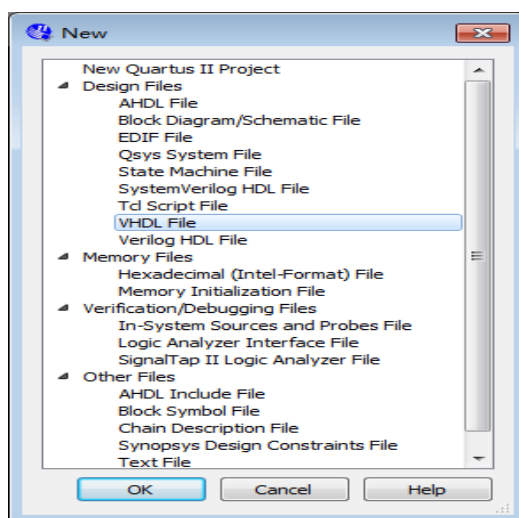
2. 文本文件的建立

- 1) 打开 Quartus II 软件，如图（1）所示。

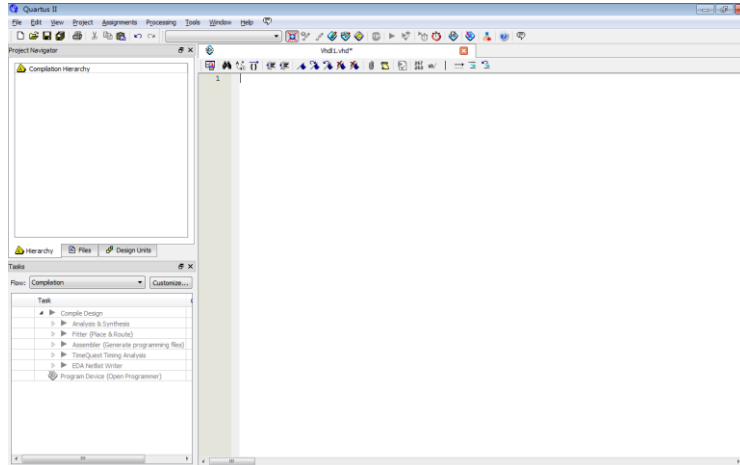


图（1）


- 2) 点击左上角  图标，或者 File 下的 NEW，会弹出如图（2）所示的 NEW 对话框，选择“VHDL file”选项，单击“OK”打开一个无标题文本文件编辑窗口，如图（3）所示，按要求输入 VHDL 源程序代码。

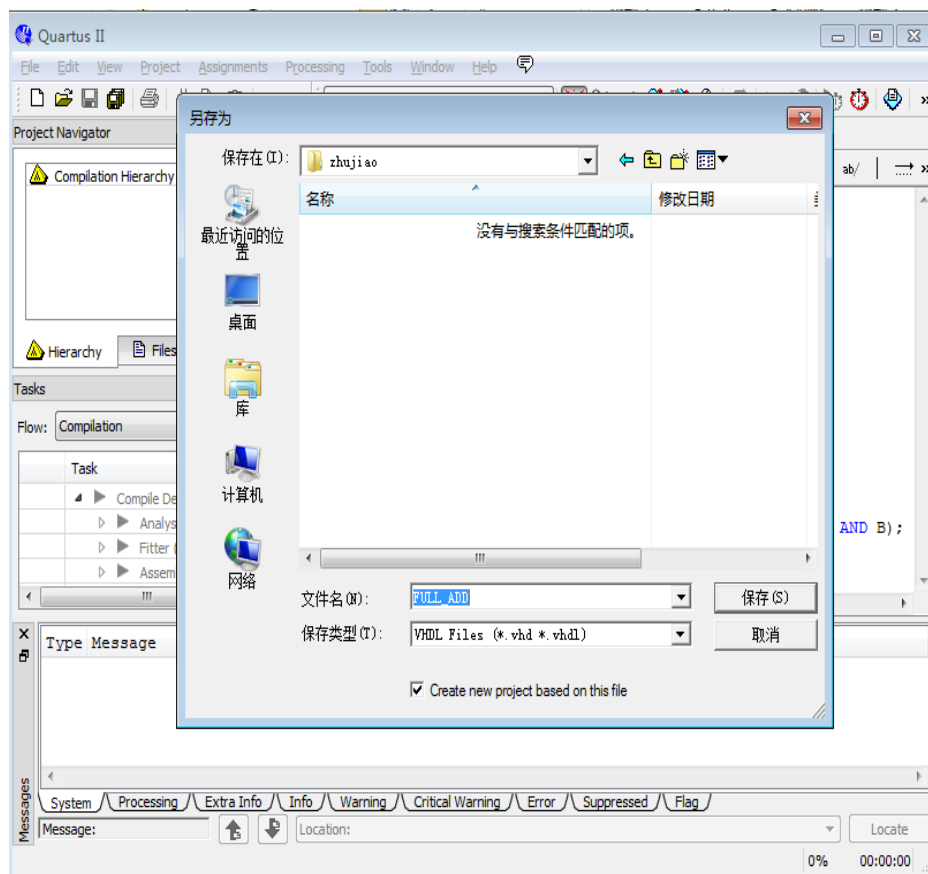


图（2）

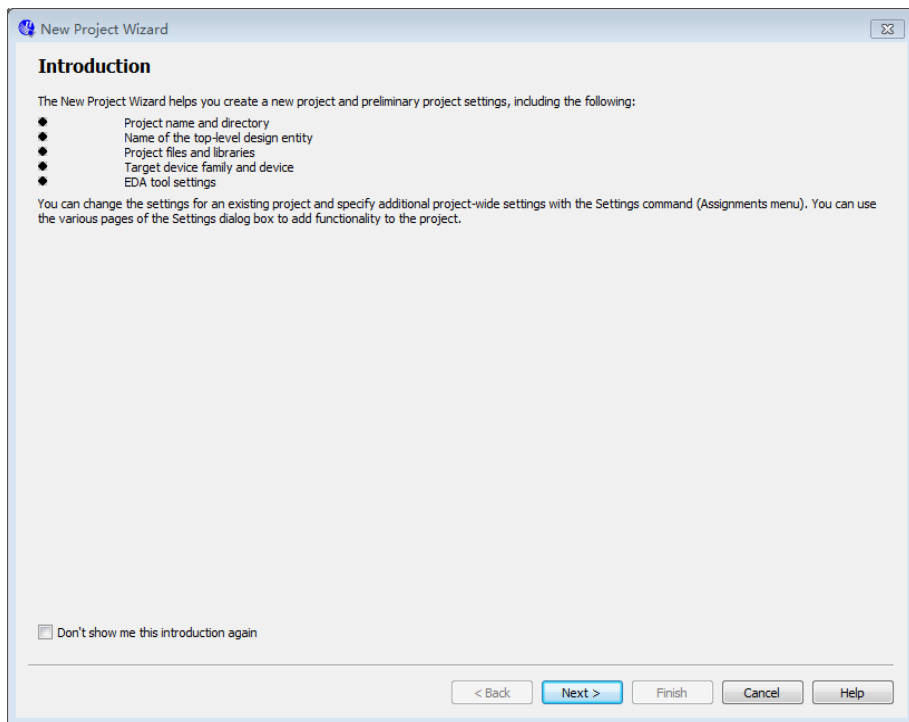


图（3）

- 3) 输入完毕后，点击  按钮，会弹出如图（4）所示的对话框，注意：文件名（File Name）必须与实体名相同，我的程序中实体名为 FULL_ADD。所以此时的 File name 中输入 FULL_ADD。保存到之前建立的自己的文件夹下。当出现问句“do you want to create.....”时，若单击“是”按钮，则直接进入创建工程流程如图（5）；

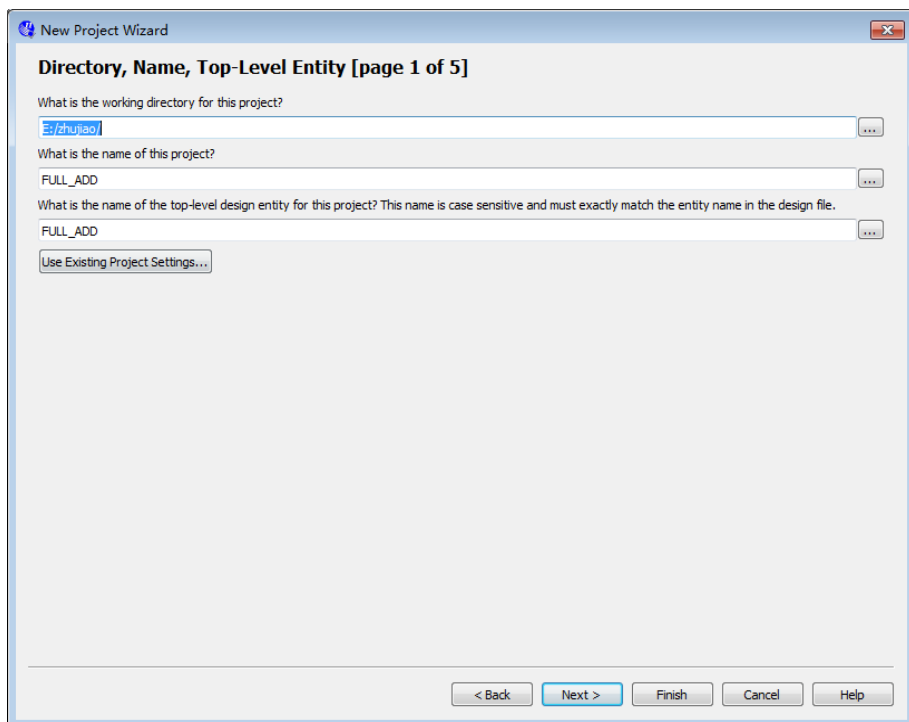


图（4）



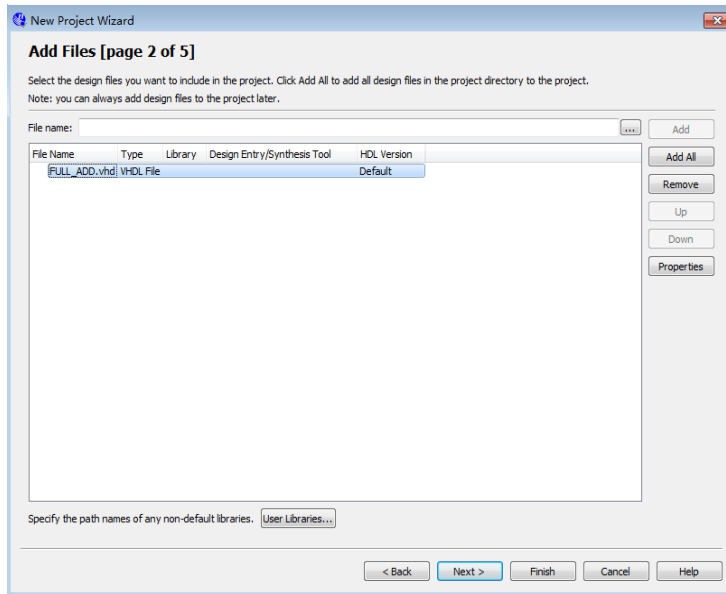
图（5）

- 4) 使用 New Project Wizard 可以为工程指定工作目录、分配工程名称及指定最高层设计的实体名称等。在此要利用 New Project Wizard 工具创建此设计工程，即令顶层设计 FULL_ADD 为工程。点击 next 即弹出“工程设置”对话框如图（6）。



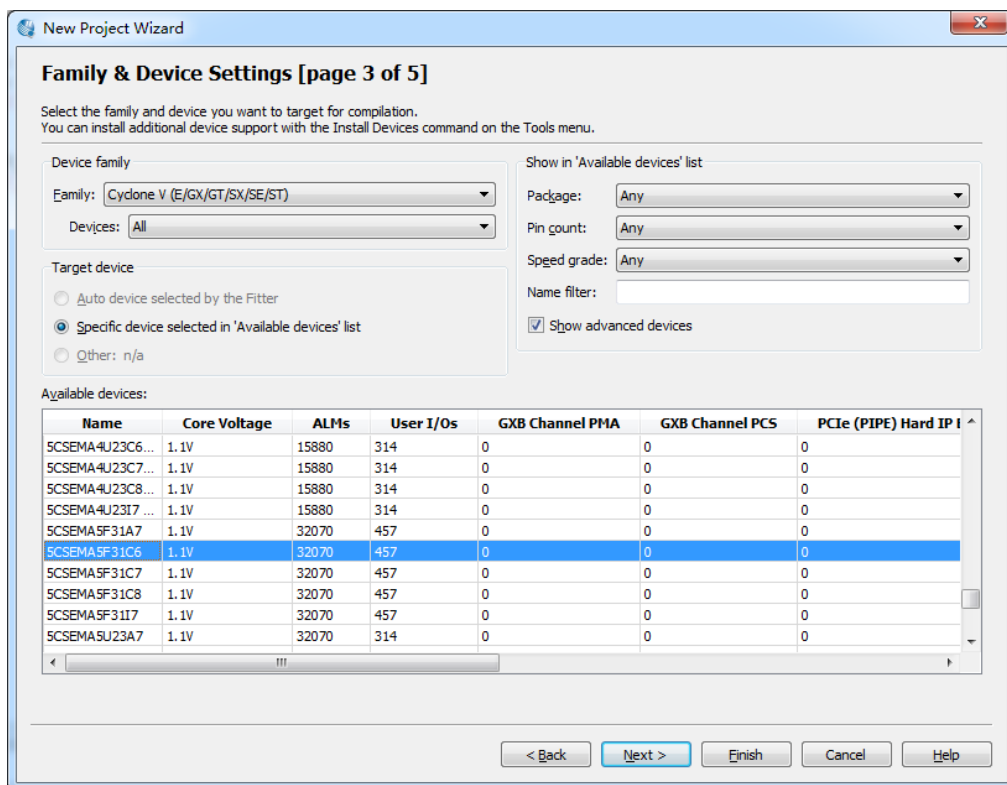
图（6）

- 5) 将设计文件加入工程中。单击下方的 Next 按钮，在弹出的对话框中单击 File name 按钮，将与工程相关的所有 VHDL 文件加入工程，即得到如图（7）所示情况。



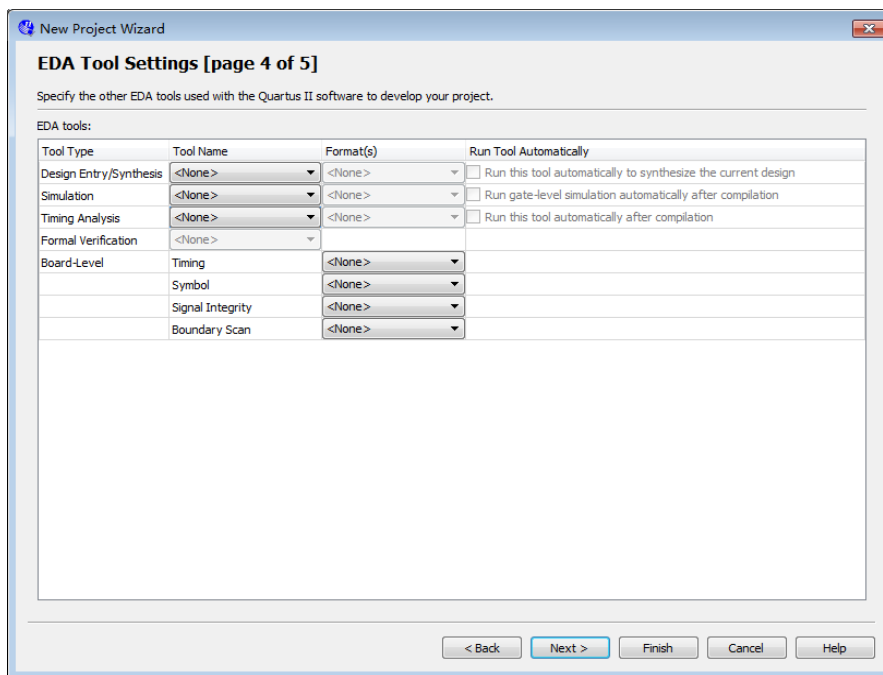
图（7）

6) 选择目标芯片。单击 Next 按钮，选择目标芯片。本次实验选择芯片的类型如图（8）所示。



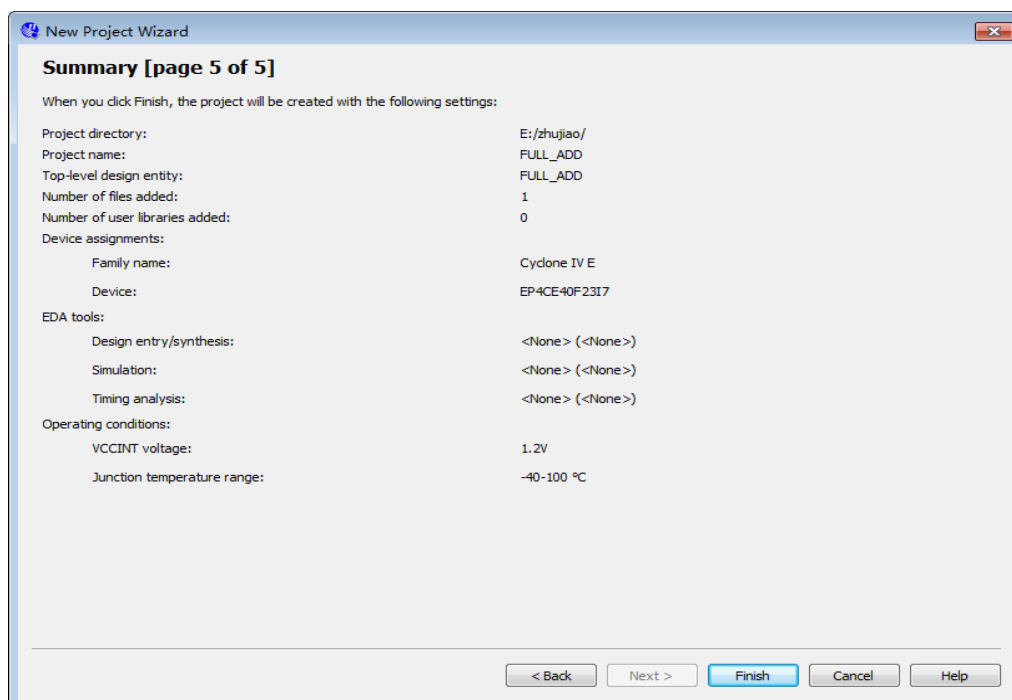
图（8）

7) 选择仿真器和综合器类型。单击图（8）所示的 Next 按钮，弹出选择仿真器和综合器类型的窗口图（9），在此都选默认项“NONE”。



图（9）


- 8) 结束设置。再单击 Next 按钮后及弹出“工程设置统计”窗口，上面列出了此工程相关的设置情况。最后单击 Finish 按钮。如图（10）所示。

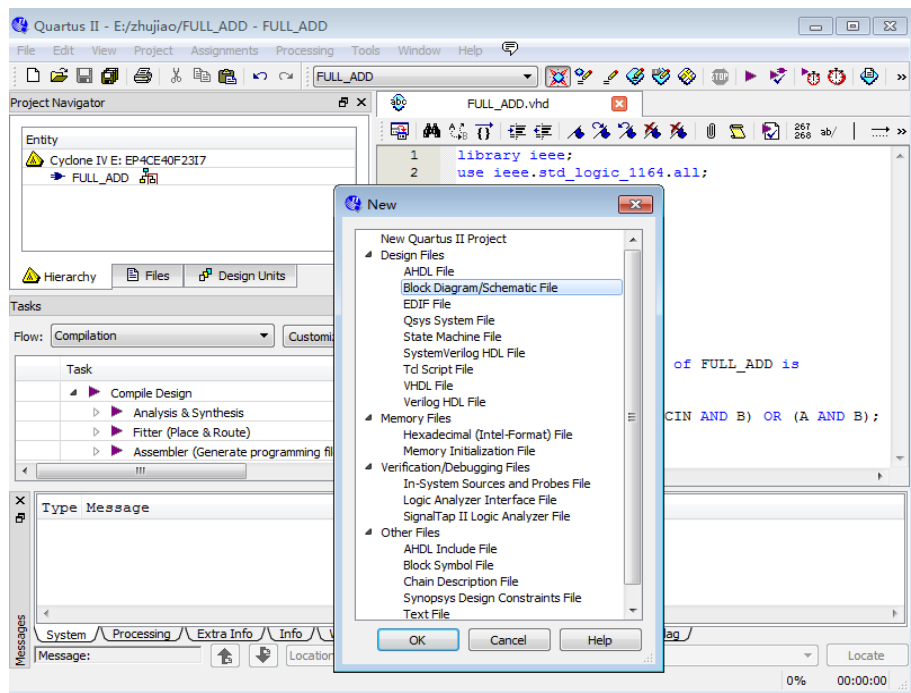


图（10）

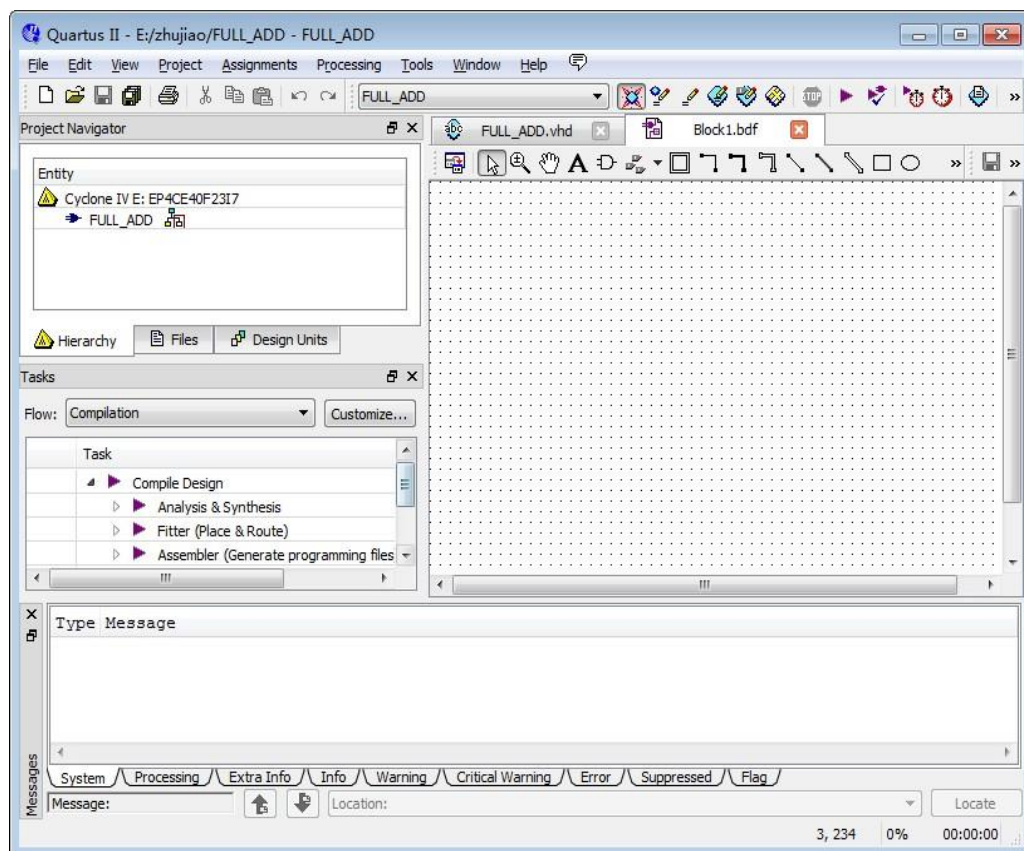
- 9) 生成器件。选择 File→Create / update →Create Symbol File For Current File 生成 FULL_ADD 器件。

3.图形文件的建立


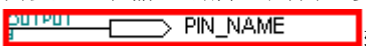
- 1) 点击左上角  图标，或者 File 下的 NEW，会弹出如图（11）所示的 NEW 对话框，选择 **Block Diagram/Schematic File** 选项，单击“OK”。出现如图（12）所示窗口。



图（11）

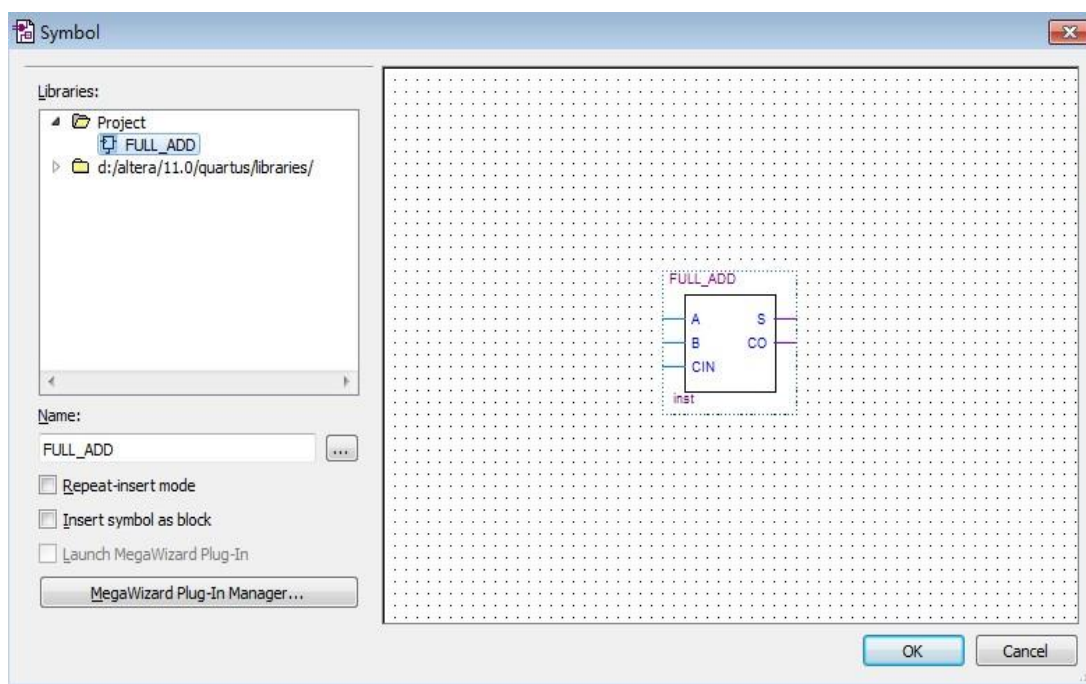


图（12）

2) 绘制图形文件。双击图（12）所示窗口的空白处，则出现如图（13）所示的窗口，点击 Project 下的 FULL_ADD 文件则选择了 FULL_ADD 器件，重复选择 4 次，以便构成四位全加器。同样，双击图（12）所示窗口的空白处，则出现如图（14）所示的窗口，在 name 栏输入 input，则出现  输入引脚，原理图中需要 9 个输入引脚，则需重复使用 9 次，或用复制粘贴。同理输入 output，则出现  输出引脚，原理图中需要 8 个输出引脚。为引脚命名的方法是：在引脚的 PIN-NAME 处双击鼠标左键，然后输入指定的名字即可。连线时，如果需要连接两个端口，则将鼠标移到其中一个端口上，这时鼠标指示符自动变为“+”形状，然后可按下属步骤操作：

- （1） 一直按住鼠标左键并将其拖至第二个端口；
- （2） 放开左键，则一条连线被画好了；
- （3） 如果需要删除一根连接线，可单击这根连接线使其呈高亮线（为红色），用手按 DEL 键即可删除。

完成的原理图如图（15）所示。



图（13）

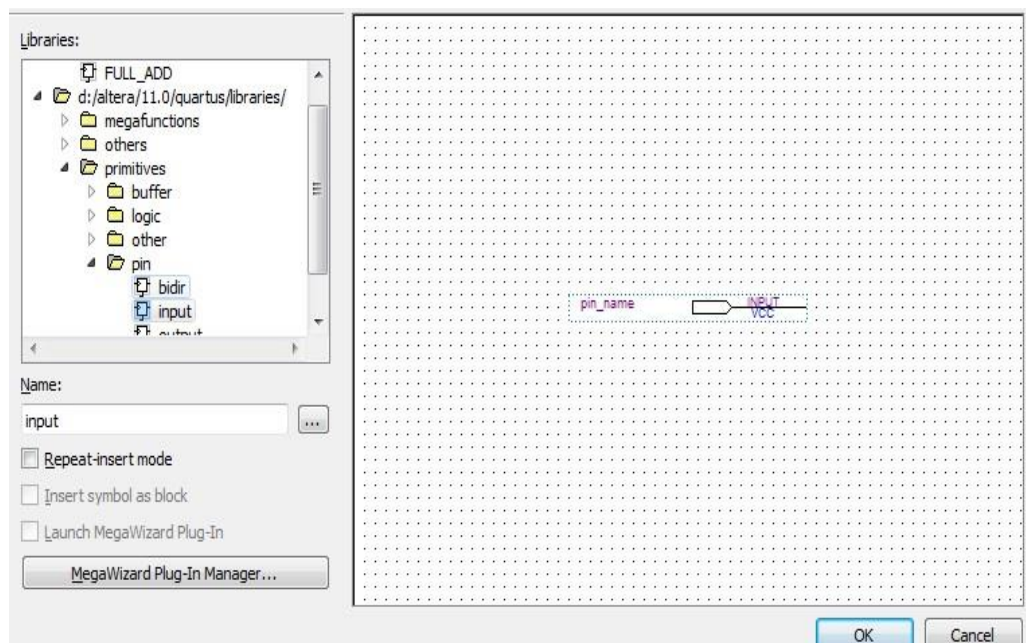


图 (14)

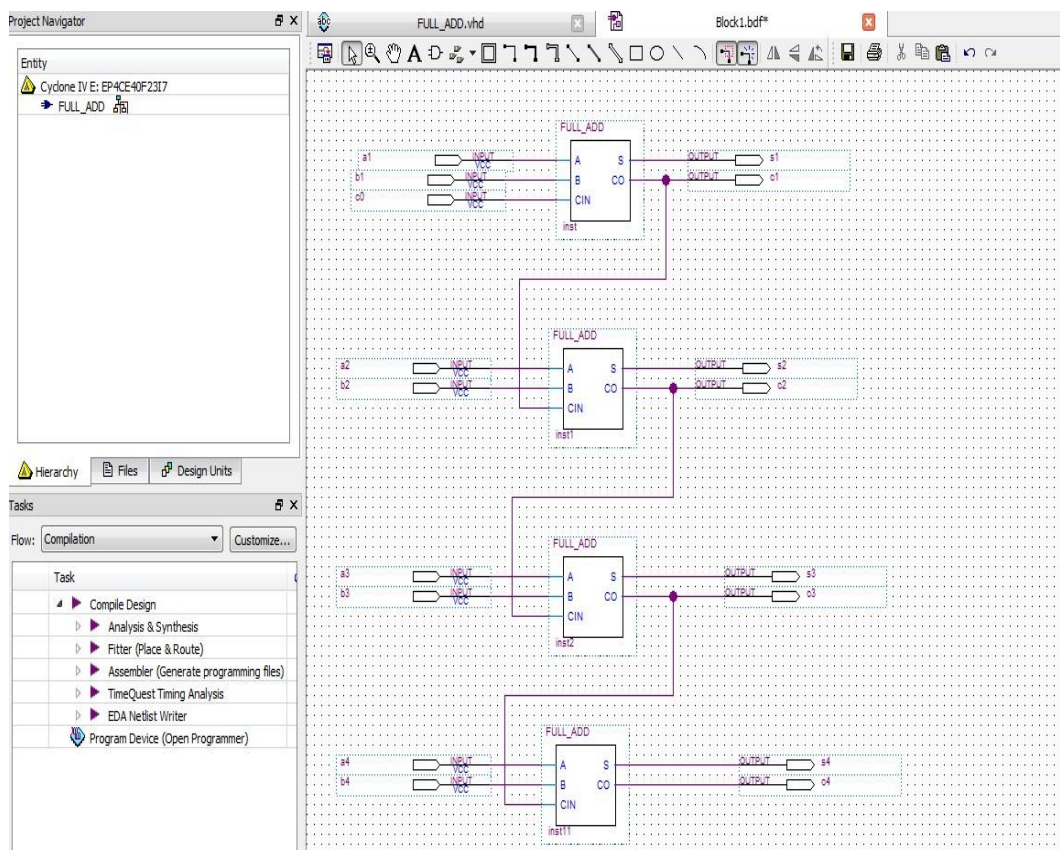
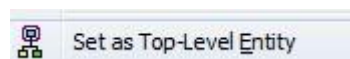






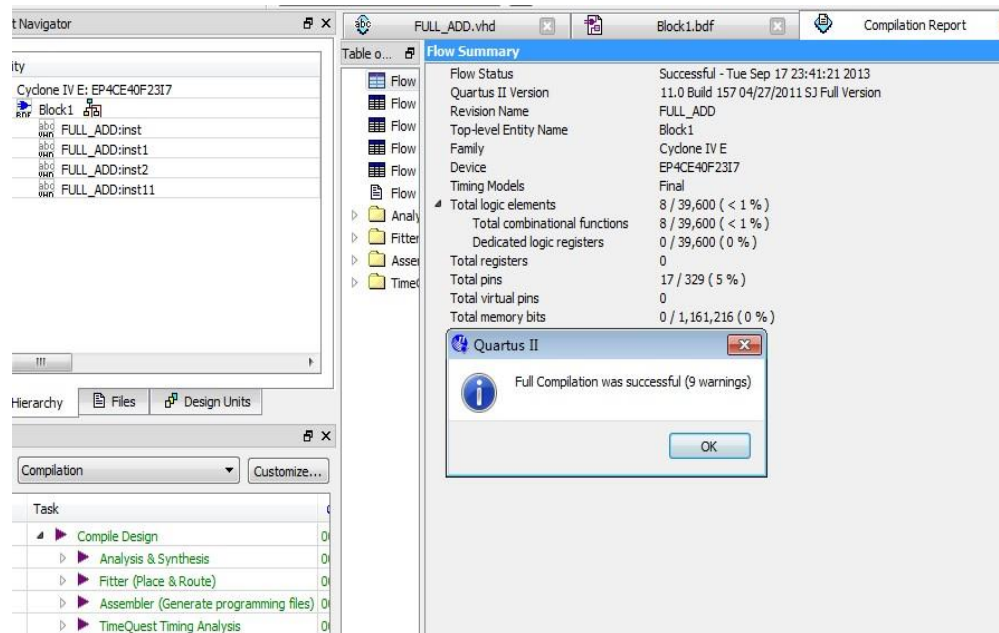
图 (15)

3) 绘制完成后，进行保存，注意：文件名不能与之前的文本文件相同。

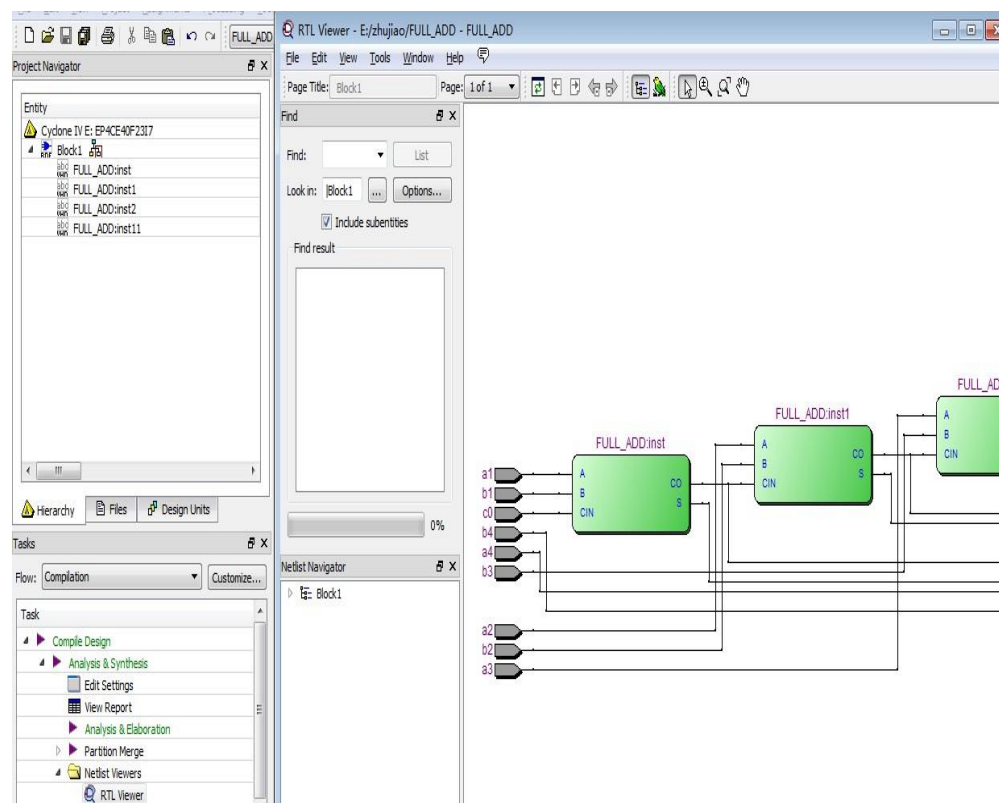
4) 选中绘制图形 Block1,然后点击菜单栏 Project→



- 5) 单击编译器快捷方式按钮 ，完成编译后，弹出菜单报告错误和警告数目，并生成编译报告。如图（16）。
- 6) 通过左方区域的 Tasks 栏选项中的  Analysis & Synthesis →  Netlist Viewers →  RTL Viewer 可以查看综合后生成的寄存器传输级结构如图（17）。




图（16）

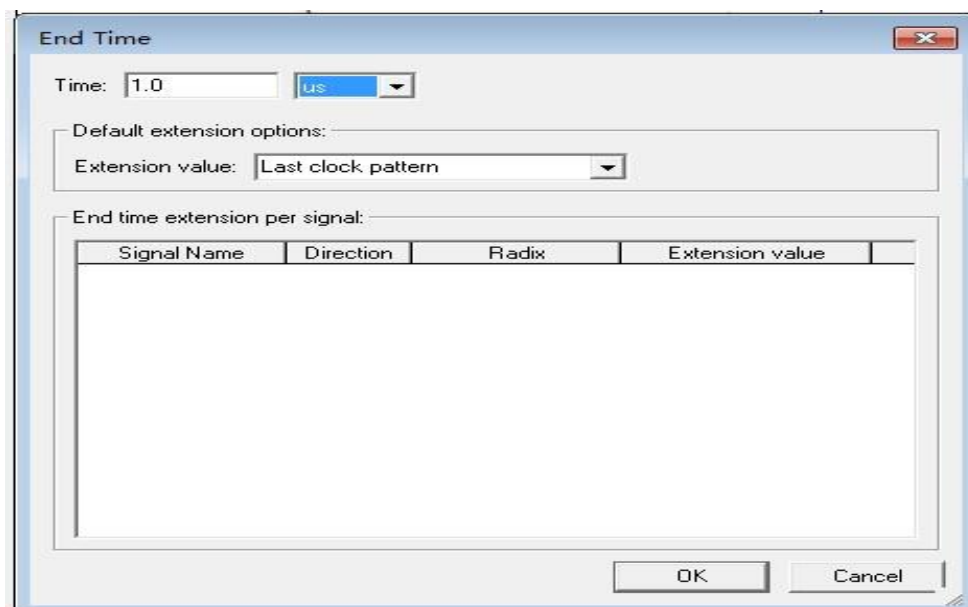


图（17）

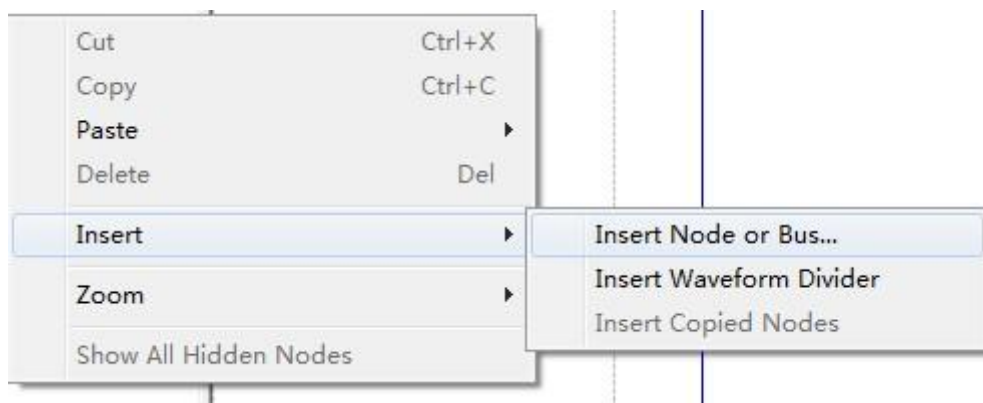
4. 时序仿真

对工程编译通过后，必须对其功能和时序性质进行仿真测试，以了解设计结果是否满足原设计要求。

- 1) 打开波形编辑器。点击左上角图标，或者 File 下的 NEW，会弹出 NEW 对话框，选择“Vector Waveform File（或者是 University Program VWF）”选项，单击“OK”。
- 2) 仿真时间的设定。选择执行 Edit→End Time(或者是 Set End Time)子命令，在 End Time 设置框中输入适当的时间,如图（18）所示。
- 3) 输入节点。在建立的波形文件左侧一栏中，点击鼠标右键，在弹出的菜中选择 Insert Node or Bus,如图（19）所示，在出现的图（20）中，选择选择 Node Finder，将打开 Node Finder 对话框，本试验对输入输出的管脚信号进行仿真，所以在 Filter 中选择 Pins: all，点击 List 按钮，如图（21）所示。



图（18）



图（19）

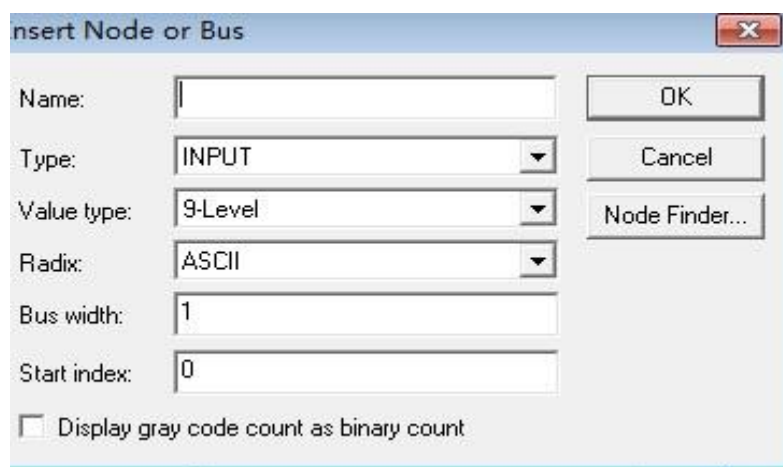


图 (20)

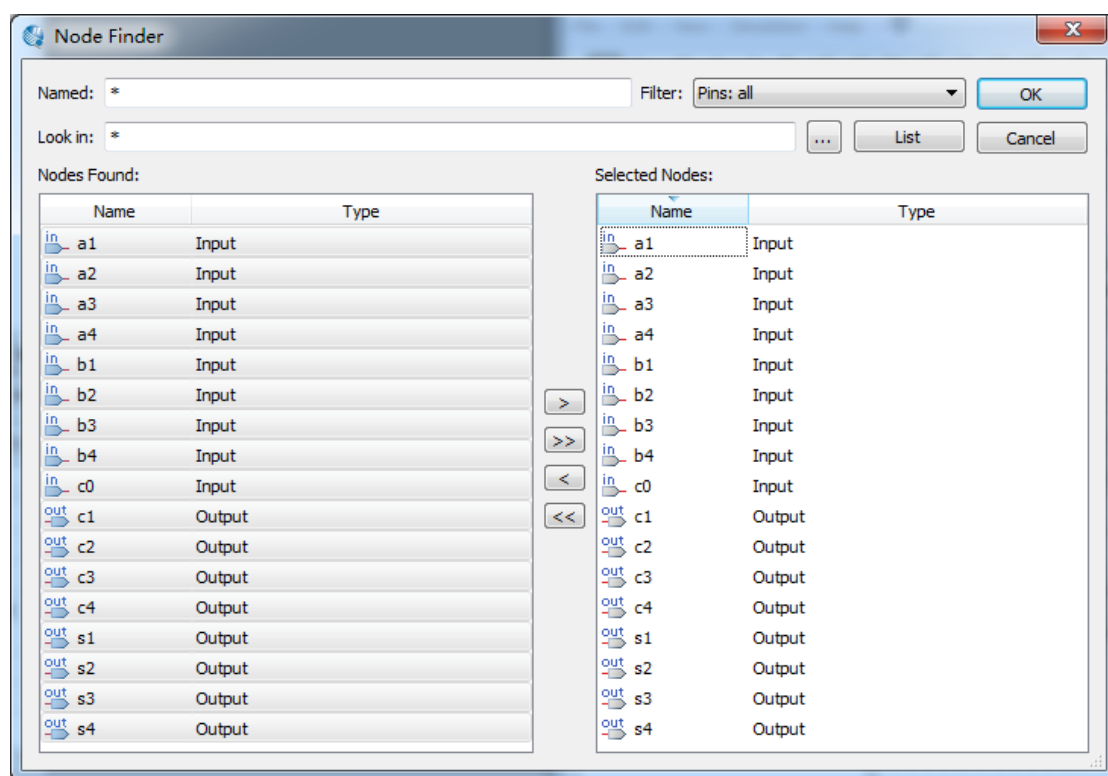

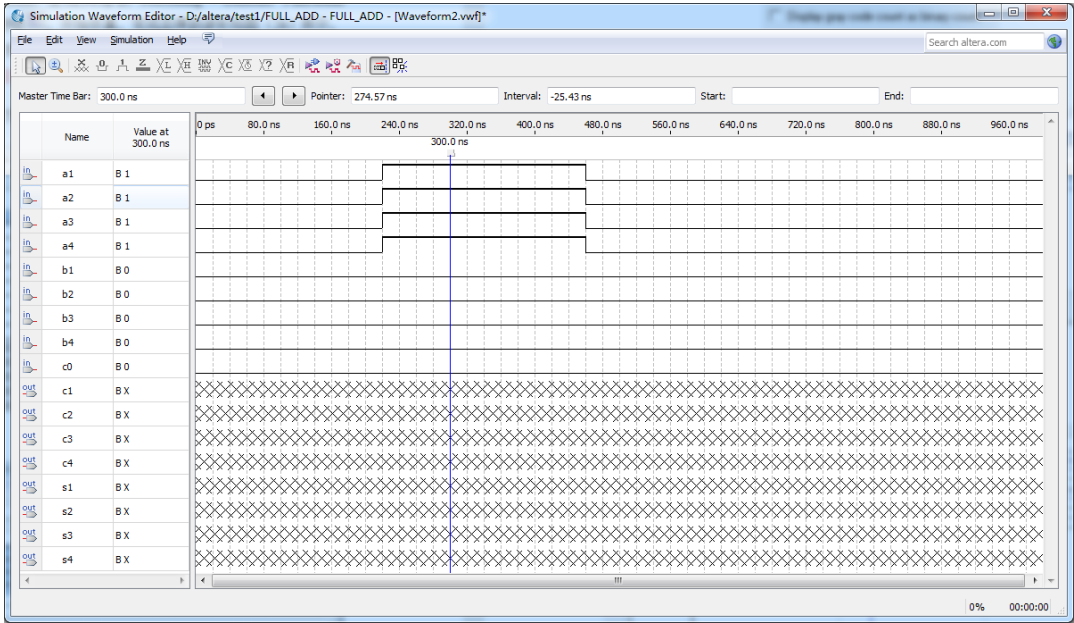


图 (21)

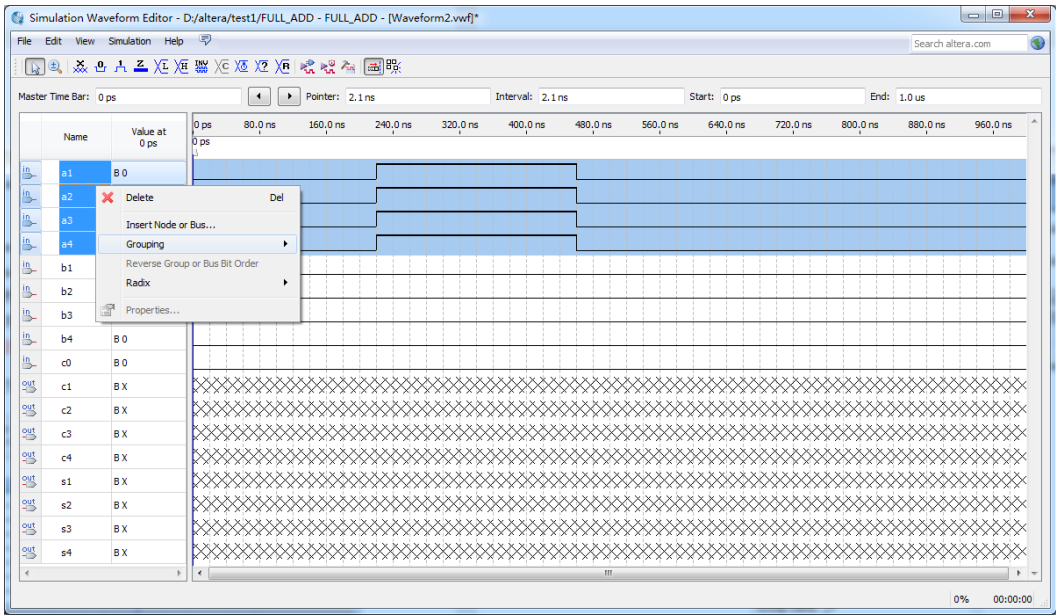
- 4) 编辑输入波形。在图 (21) 左栏中选择需要进行仿真的端口通过中间的按钮加入到右栏, 点击 OK, 端口加入到波形文件中, 如图 (22)。在图 (22) 中, 选择一段波形, 通过左边的设置工具条, 给出设定的值。
- 5) 要求四位输出以总线方式显示, 操作如下: 将鼠标移到 Name 区的 a1 上, 按下鼠标左键并往下拖动鼠标至 a4 处, 松开鼠标左键, 可选中信号 a1、a2、a3、a4; 在选区中 (黑色) 上单击鼠标右键, 打开一个浮动菜单, 如图 (23) 所示, 单击 Grouping→Group,

出现相应对话框后图（24），完成相应设置；然后将鼠标移到 Name 区的 a 上，右击弹出菜单如图（25）选择 Reverse Group or Bus Bit Order；同上，分别完成 b0—b4, s0—s4 的操作，设置完成激励波形并保存。

- 6) 功能仿真：点击 Simulation→Run Functional Simulation 或者点击快捷按钮，开始仿真，如图（26），仿真完成后得到波形如图（27）所示，根据分析，功能符合设计要求。
- 7) 保存波形文件。



图（22）



图（23）

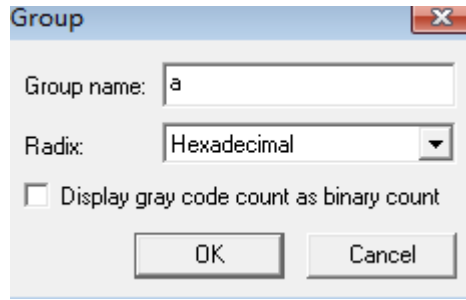


图 (24)

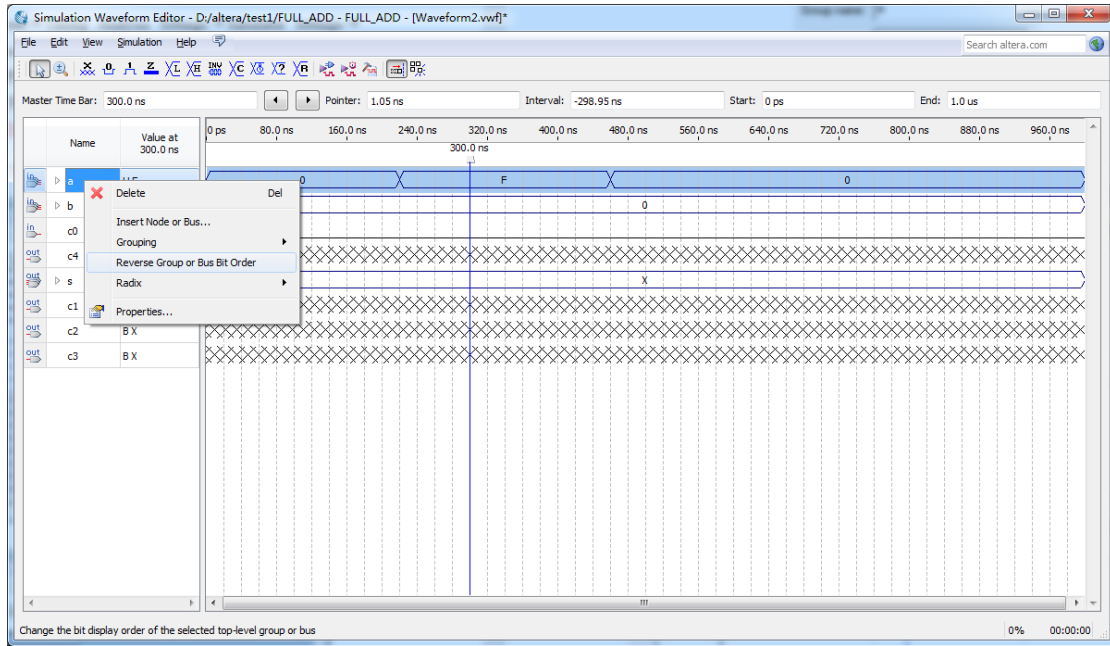


图 (25)

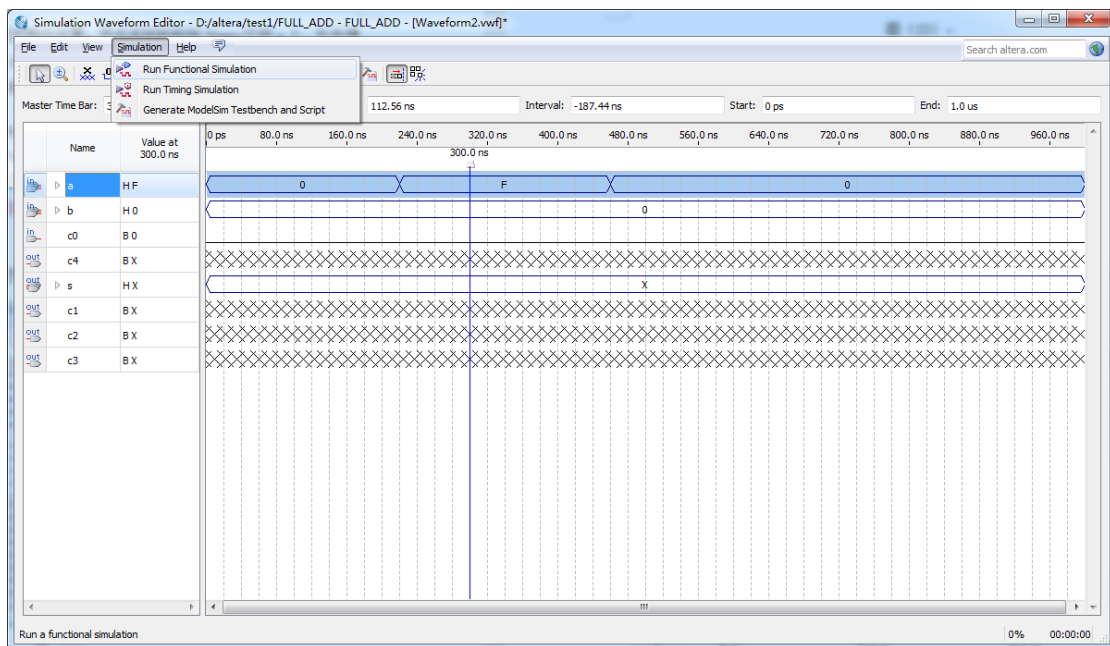


图 (26)

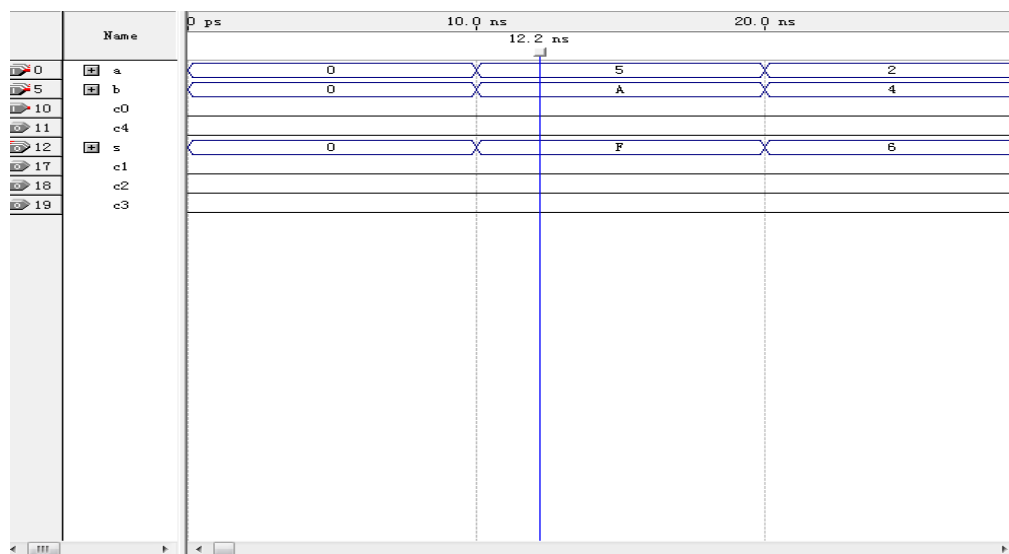
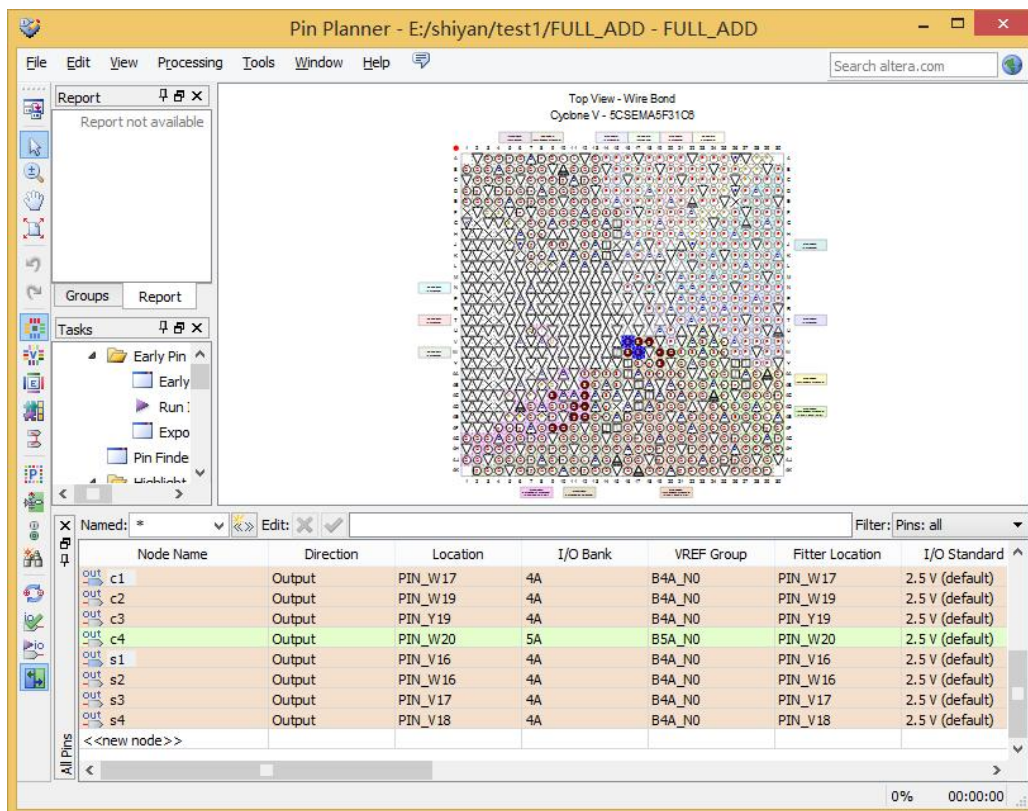


图 (27)

4. 管脚的绑定

- 1) 根据硬件接口设计，对芯片管脚进行绑定。选择 Assignments 菜单下 Pins 选项，双击对应管脚后 Location 空白框，出现下拉菜单中选择要绑定的管脚，在图（27）中完成所有管脚的分配，并把没有用到的引脚设置为 As input tri-stated, Assignments→Device→Device and Pin Options→Unused Pins，绑定后如图（28），然后重新编译项目；



图（27）

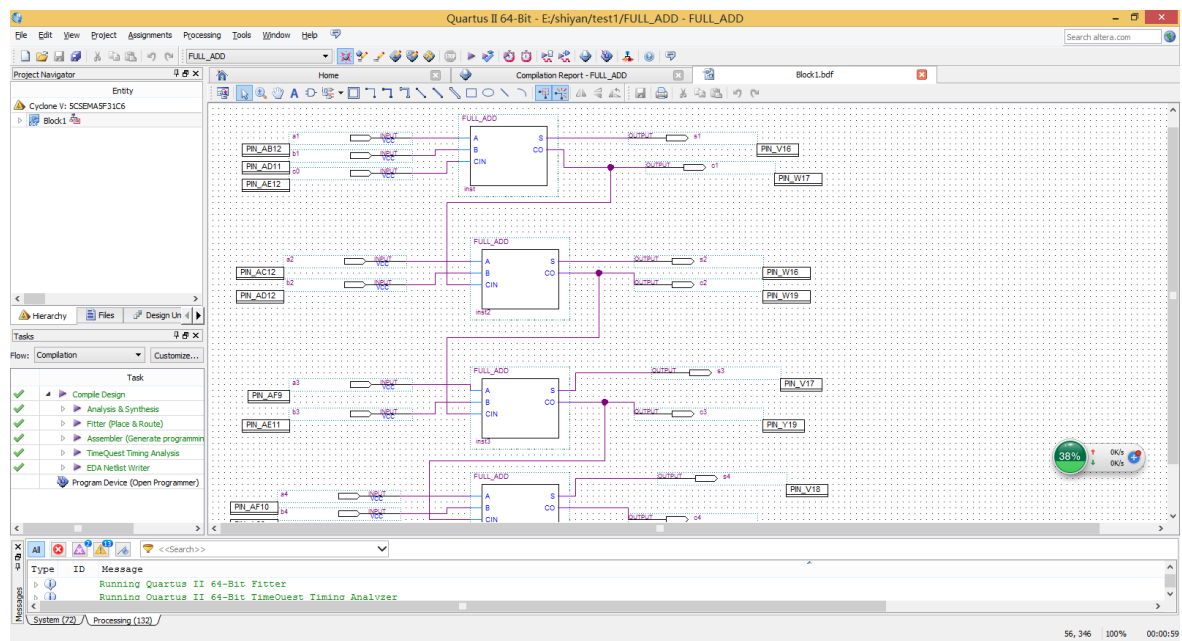

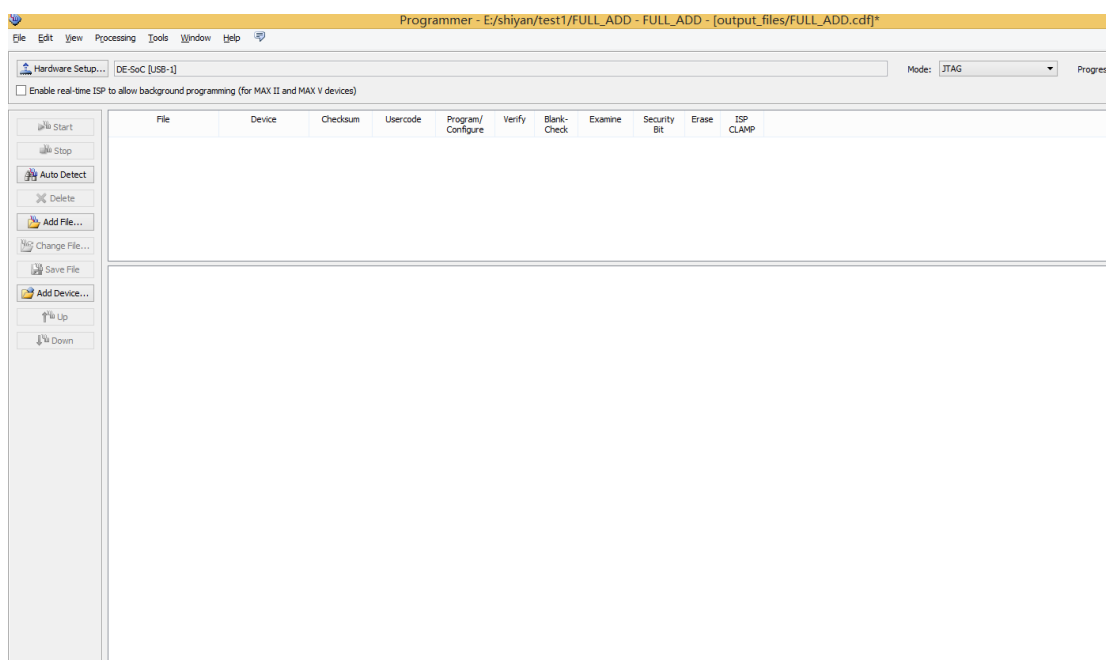


图 (28)

5. 器件下载及连线

- 1) 对目标版适配下载，（此处认为实验板已安装妥当，有关安装方法见实验板详细说明）单击按钮，屏幕显示如图（29）所示；，检测安装下载电缆(单击 **Hardware Setup**)弹出对话框如图（30）所示，选择选择 **DE-SOC**，关闭该对话框。
- 2) 点击左侧的“Auto Detect”，弹出窗口中选择“5CSEMA5”，如图（31）所示，确定后出现如图（32）所示两个 **Device** 的窗口，删除最上面一个（选中后点击左侧 “Delete“），然后再点击左侧的“Add File”，选择我们的工程文件，然后点击 **Open**，如图（33）所示，最后点击 **Start** 开始下载。下载完成后如图（34）所示，观察实验箱的现象，并改变输入的状态，观察输出结果是否正确，记录实验现象。



图（29）

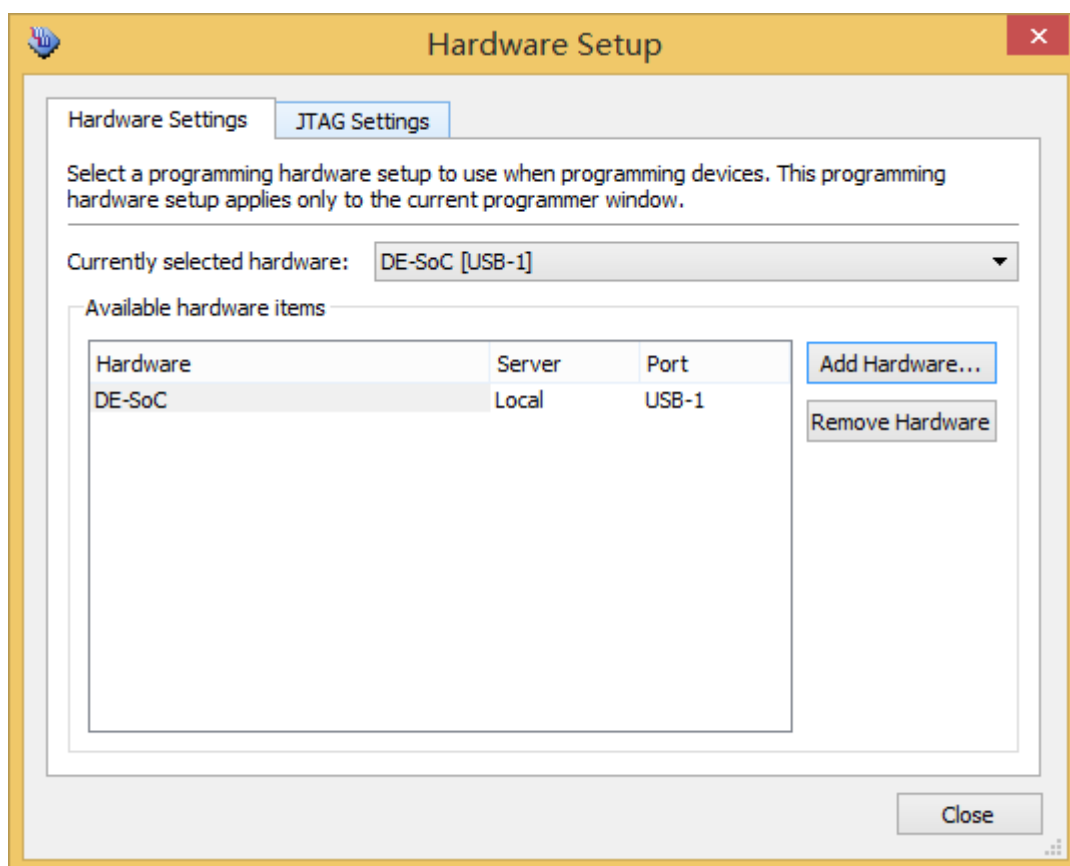


图 (30)

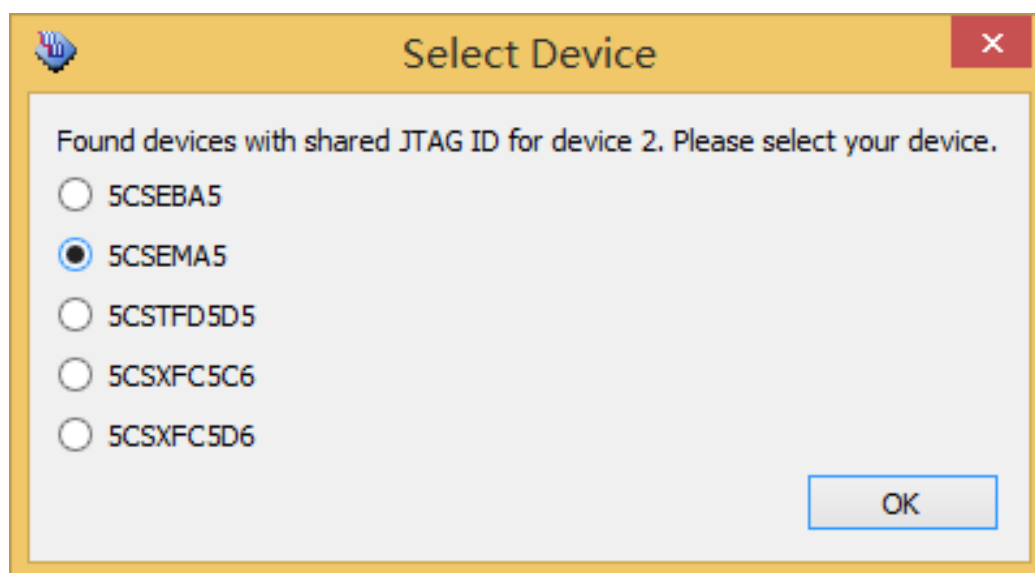


图 (31)

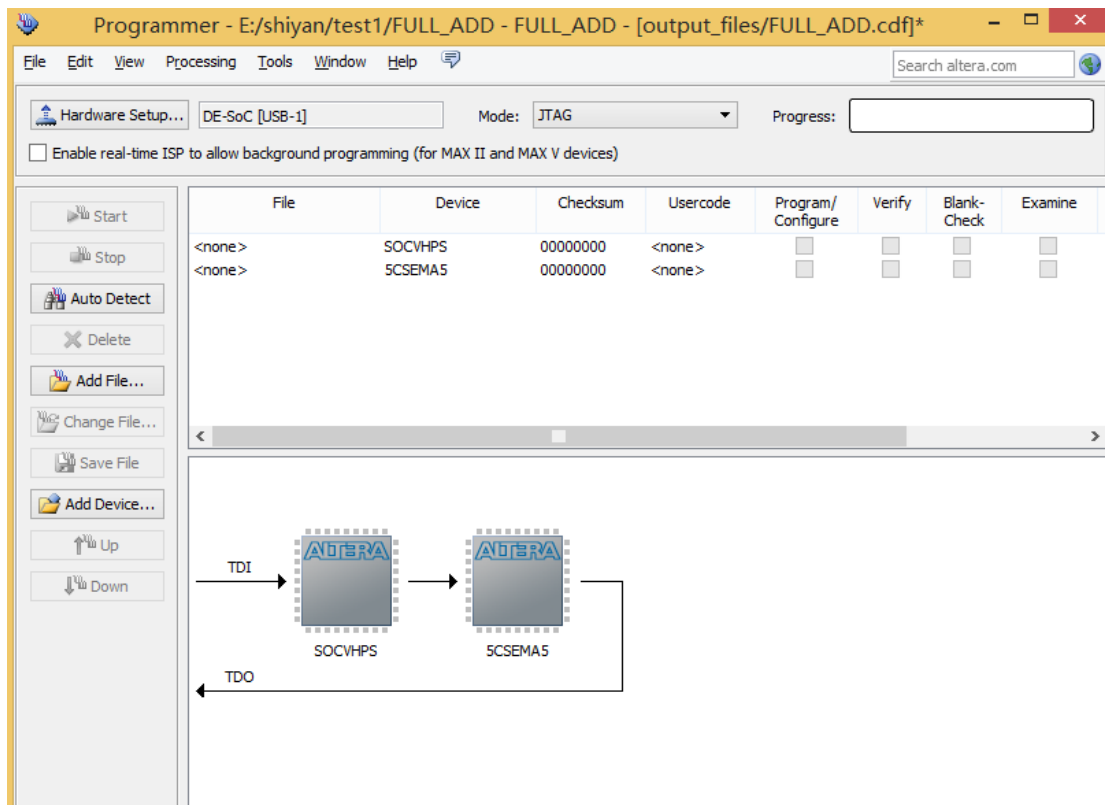


图 (32)

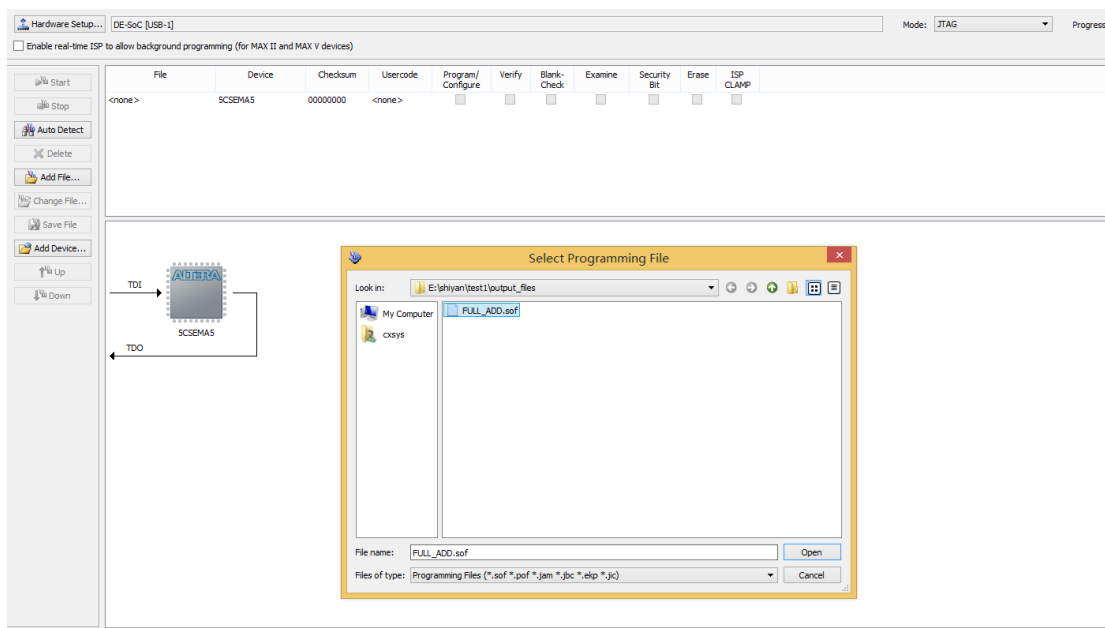


图 (33)

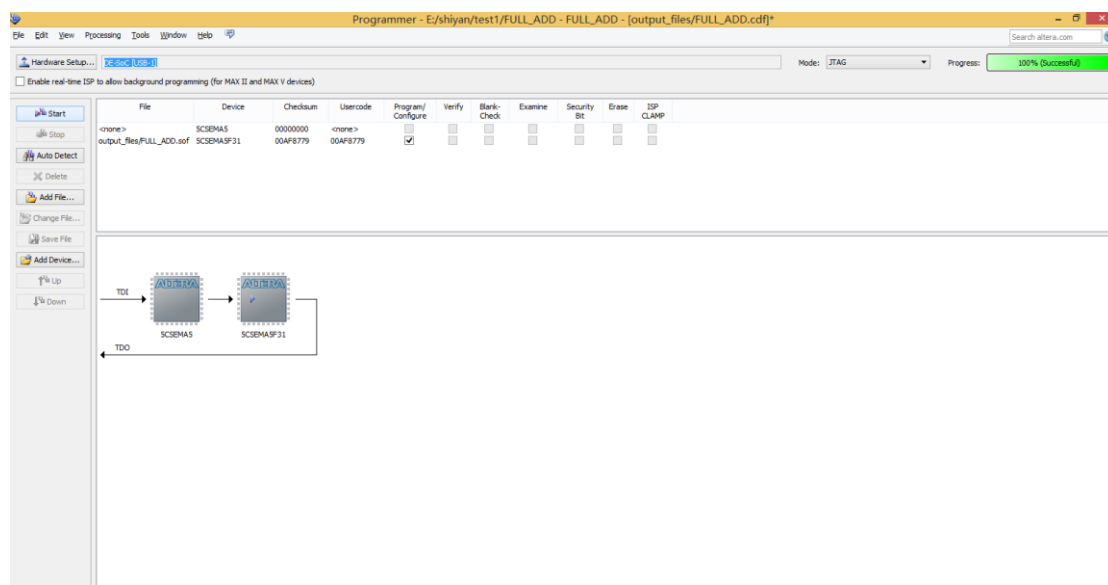


图 (34)