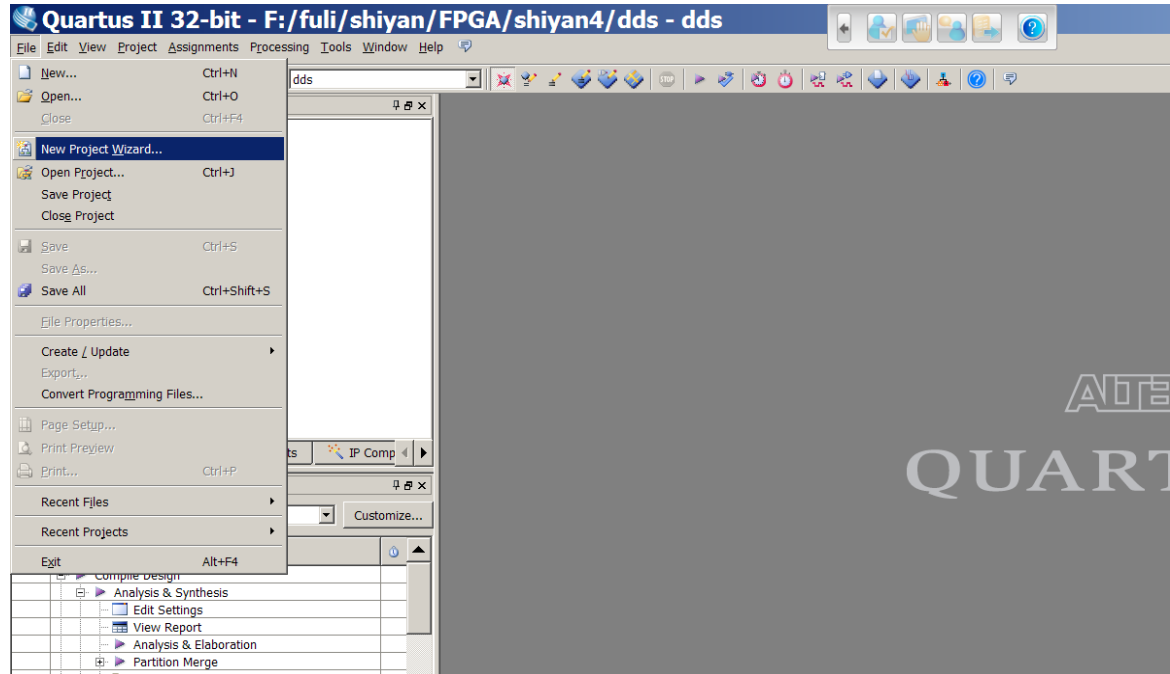


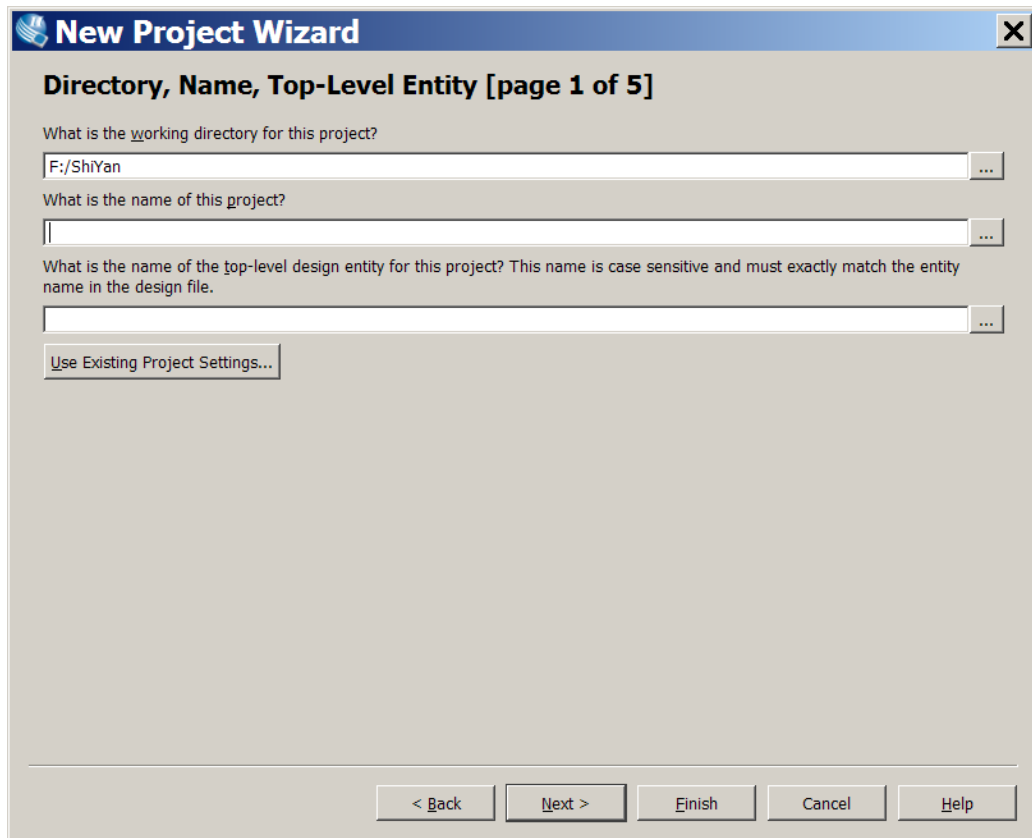
Quartus13.1 中正弦信号发生器设计步骤

1、 利用 New Project Wizard 工具创建设计工程。

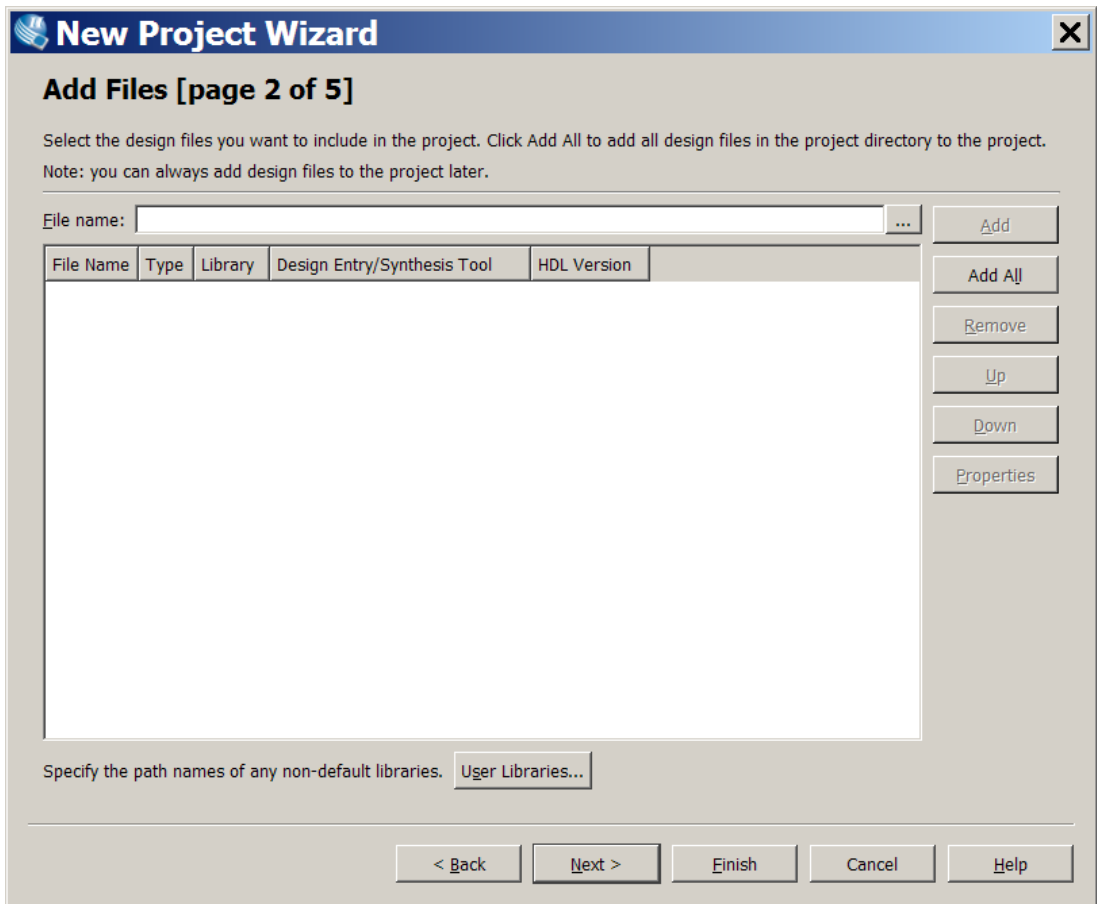
(1) File/New Project Wizard...



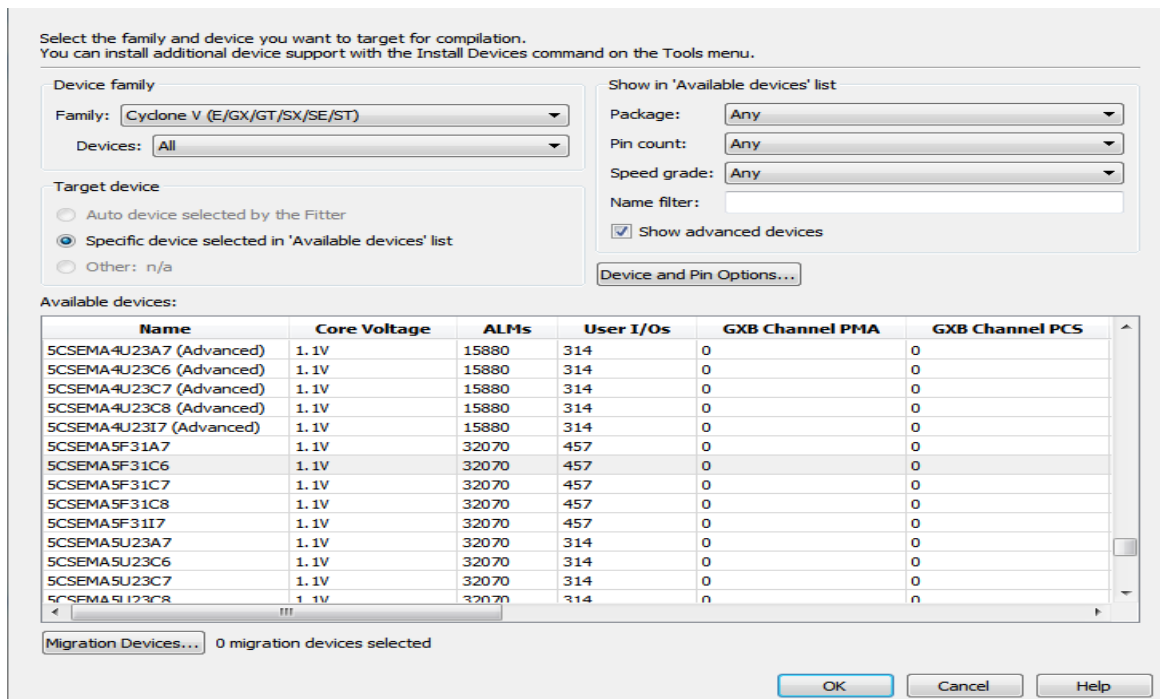
(2) “工程设置”对话框如图，设置工程所在的目录，然后点击“Next”。



(3) 下图中，点击 next。

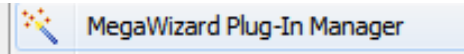


(4) 选择器件。

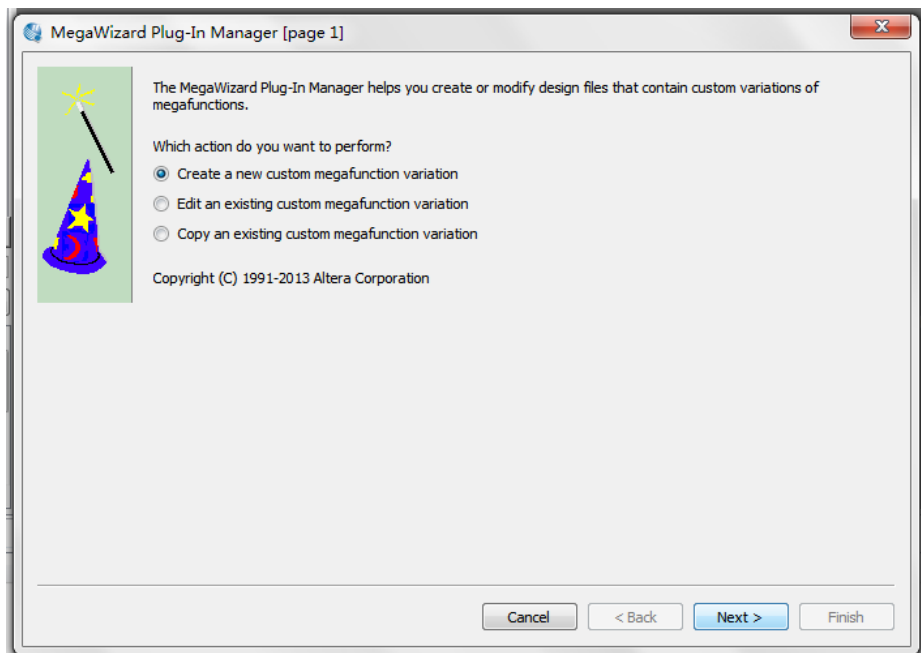


2、定制 LPM-ROM。

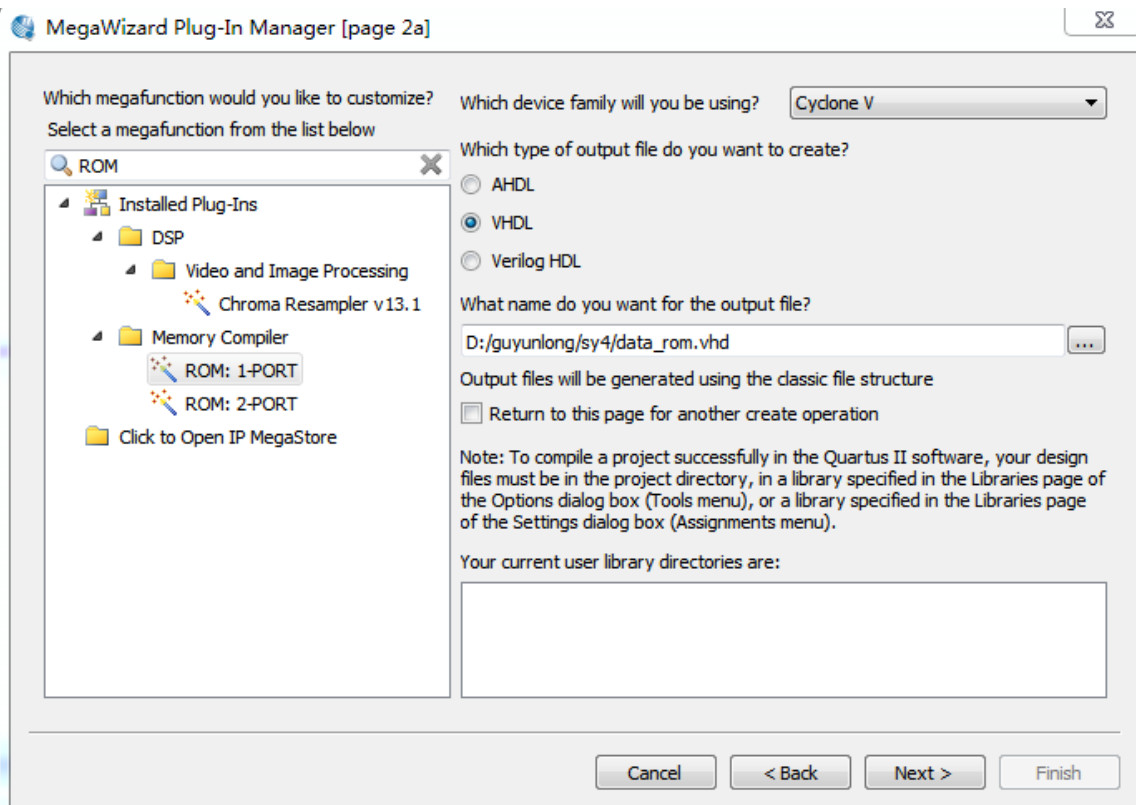
(1) 菜单栏 Tools 里面选择



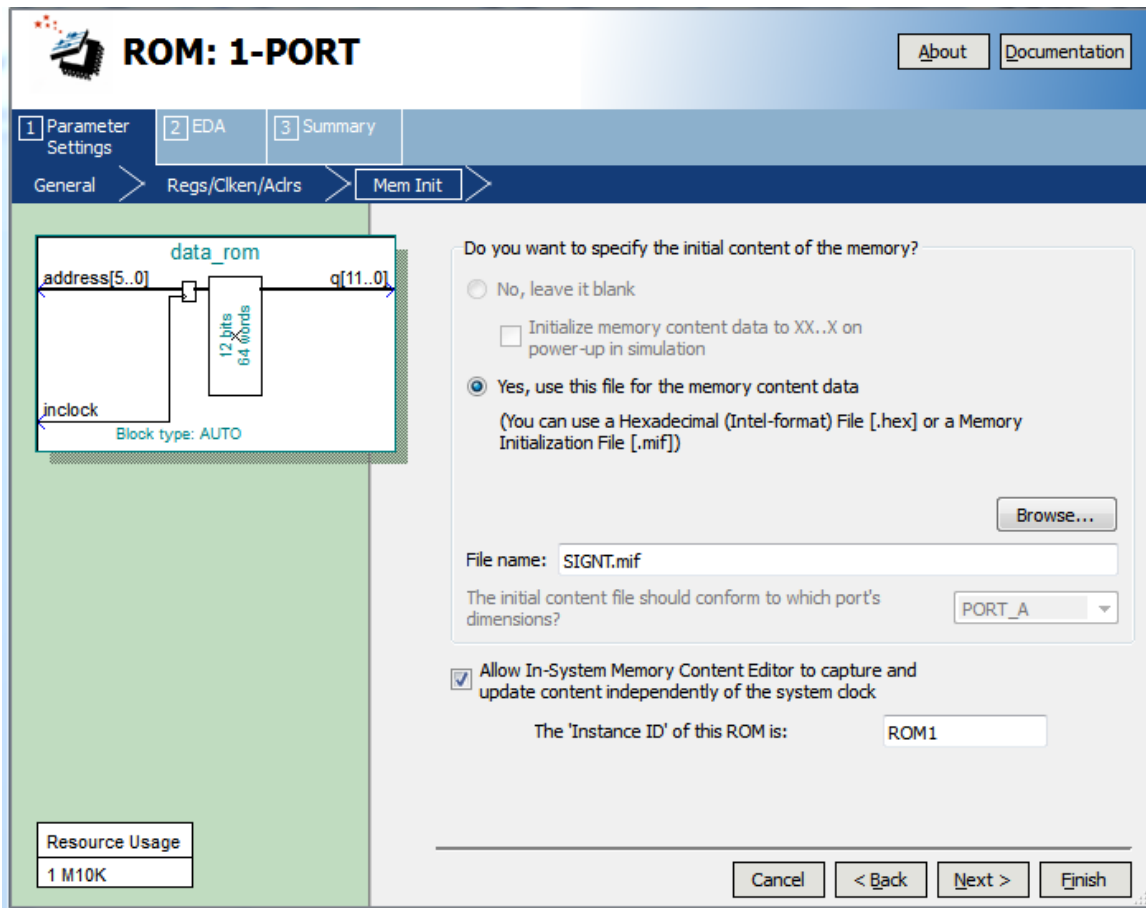
(2) 出现如图对话框，选择 Creat...项，点击 next。



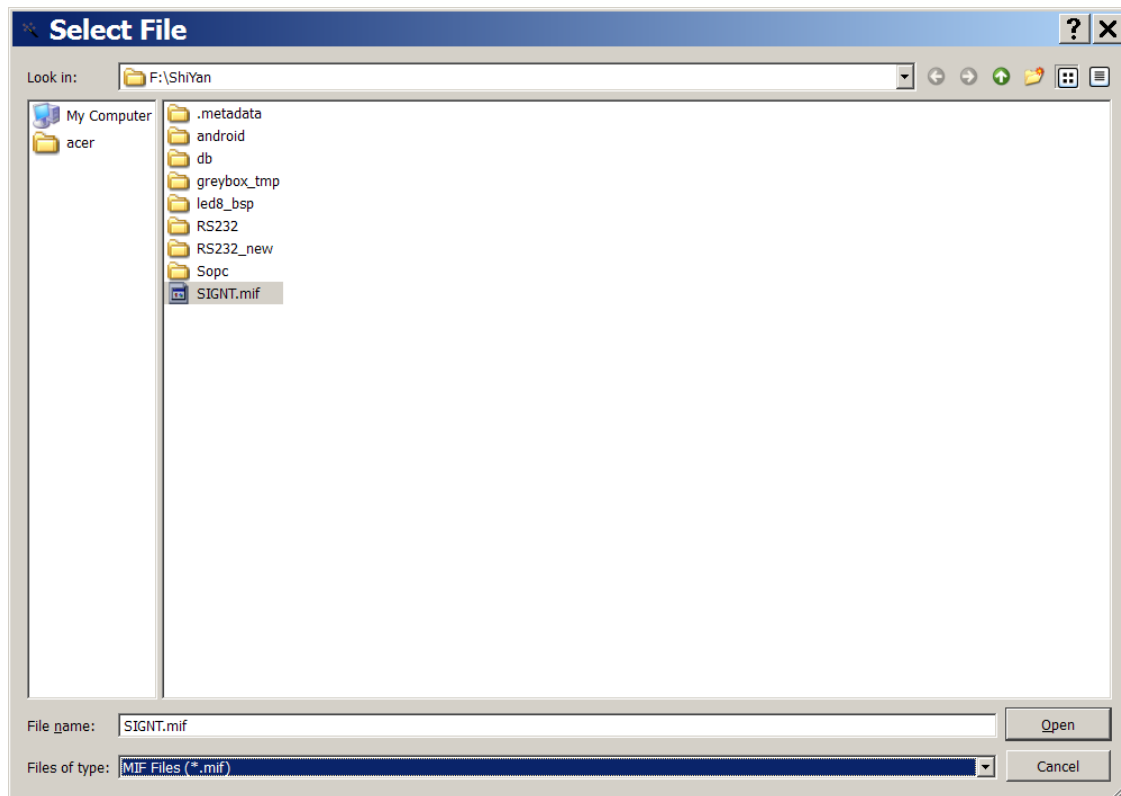
(3) 搜索框输入 ROM，选择 Memory Compiler 一栏下的 ROM:1-PORT，右上角选 Cyclone V，类型选 VHDL，下面一栏键入文件名称，如图。点击 NEXT。



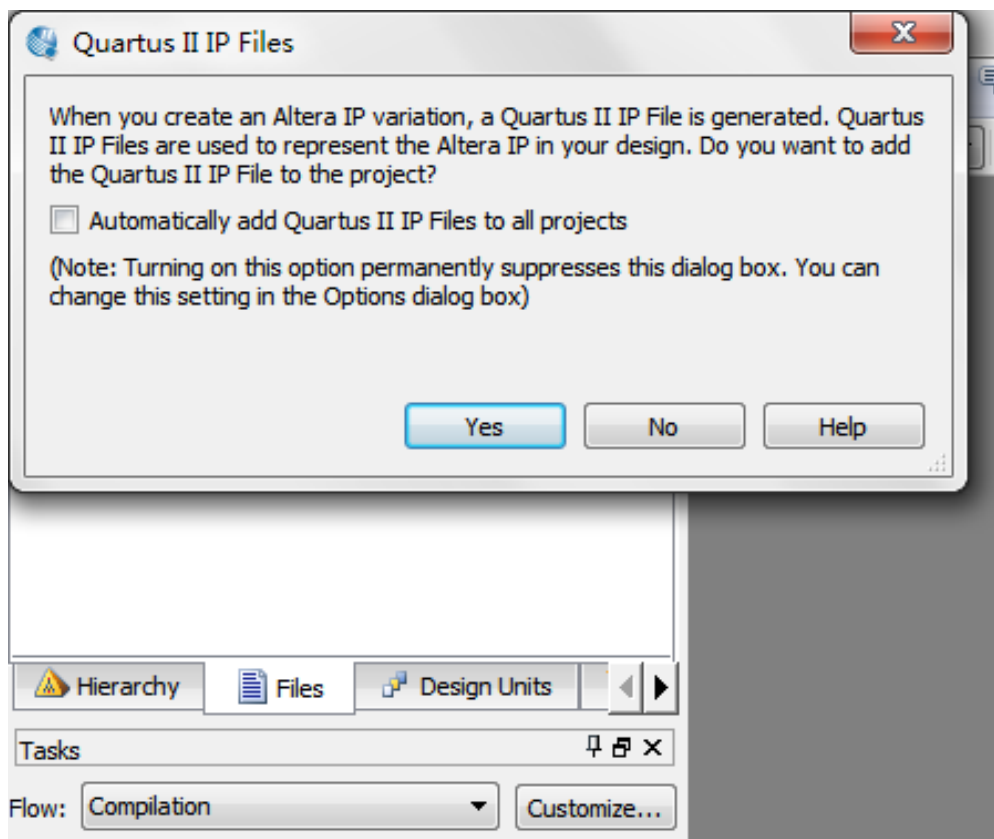
(4) 选择控制线、地址线和数据线，按下图配置后，点击 “Next”。



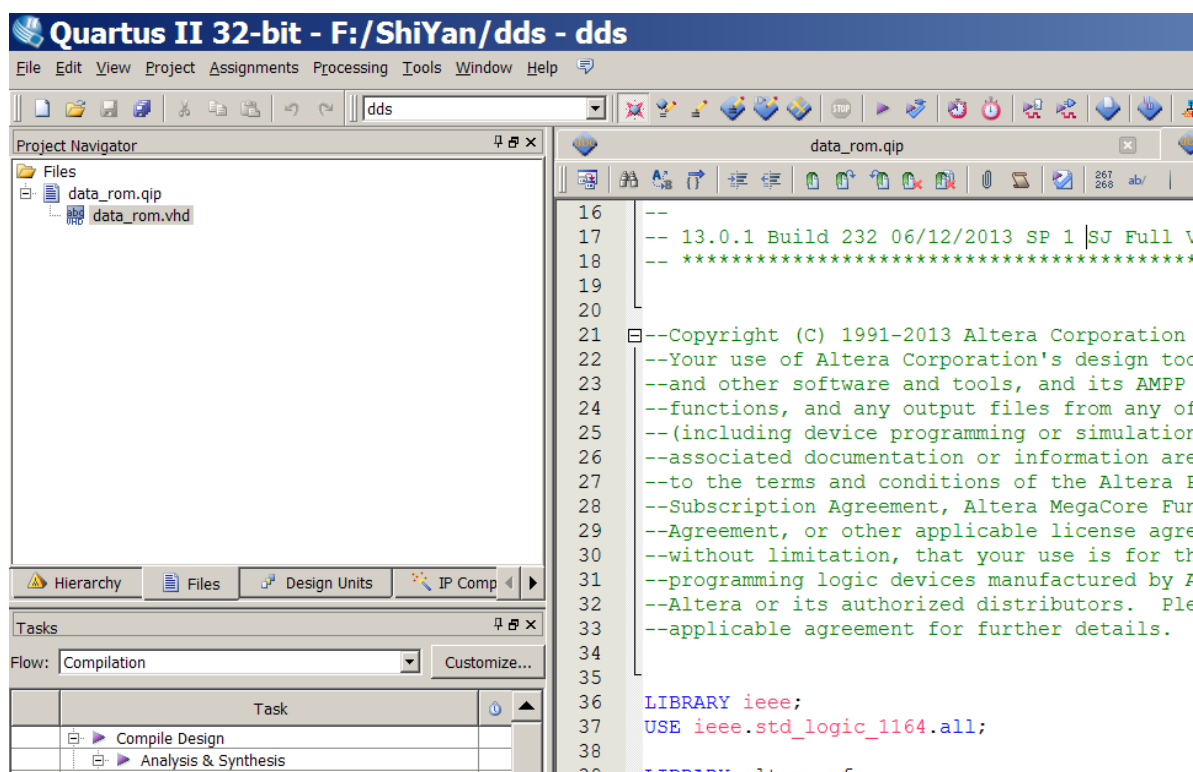
点击 Browse...，文件类型选*.mif，（由教师提供或者自己新建手工输入），点击 OPEN。




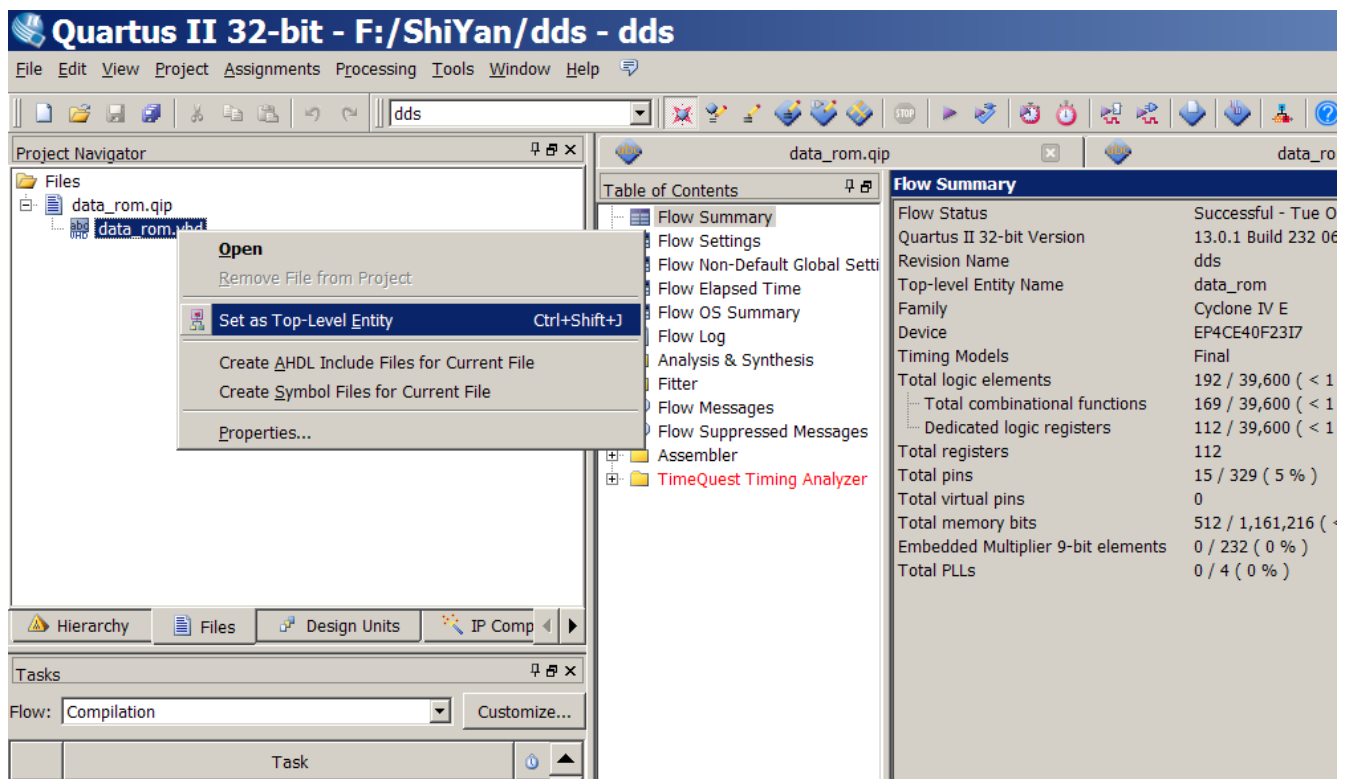
(7) 之后的都选择默认，点击 Finish，出现下图，点 YES。



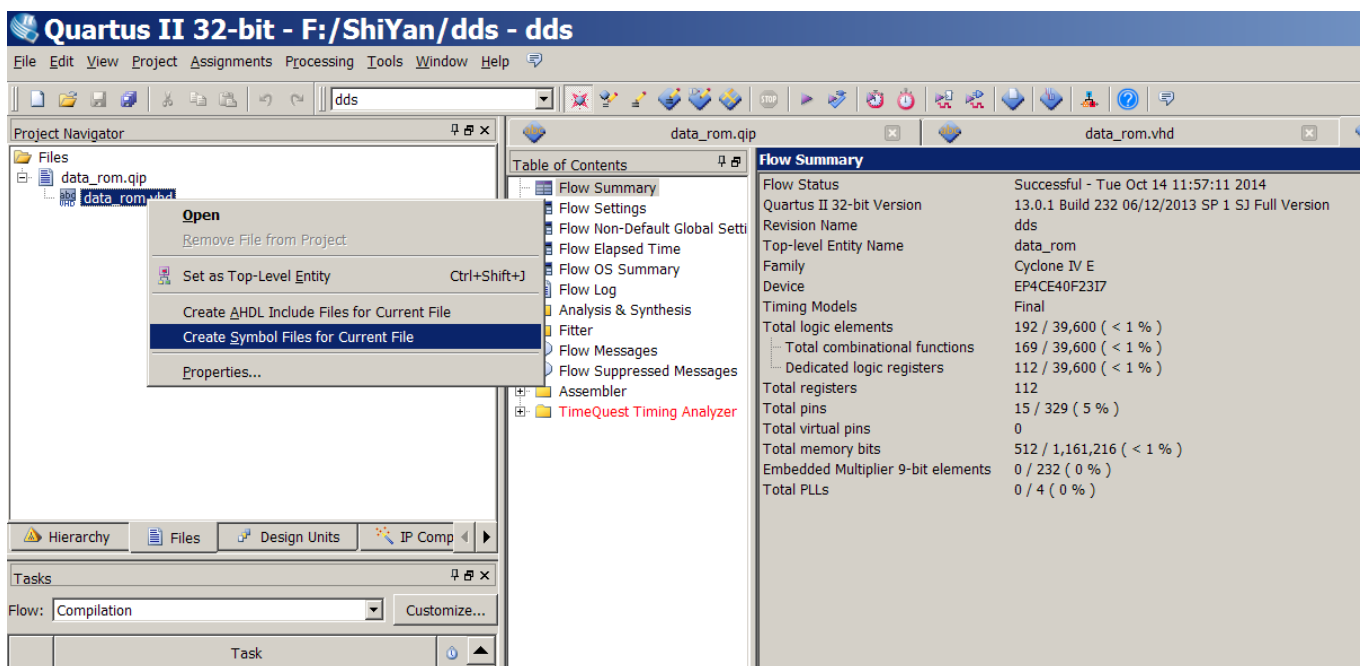
(8) 点击打开 data_rom.vhd 文件。



(9) 单击鼠标右键，在弹出的列表中选择  Set as Top-Level Entity，把 data_rom.vhd 文件设置为顶层实体。

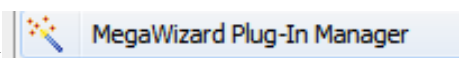


然后编译 。编译成功以后， 。

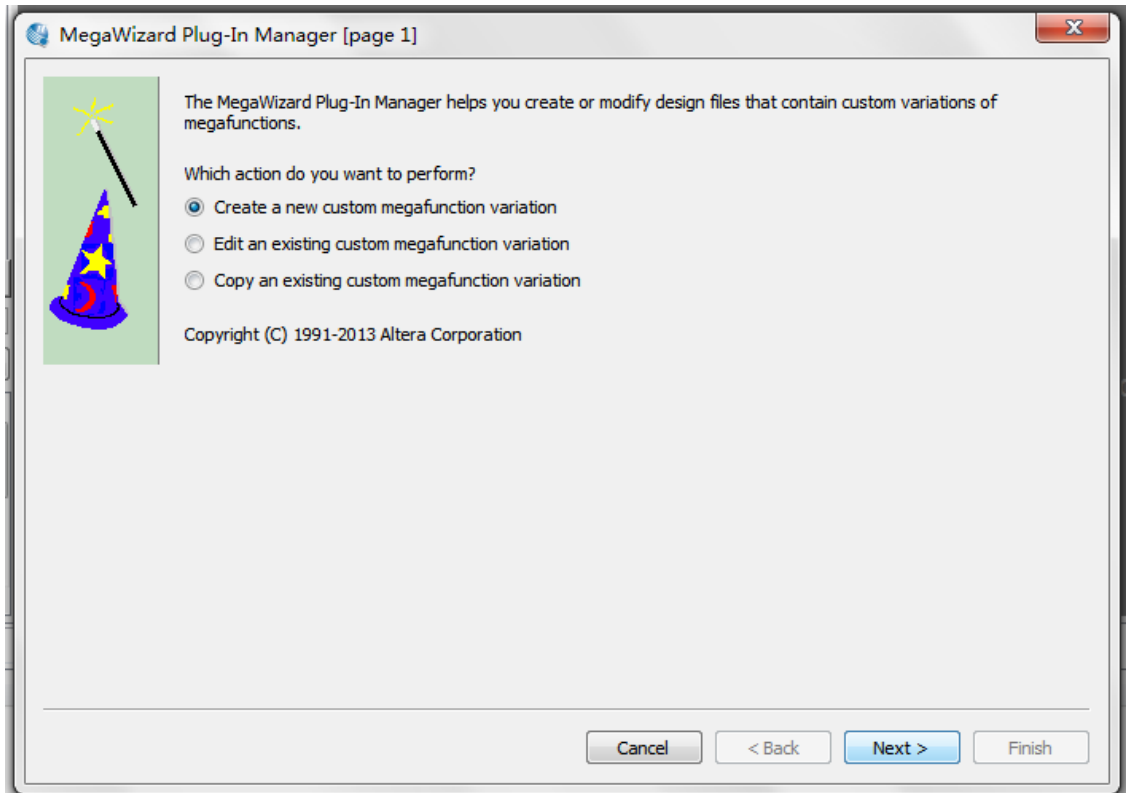


3.定制锁相环。

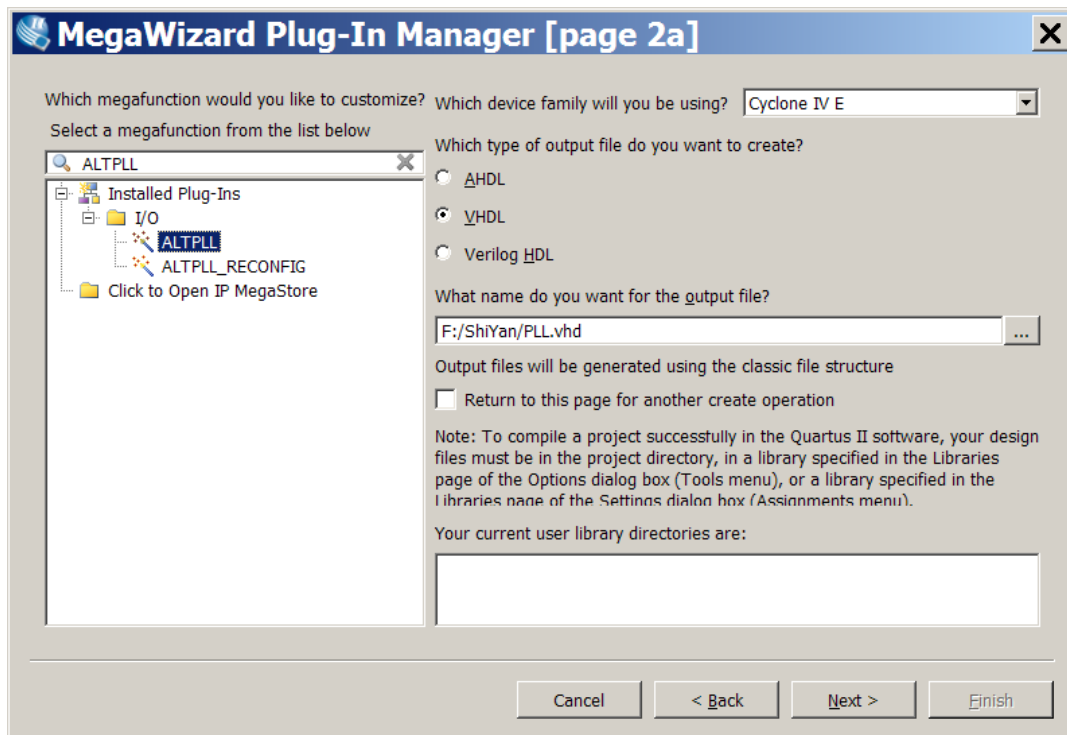
(1) 菜单栏 Tools 里面选择



(2) 出现如图对话框，选择 Creat...那一项，点 next



(3) 与 ROM 定制类似，如图。注意右上角 device,选择 Cyclone IV E



(4) 按照下图设置（板载晶振 50MHz）。

ALTPLL About Documentation

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

General/Modes Inputs/Lock Bandwidth/SS Clock switchover

Currently selected device family: Cyclone IV E

☒ Match project/default

Able to implement the requested PLL

General

Which device speed grade will you be using? 8

☐ Use military temperature range devices only

What is the frequency of the inclk0 input? 50.000 MHz

☐ Set up PLL in LVDS mode Data rate: Not Available Mbps

PLL Type

Which PLL type will you be using?

☐ Fast PLL ☐ Enhanced PLL ☒ Select the PLL type automatically

Operation Mode

How will the PLL outputs be generated?

☒ Use the feedback path inside the PLL

☒ In normal mode

☐ In source-synchronous compensation Mode

☐ In zero delay buffer mode

☐ Connect the fbmimic port (bidirectional)

☐ With no compensation

☐ Create an 'fbin' input for an external feedback (External Feedback Mode)

Which output clock will be compensated for? c0

Cancel < Back Next > Finish

(5) 下图中去掉默认选项。

MegaWizard Plug-In Manager [page 4 of 14]

ALTPLL About Documentation

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

General/Modes Inputs/Lock Bandwidth/SS Clock switchover

PLL

inclk0 inclk0 frequency: 20.000 MHz Operation Mode: Normal

Clk	Ratio	Ph (dg)	DC (%)
c0	1/1	0.00	50.00

Cyclone IV E

Able to implement the requested PLL

Optional Inputs

☐ Create an 'pllena' input to selectively enable the PLL

☐ Create an 'areset' input to asynchronously reset the PLL

☐ Create an 'pfdena' input to selectively enable the phase/frequency detector

Lock Output

☐ Create 'locked' output

☐ Enable self-reset on loss lock

Advanced Parameters

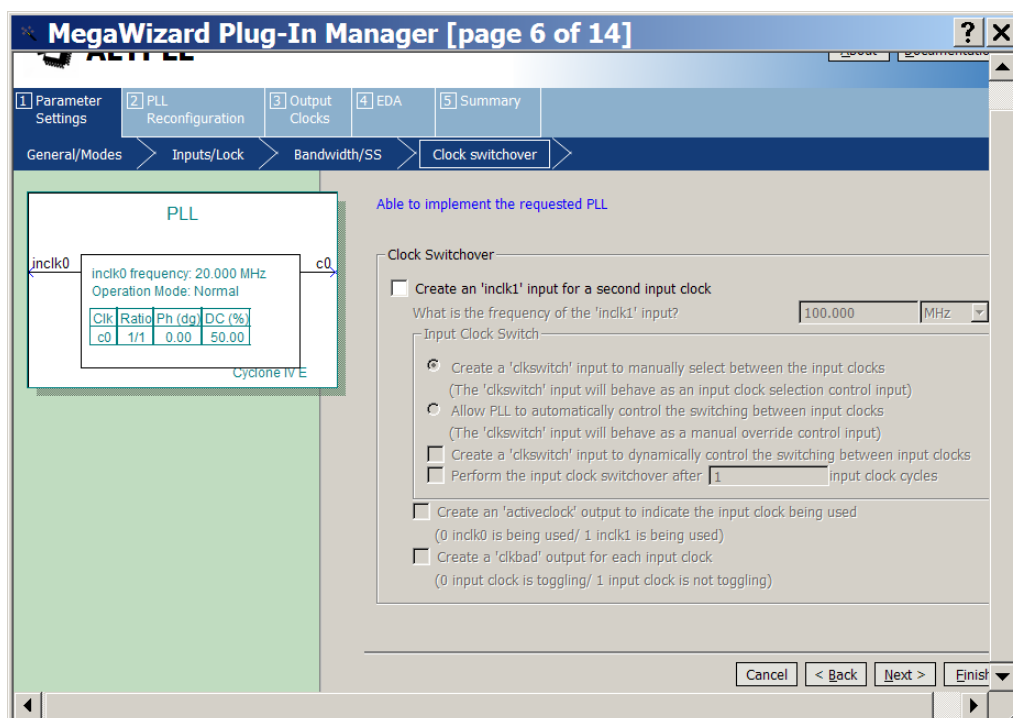
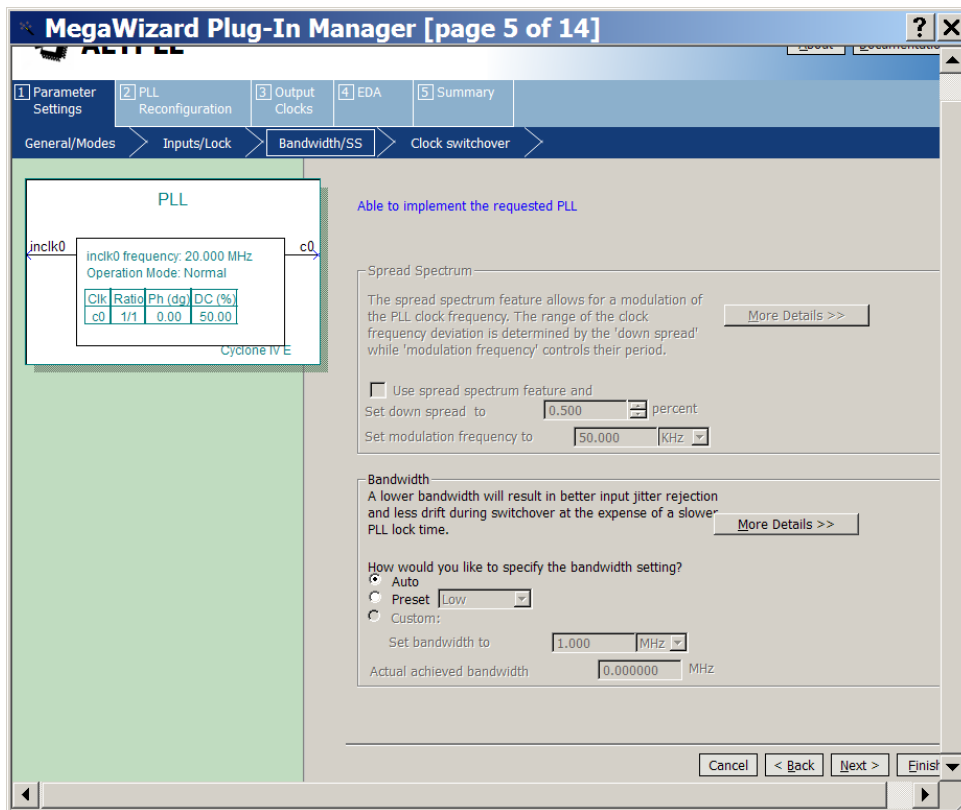
Using these parameters is recommended for advanced users only

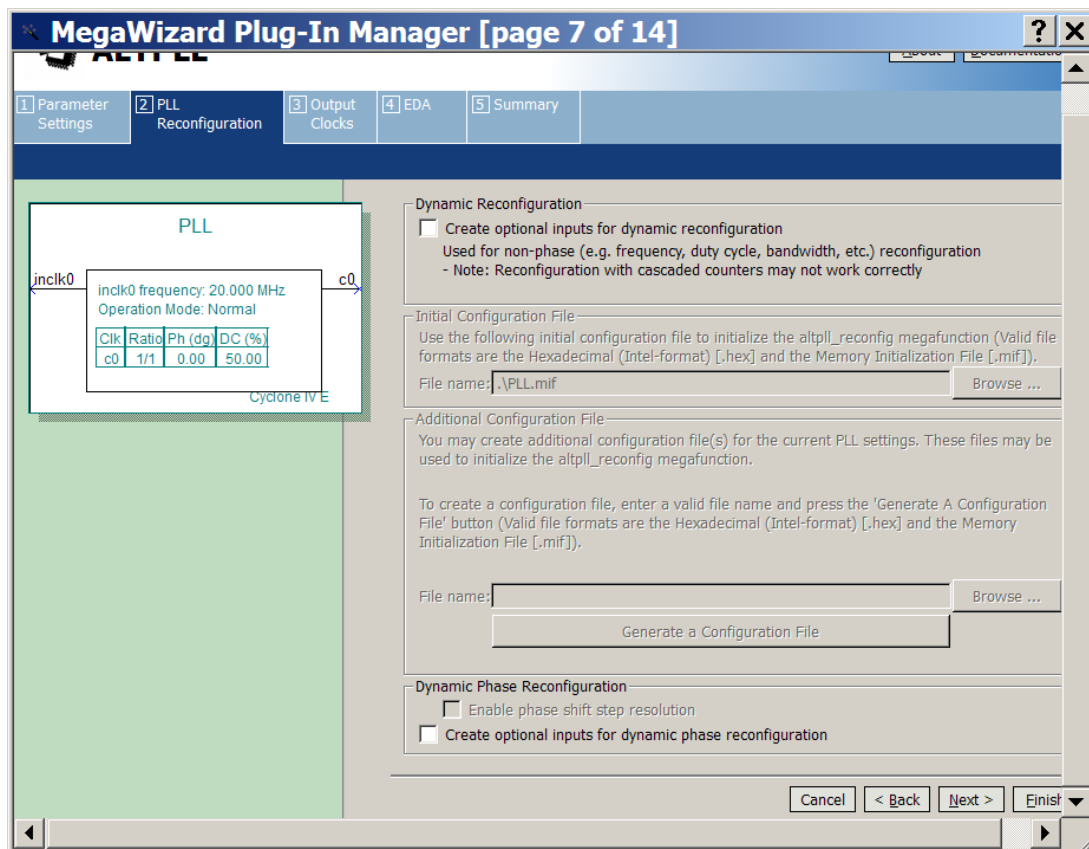
☐ Create output file(s) using the 'Advanced' PLL parameters

- Configurations with output clock(s) that use cascade counters are not supported

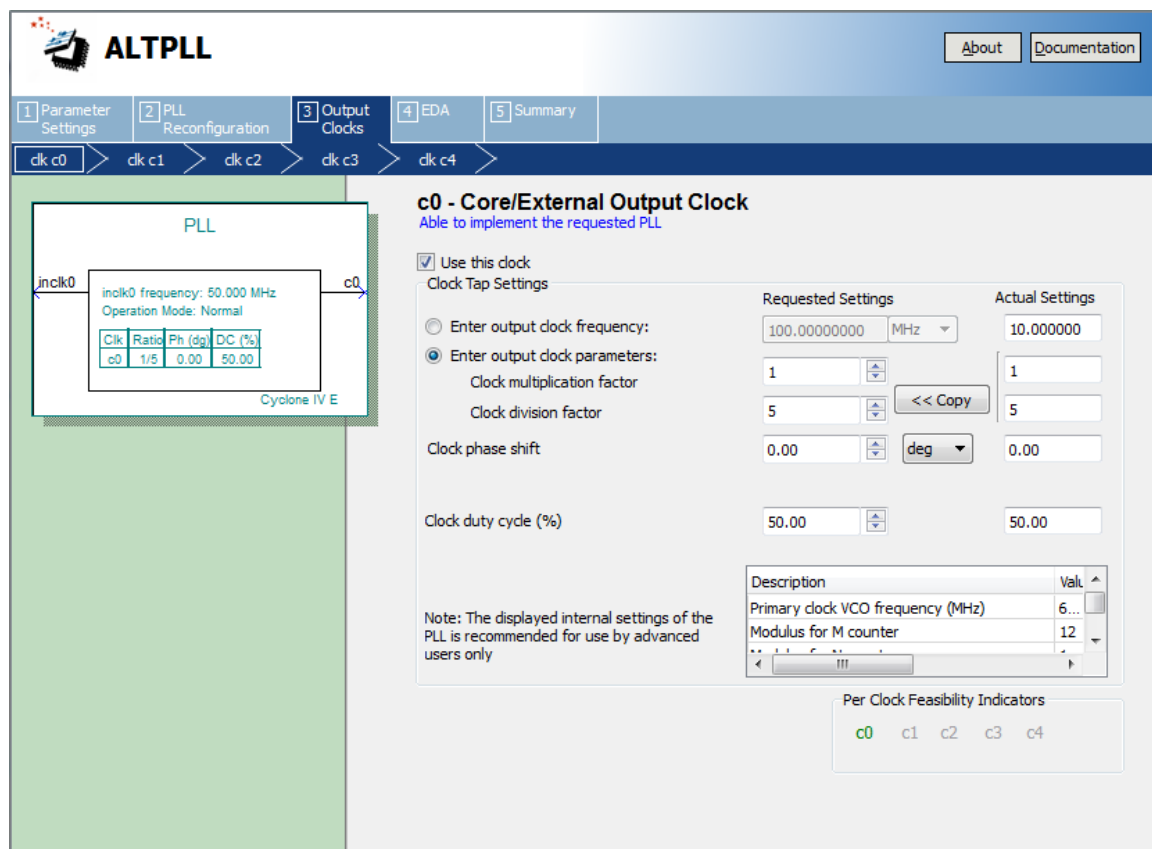
Cancel < Back Next > Finish

(6) 之后都是默认设置 ,一直到步骤(7)。

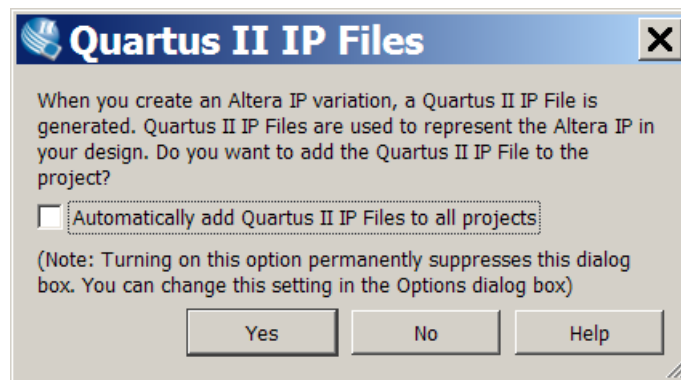




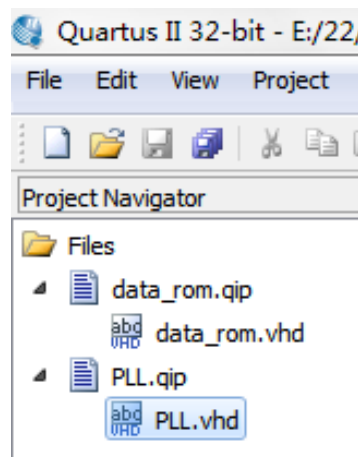
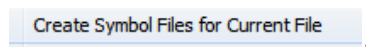
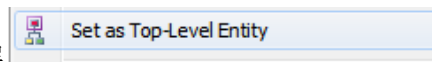
(7) 下图中，设置分频比为 1/5，可以将 50MHz 分为 10MHz（也可自己设置分频比），其余设置不变。



(8) 之后的默认，点击 Finish，出现下图，点击 Yes，定制完成。



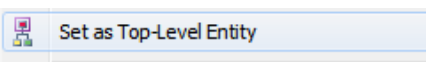
(9) 点击打开 PLL.vhd 文件，设为顶层



4. 新建 ADDRESS.vhd 文件。

```
1  LIBRARY IEEE; --正弦信号发生器源文件
2  USE IEEE.STD_LOGIC_1164.ALL;
3  USE IEEE.STD_LOGIC_UNSIGNED.ALL;
4  ENTITY ADDRESS IS
5  PORT ( CLK : IN STD_LOGIC; --信号源时钟
6        DOUT : OUT STD_LOGIC_VECTOR (8 DOWNTO 0) ); --9位波形数据输出
7  END;
8  ARCHITECTURE DACC OF ADDRESS IS
9  SIGNAL Q1 : STD_LOGIC_VECTOR (15 DOWNTO 0); --设定内部节点作为地址计数器
10 BEGIN
11 PROCESS (CLK) --LPM_ROM地址发生器进程
12 BEGIN
13 IF CLK'EVENT AND CLK = '1' THEN Q1<=Q1+1; --Q1作为地址发生器计数器
14 END IF;
15 END PROCESS;
16 DOUT<=Q1(8 DOWNTO 0) ;
17 END;
```

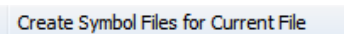
设为顶层



，编译



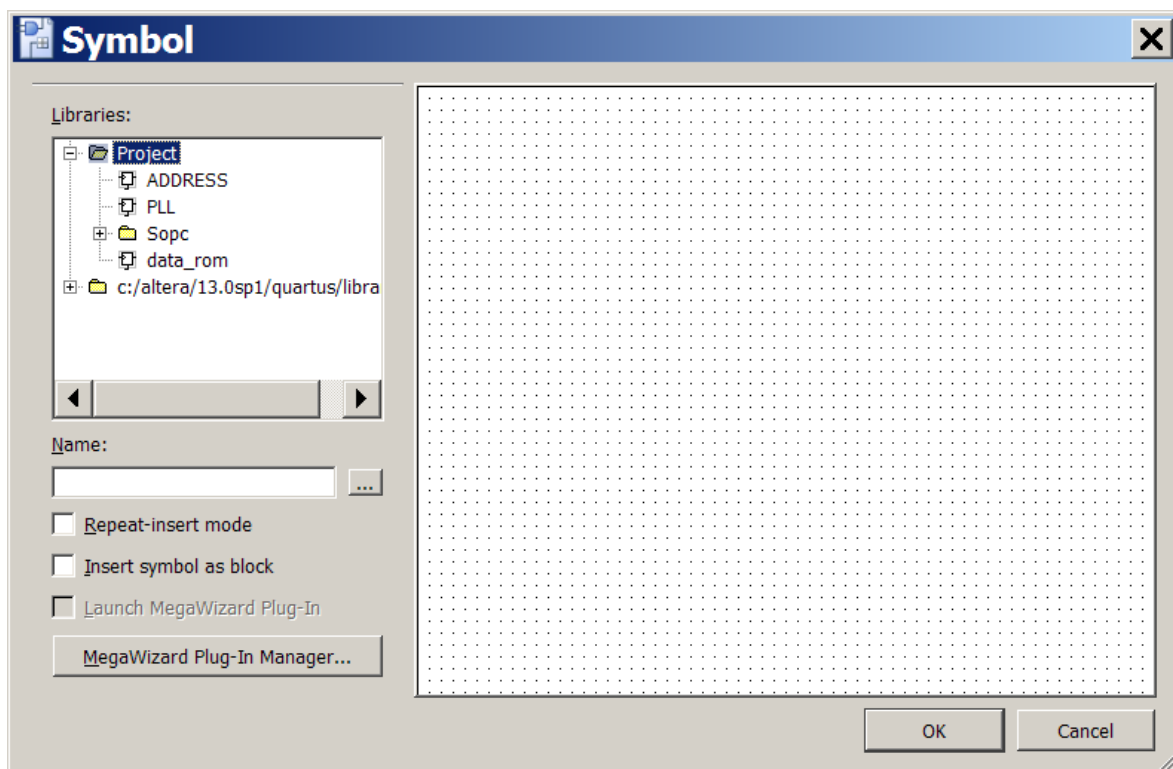
，成功以后，



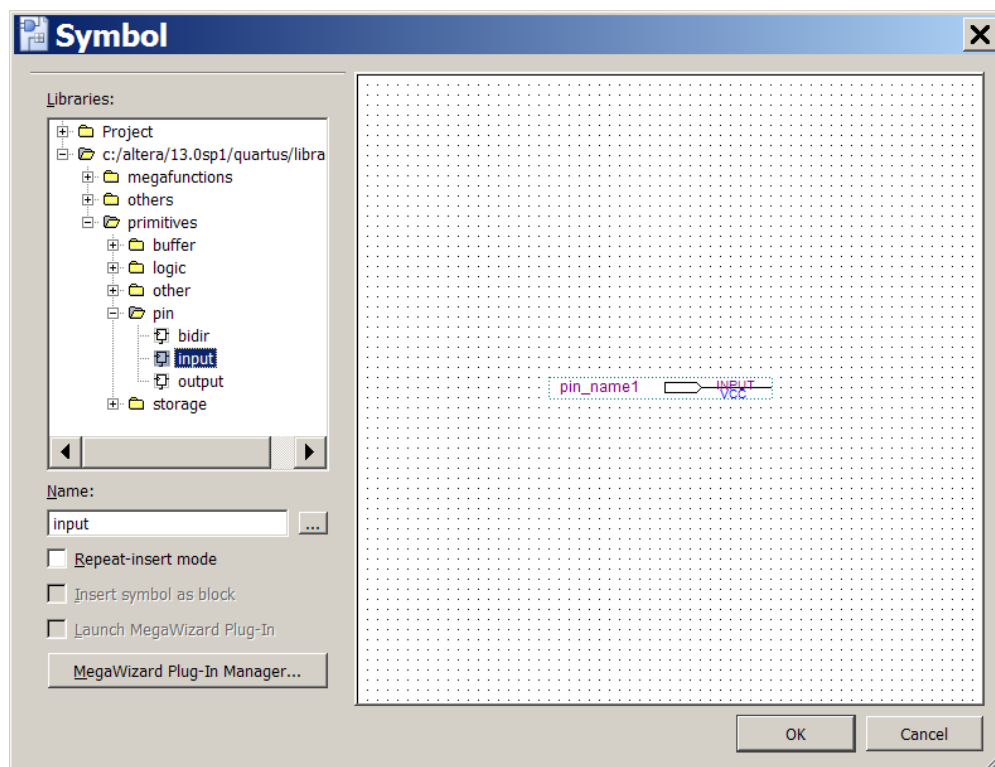
。

5.设计 bdf 原理图文件。

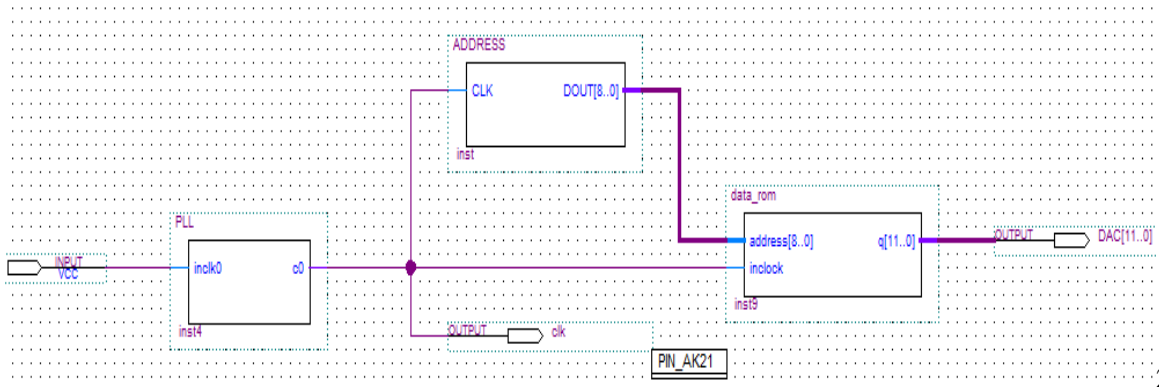
- (1) 添加先前生成的符号 PLL、ADDRESS、data_rom，添加方法：在 bdf 文件窗口中双击空白处，弹出如下窗口，选择相应的符号。



- (2) 连线并添加输入、输出端口。添加输入、输出端口方法：在 bdf 文件窗口中双击空白处，弹出如下窗口，选择相应的符号，如下图：

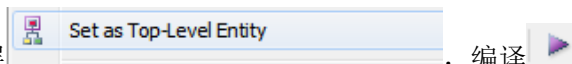


- (3) 完整的 bdf 图如下。



2

(4) 将 bdf 文件设为顶层



，编译

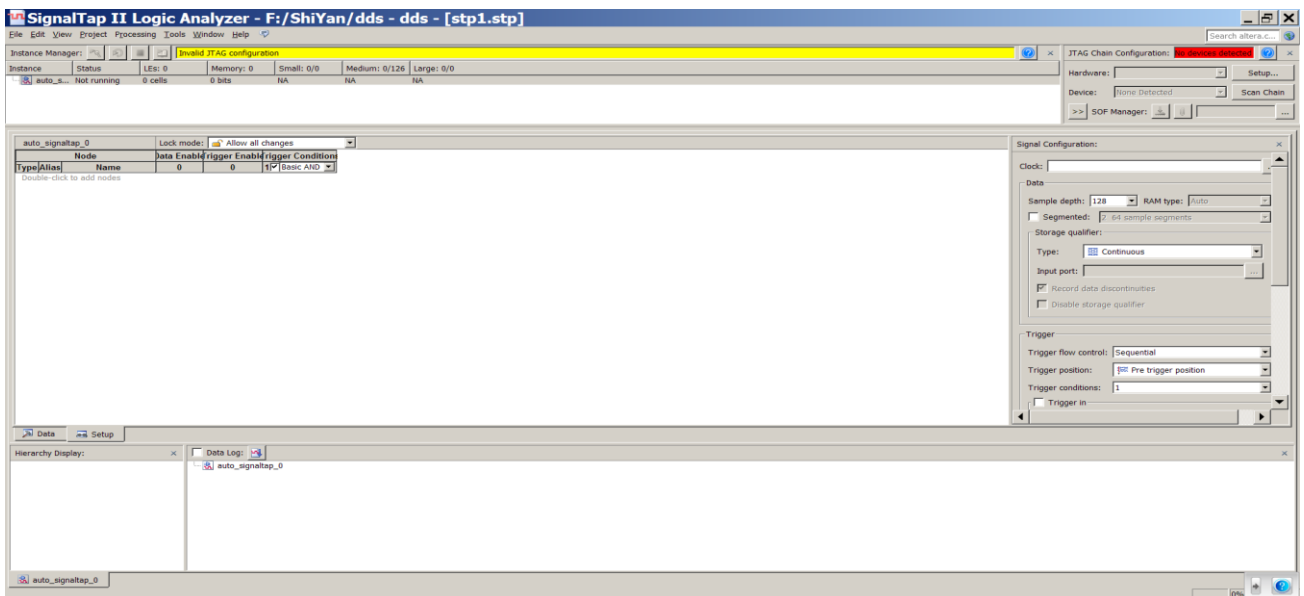
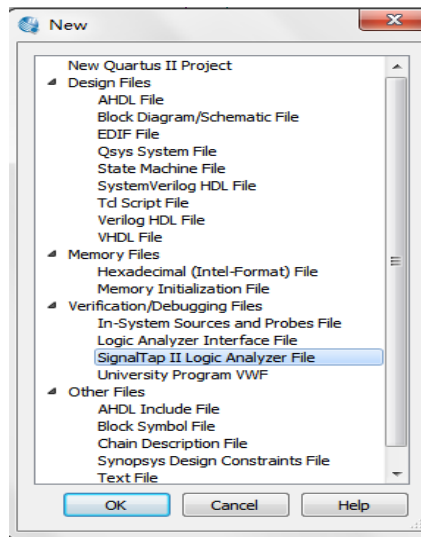


6. 绑定引脚。引脚绑定表为：

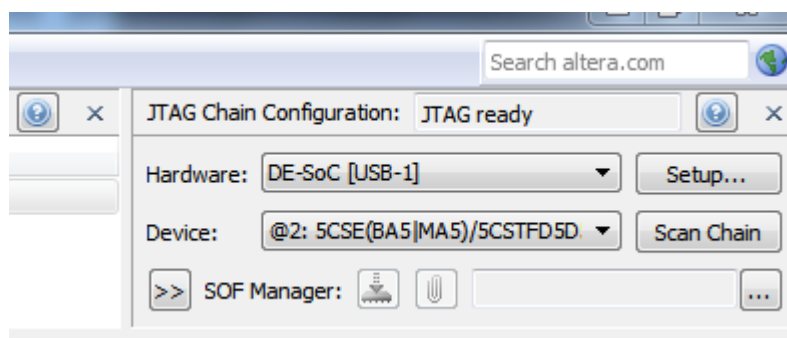
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Locat
altera_reserved_tck	Input				PIN_AC5
altera_reserved_tdi	Input				PIN_U8
altera_reserved_tdo	Output				PIN_AB9
altera_reserved_tms	Input				PIN_V9
clk	Output	PIN_AK21	4A	B4A_N0	PIN_AK21
DAC[11]	Output	PIN_AD20	4A	B4A_N0	PIN_AD20
DAC[10]	Output	PIN_AD19	4A	B4A_N0	PIN_AD19
DAC[9]	Output	PIN_AE19	4A	B4A_N0	PIN_AE19
DAC[8]	Output	PIN_AE18	4A	B4A_N0	PIN_AE18
DAC[7]	Output	PIN_AF21	4A	B4A_N0	PIN_AF21
DAC[6]	Output	PIN_AF20	4A	B4A_N0	PIN_AF20
DAC[5]	Output	PIN_AG21	4A	B4A_N0	PIN_AG21
DAC[4]	Output	PIN_AF19	4A	B4A_N0	PIN_AF19
DAC[3]	Output	PIN_AG20	4A	B4A_N0	PIN_AG20
DAC[2]	Output	PIN_AF18	4A	B4A_N0	PIN_AF18
DAC[1]	Output	PIN_AJ21	4A	B4A_N0	PIN_AJ21
DAC[0]	Output	PIN_AG18	4A	B4A_N0	PIN_AG18
indk0	Input	PIN_AA16	4A	B4A_N0	PIN_AA16
<<new node>>					

7. 建立 signaltap 文件并下载。

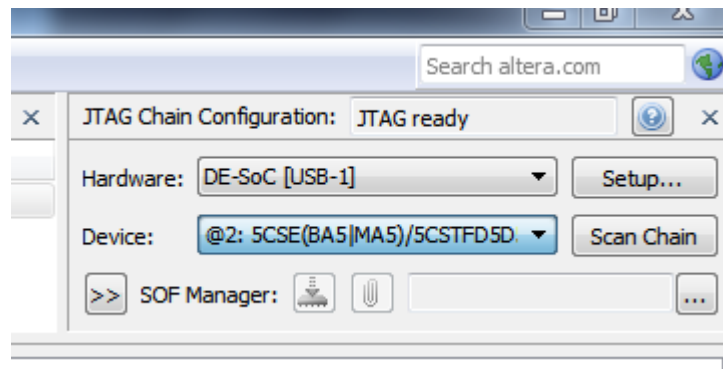
(1) 配置 Pin Planner 后，新建 signaltap 文件。



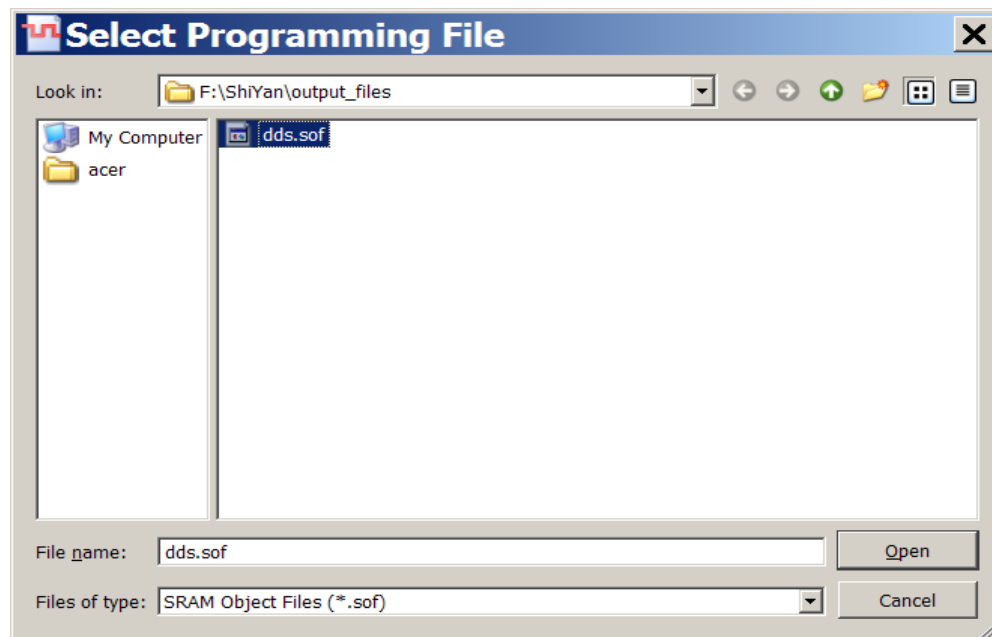
(2) 在图示处，点击 Setup...，选 DE-Soc[USB-1]。



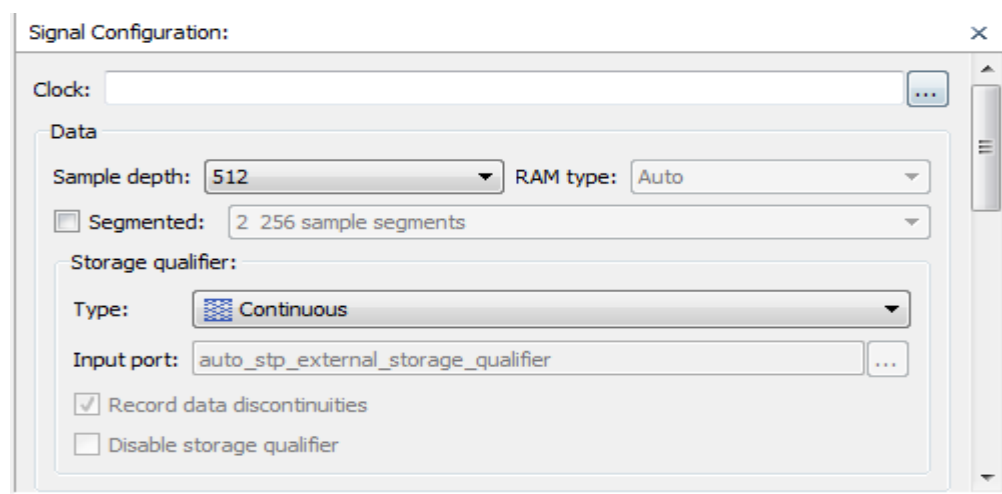
(3) 点击 Scan Chain..., Device 会显示 FPGA 芯片类型。

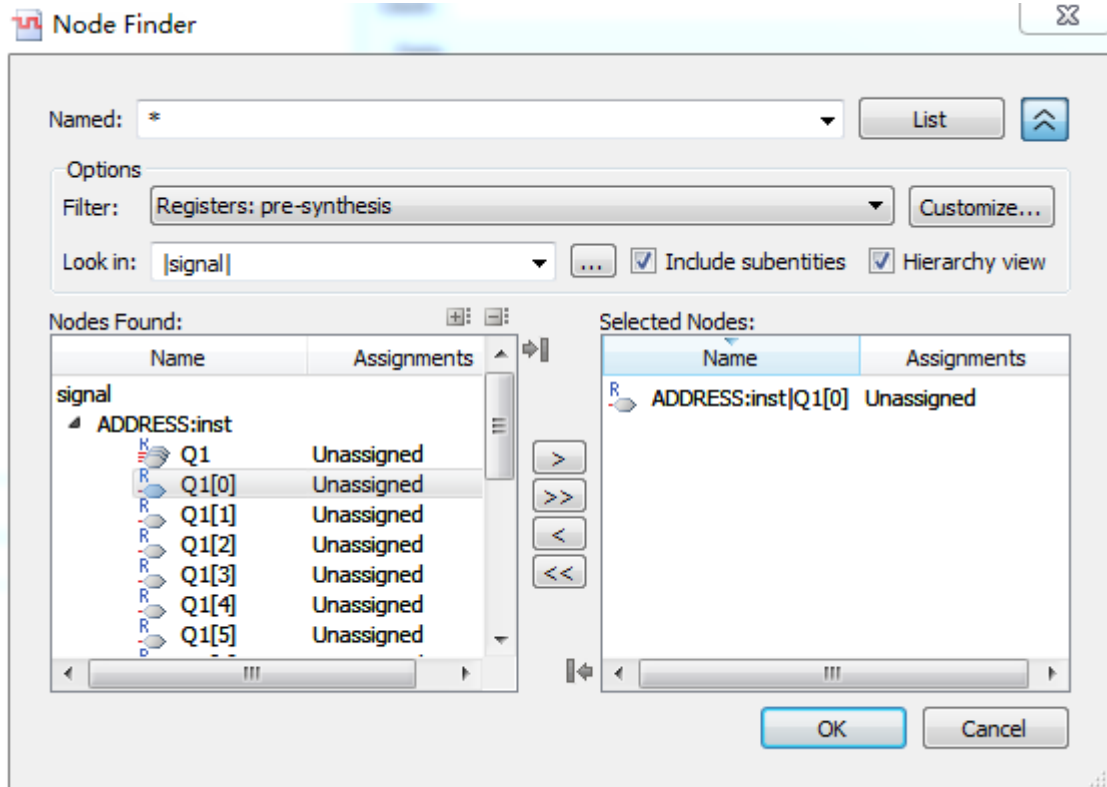


- (4) 将 DDS.sof 加载进去。点击位于 Scan Chain 下面的图标 ，选择 *.sof 文件，点击 Open。

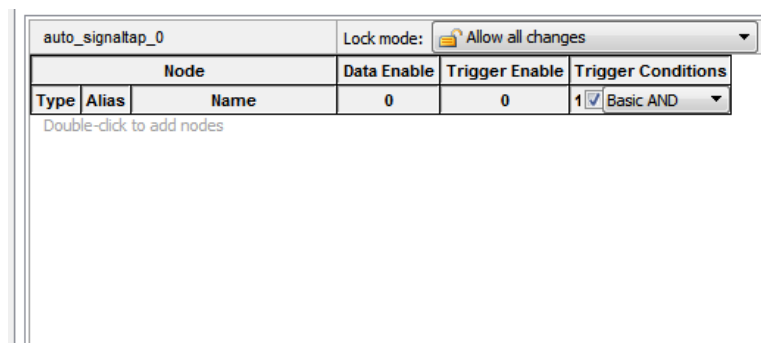


- (5) 将下图中的 Sample depth 设置为 512，然后点击图中 ，选择时钟为 Q1[0]，点 OK。

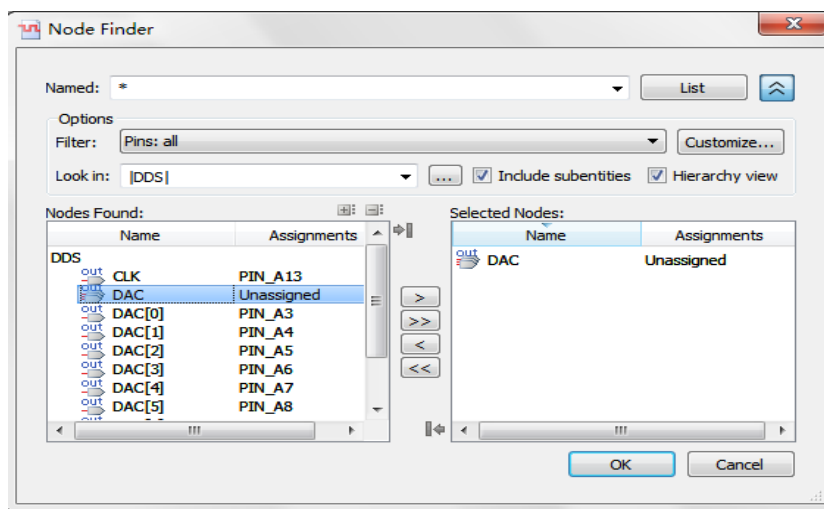




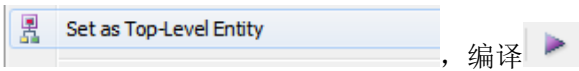
(6) 在图示空白处双击。



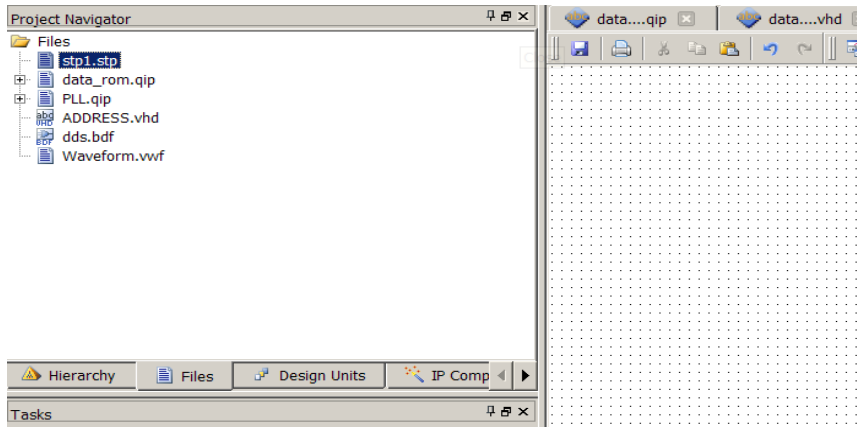
出现如图对话框，选择如图项，点击 list，选入 DAC，inclk0。





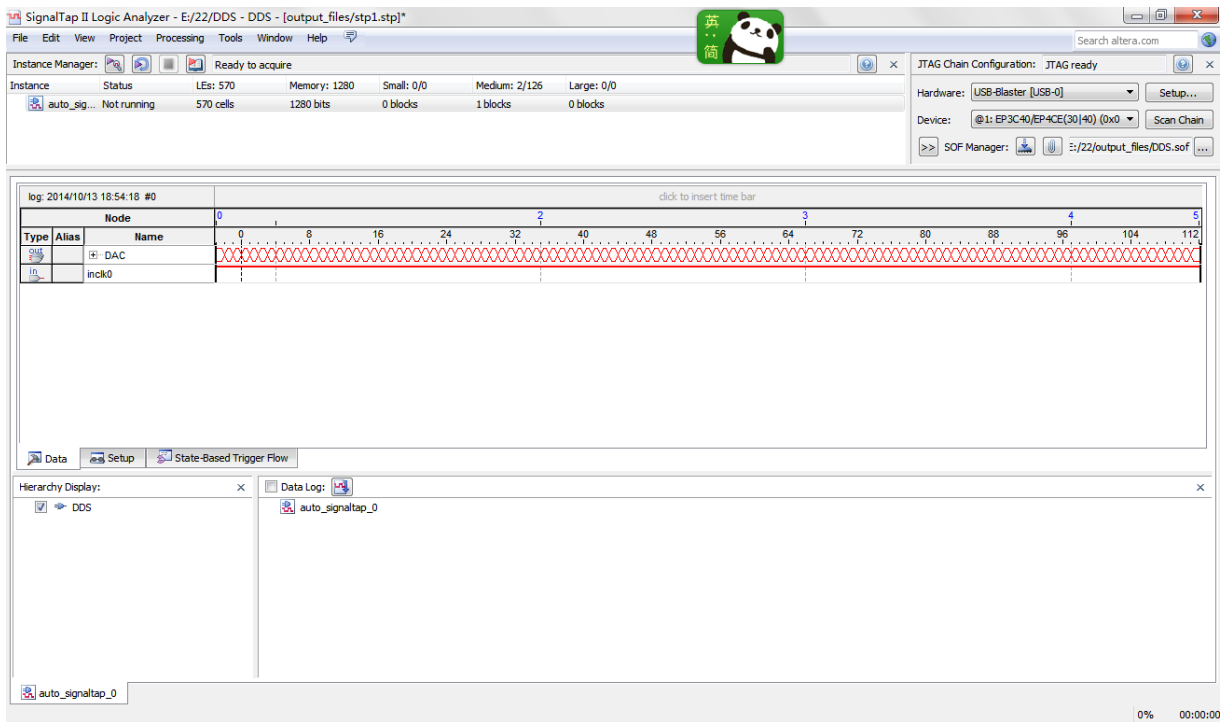
(7) 点击 File 选 Save，关闭本页面，退回到.bdf 文件界面，设.bdf 文件为顶层





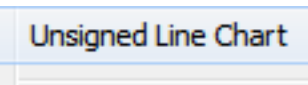
(8) 双击打开 stp1.stp 文件。



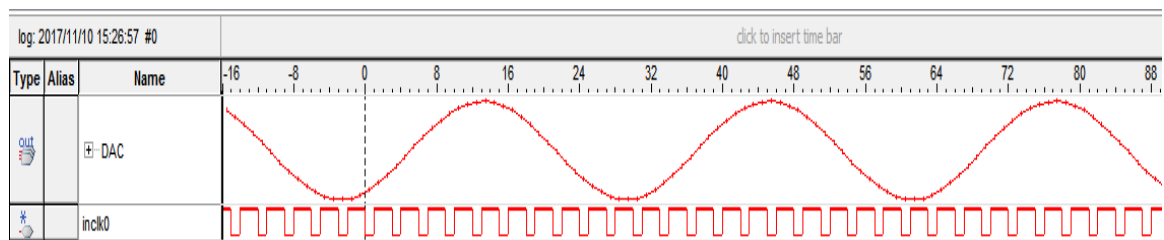
(9) 点击  将程序下载到实验箱（说明：实验箱只需要连接仿真器，没有其他连线），点击  Run Analysis（单步执行 SignalTap II 逻辑分析仪），出现类似下图波形。



设置 DAC 显示格式，鼠标右击  DAC 选择 ，选择



，出现正弦波形。



- (10) 选择  Autorun Analysis, 执行该命令后, SignalTap II 逻辑分析仪连续捕获数据, 直到采完设置的采样深度 128 或者按下 Stop Analysis  为止。
- (11) 示波器显示波形, 连接图如下:



结果:

