

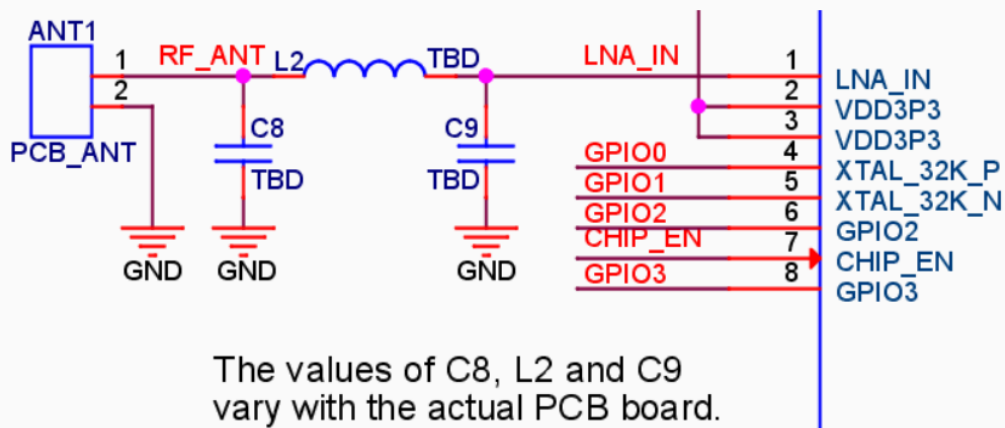


射频电路

射频电路

ESP32-C3 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。各部分电路应满足以下设计规范：

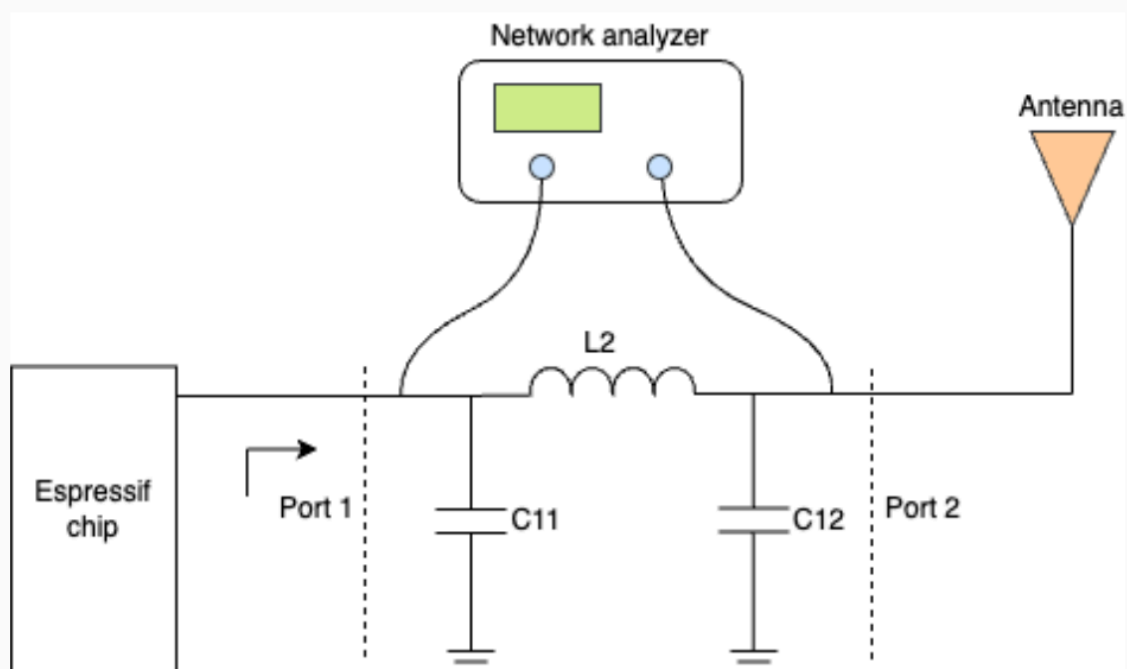
- PCB 板射频走线：需进行 $50\ \Omega$ 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置，优先采用 CLC 结构。
 - CLC 结构主要用于阻抗匹配及谐波抑制，空间允许的情况下可以再加一组 LC。
 - 芯片匹配电路如图 [ESP32-C3 系列芯片射频匹配电路图](#) 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 $50\ \Omega$ 左右。为保险起见，推荐在靠近天线位置增加一组 π 型匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 $50\ \Omega$ 左右，并且空间较小，则可以不加天线端的匹配电路。



射频调试

射频匹配网络的参数值和 PCB 板有关，不要直接使用模组的匹配值，须按照下述射频调试进行确认。


图 ESP32-C3 射频调试示意图 展示了射频调试的大概过程。



ESP32-C3 射频调试示意图

将芯片匹配电路靠近芯片的端口定义为端口 1，将其靠近天线的端口定义为端口 2，则 S11 用来描述从端口 1 反射回来的信号功率与输入信号功率之比，如果匹配阻抗与芯片阻抗共轭，则传输性能最佳。S21 用来描述从端口 1 到端口 2 的信号功率传输损耗。如果 S11 接近芯片共轭阻抗点 (35+j0)，且 S21 在 4.8 GHz 和 7.2 GHz 频率下小于 -35 dB，则匹配电路可满足传输要求。

将芯片匹配电路的两端分别接到综测仪上，测试其信号反射参数 S11 及传输参数 S21。调试该匹配电路中元件的数值，直至 S11 和 S21 满足上述要求。如果芯片的 PCB 板严格设计遵循章节 [PCB 版图布局](#) 里的规范，用户可以参考表 [匹配电路元器件推荐数值范围](#) 来调试该匹配电路。

匹配电路元器件推荐数值范围 

位号	推荐数值范围	物料编号
C11	1.2 ~ 1.8 pF	GRM0335C1H1RXBA01D
L2	2.4 ~ 3.0 nH	LQP03TN2NXB02D
C12	1.8 ~ 1.2 pF	GRM0335C1H1RXBA01D

如果射频贴片器件采用 0201 物料，靠近芯片端匹配电路的 PCB 设计需要采用短截线。如果天线输入阻抗不是 50 欧姆，建议额外增加一组射频匹配用于天线调谐。

如果使用或生产环境中对静电敏感，建议在靠近天线侧预留 ESD 保护器件。