

گزارش پروژه درس مدارهای منطقی پیشرفته

تولید کد وری لاگ با استفاده از RTL و ASM

مدرس: دکتر اجلالی ۱۳۹۷/۰۴/۰۶

علی احمدی تشنیزی ۹۵۱۰۳۷۲۹ اشکان سلیمانی ۹۵۱۰۵۶۳۵

طرز کار:

برنامه شامل ۲ فایل به زبان پایتون است که یکی از آن‌ها برای تبدیل کد ASM به وری لاگ و دیگری برای تبدیل کد RTL به وری لاگ است. برای استفاده از برنامه کافیست کدهای ASM و RTL مورد نظر را به صورت فایل تکست در پوشه کدهای پایتون قرار دهید و سپس کدها را اجرا کنید. ۲ فایل خروجی ASM_Verilog و RTL_Verilog از روی کدهای ورودی تولید خواهند شد.

فرمت ورودی:

۱. ASM

در خط اول، نام ماژول داده میشود. در خط بعدی ورودی‌های ماژول مشخص میشوند. در ۲ خط بعدی نیز ورودی‌ها و خروجی‌ها مشخص میشوند. در خط بعدی نیز کلیه رجیسترهای مورد استفاده (به غیر از ورودی‌ها و خروجی‌ها) نوشته میشوند. برای جداسازی اسامی از ؛ استفاده میشود. برای نمونه، چند خط اول یک ASM میتواند به شکل زیر باشد:

```
module;ASM_Verilog
inputs;[31:0]in1,[31:0]in2,S
outputs;V,[31:0]data_out
regs;out,[31:0]R1,[31:0]R2,[31:0]R3,[31:0]R4
```

خطوط بعدی به ترتیب به یکی از شکل‌های زیر اند، که به ترتیب مربوط به State Box، Condition Box و Decision Box اند:

- [دستورات موجود در استیت باکس];(SB)[شماره جعبه]
- [دستورات موجود در کاندیشن باکس];(CB)[شماره جعبه]
- [شماره جعبه بعدی];[شماره جعبه بعدی در صورت درست بودن شرط]?[شرط];(DB)[شماره جعبه]
[در صورت غلط بودن شرط]

یک مثال میتواند به شکل زیر باشد:

```
4(SB);out=5
5(DB);(R1[31:0]>R2[31:0])?6;7
6(CB);R1[31:0]<=R2[31:0],R2[31:0]<=R1[31:0],out=7
```

۲. RTL

۴ خط اول مشابه ASM است و در آن‌ها اسم ماژول، ورودی‌ها، خروجی‌ها و رجیسترهای مورد استفاده تعریف میشوند. در خط بعدی فلگ‌های مورد استفاده تعریف میشوند. برای مثال ۵ خط اول میتوانند به شکل زیر باشند:

```
module;RTL_Verilog
inputs;[31:0]in1,[31:0]in2,S
outputs;V,[31:0]data_out
regs;out,[31:0]R1,[31:0]R2,[31:0]R3
flags;F1=0,F2=0
```

در خطوط بعدی دستورات RTL نوشته میشوند. برای جداسازی شرط از دستورات، از ; استفاده میشود. یک مثال میتواند به شکل زیر باشد:

```
((!F1) && S);R1 <- in1,R2 <- in2,R3 <- 0,V <- 0,F1 <- 1,F2 <- 0
((!F2) && F1 && (R1 > R2));R1 <- R2,R2 <- R1
(!F2);F2 <- 1
(F2 && F1 && (R1 > 0));R3 <- R2 + R3,R1 <- R1-1
(R1 == 0); F1 <- 0, data_out <- R3, V <- 1
```

۲ تست بنچ نیز برای نمونه کدهای تولید شده نوشته شده که شکل موج‌های خروجی آن‌ها به شکل فایل تصویری پیوست شده است. اولی مربوط به ASM ضرب دو عدد و دومی مربوط به کد RTL ضرب دو عدد است.