



تحويل در روز دوشنبه مورخ ۱۳۹۸/۰۱/۲۶ ساعت ۲۳:۵۵ از طریق سایت درس

### نکاتی در رابطه با نوع تمرین

هر سری از تمرین‌ها، از چهار بخش تشکیل شده است:

- مرور و تثبیت مفاهیم: پرسش‌های این بخش جهت مرور و یادآوری مفاهیم درسی آورده شده است و با مطالعه مفاهیم درسی گفته‌شده در کلاس درس و اسلایدهای درس خواهید توانست به آن‌ها پاسخ دهید. پاسخ آن‌ها مورد ارزیابی قرار نخواهد گرفت، لذا نیازی به ارسال پاسخ آن‌ها نیست.
- تحلیل و طراحی مدار: پرسش‌های این بخش جهت درک عمیق مفاهیم درسی و افزایش قدرت تحلیل و طراحی سیستم‌های دیجیتال آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- توصیف و پیاده‌سازی: پرسش‌های این بخش جهت افزایش مهارت شما در پیاده‌سازی مدارهای دیجیتال، بررسی درستی عملکرد آن و استفاده از ابزارهای طراحی آورده شده است. پاسخ به آن‌ها الزامی بوده و مورد ارزیابی قرار خواهد گرفت.
- طراحی و پیاده‌سازی سامانه پیشرفته: پرسش‌های این بخش ممکن است کمی پیچیده‌تر و دشوارتر از سایر بخش‌ها باشد. الزامی یا اختیاری بودن آن‌ها در صورت پرسش ذکر شده است.

### نکاتی در رابطه با نحوه ارسال تمرین

ارسال تمرینات به صورت الکترونیکی و از طریق سایت دروس خواهد بود. فایل ارسالی شما فایل zip با نام [studentID].HW#.zip است که studentID شماره دانشجویی و HW# شماره سری تمرین است. یک قالب آماده در سامانه دروس قرار داده شده است تا پاسخ تمرین را در قالب تعیین‌شده بنویسید. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را مانند فایل نمونه در یک فایل PDF بنویسید و برای پرسش‌هایی که ماهیت کد نویسی دارند یک پوشه با نام آن ایجاد کرده و در داخل آن کدها و سایر فایل‌ها را قرار دهید.

زمان تحويل هر سری از تمرینات مشخص بوده و پاسخ تمرین پس از موعد مقرر شده در سایت درس قرار داده خواهد شد لذا امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید به صورت دوتایی یا چندتایی با هم همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت جواب و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع DA.2019 رفع نمایید.

[ali.mohammadpour@aut.ac.ir](mailto:ali.mohammadpour@aut.ac.ir)

محمدپور

موفق و پیروز باشید!

تحويل در روز دوشنبه مورخ ۱۳۹۸/۰۱/۲۶ ساعت ۲۳:۵۵ از طریق سایت درس

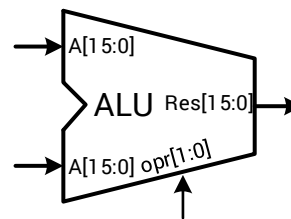
پرسش‌های مرور و تثبیت مفاهیم

(نیازی به ارسال پاسخ این بخش نیست.)

الف) با استفاده از دستور Case-When و عملگرها در Process، یک واحد محاسبه و منطق<sup>۱</sup> با مشخصات جدول ۱-۳ توصیف نمایید.

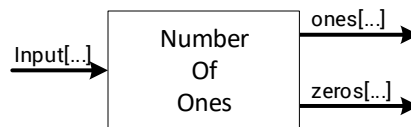
جدول ۱-۳ واحد محاسبه و منطق

opc	Result
0	A + B
1	A - B
2	A << B
3	A ^ B



جدول ۱-۳ واحد محاسبه و منطق

ب) با استفاده از Procedure، روالی طراحی نمایید که برداری با طول نامشخص را به‌عنوان ورودی گرفته و تعداد بیت‌های ۱ و ۰ در آن را به‌عنوان خروجی برگرداند.



شکل ۱-۳ شمارنده‌ی تعداد صفر و یک

پ) با استفاده از Function، تابعی طراحی نمایید که چهار ورودی از نوع integer را به‌عنوان ورودی بگیرد و واریانس آن‌ها را به‌صورت integer برگرداند.

$$\delta^2 = \frac{\sum (x - \mu)^2}{N}$$

ت) تابع قسمت پ را برای نوع داده‌ی real گرانبار<sup>۲</sup> کنید.

ث) در جریان طراحی سیستم‌های دیجیتال، جهت انتخاب درست تراشه منطقی برنامه‌پذیر به چه عواملی باید توجه داشت؟

ج) در جریان طراحی سیستم‌های دیجیتال، انتساب پایه‌های تراشه قبل از چه مرحله‌ای باید تعیین شود؟ چرا؟ چه دلایلی باعث می‌شود تا انتساب پایه‌ها پس از انتساب اولیه تغییر کند؟

<sup>۱</sup> Arithmetic and Logic Unit

<sup>۲</sup> Overload

تحويل در روز دوشنبه مورخ ۱۳۹۸/۰۱/۲۶ ساعت ۲۳:۵۵ از طریق سایت درس

پرسش‌های تحلیل و طراحی مدار، توصیف و پیاده‌سازی

(ارسال پاسخ این بخش الزامی است.)

(۱) با استفاده از دستور Process مداری طراحی نمایید که جریان لحظه‌ای دیود با مشخصات زیر را محاسبه کند. (همه‌ی متغیرها را از نوع real در نظر بگیرید.  $I_s$  و  $v_D$  را به‌عنوان ورودی، متغیر  $I_d$  را به‌عنوان خروجی و سایر متغیرها را به‌عنوان Generic در نظر بگیرید.

$$i_d = \begin{cases} I_s \left( e^{\frac{v_D}{\eta V_T}} - 1 \right) + v_D \cdot G_{min} & ; -5V_T \leq v_D \\ -I_s + v_D \cdot G_{min} & ; -BV < v_D < -5V_T \\ -I_{BV} & ; v_D = -BV \\ I_s \left( e^{\frac{BV+v_D}{\eta V_T}} + \frac{BV}{V_T} - 1 \right) + v_D \cdot G_{min} & ; v_D \leq BV \end{cases}$$

رابطه‌ی ۱-۳ معادله مشخصه‌ی I-V برای دیود شاکلی

(۲) در سامانه‌ی درس یک فایل فشرده با نام Complex-System.zip قرار داده شده است که یک سیستم پیچیده در آن توصیف شده است.

الف) ابتدا در محیط Vivado یک پروژه ایجاد کنید. سپس فایل‌های توصیف‌شده را به آن اضافه کرده و طرح را سنتز نمایید. با توجه به گزارش‌های پس از سنتز، جدول ۲-۳ را کامل کنید.

جدول ۲-۳ تعداد منابع مورد نیاز طرح

تعداد منبع تخمین زده شده	نوع منبع
	Lookup Table
	Flip-Flop
	BRAM
	DSP
	IO
	BUFF-Gates

ب) با فرض این که ممکن است در آینده برای بهبود طرح ۳۰ درصد فضای LUT، ۴۰ درصد FF، چهار برابر حافظه BRAM و ۴۰ برابر DSP نیاز باشد، با مراجعه به فایل DS180 که مربوط به تعداد منابع تراشه‌ی خانواده‌های مختلف است و یا Product Device در محیط Vivado، مناسب‌ترین تراشه را انتخاب کنید. اولویت انتخاب خانواده به‌ترتیب Spartan، Artix، Kintex و Virtex است.

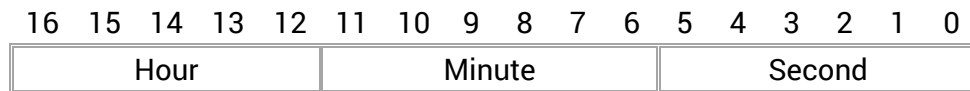
در صورت عدم وجود تراشه‌ی مناسب در این خانواده‌ها به خانواده‌ی Ultra-Scale مراجعه کنید.

ج) تراشه‌ی مناسب را انتخاب کرده و طرح را دوباره سنتز کنید. میزان بکارگیری<sup>۱</sup> هر نوع منبع را در به‌دست آورید.

<sup>۱</sup> Utilization

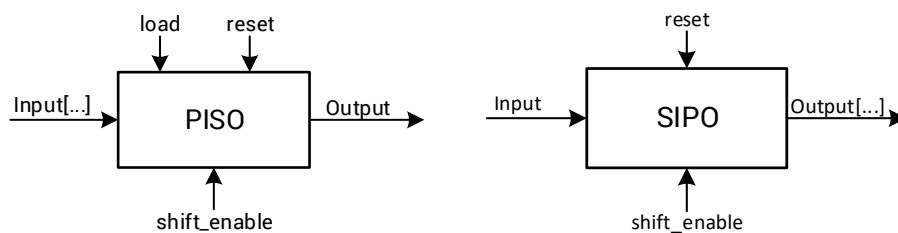
تحويل در روز دوشنبه مورخ ۱۳۹۸/۰۱/۲۶ ساعت ۲۳:۵۵ از طریق سایت درس

(۳) نوع داده‌ی زیر را در نظر بگیرید. این نوع داده برای مدل‌سازی زمان مورد استفاده قرار می‌گیرد. عملگر + را برای این نوع داده، گرانبار کنید. به عنوان مثال اگر زمان ۱:۲۳:۴۵ و ۵:۴۳:۲۱ باهم جمع شوند حاصل ۰۷:۰۷:۰۶ خواهد بود.



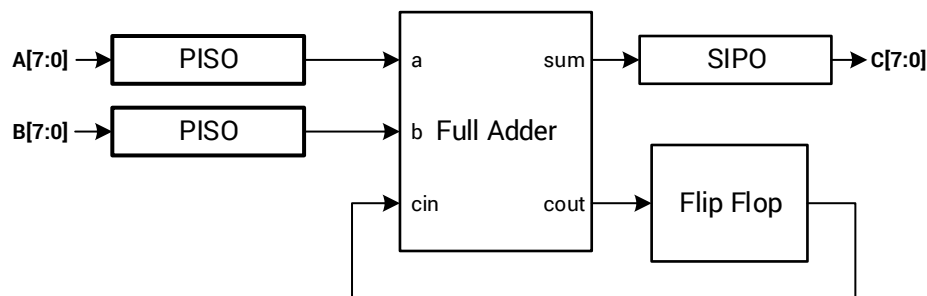
شکل ۲-۳ نوع داده‌ی زمان

(۴) با توجه به شکل ۳-۳، مدارهای شیفت رجیستر زیر را توصیف نمایید.  
(الف) یک شیفت رجیستر n بیتی PISO<sup>۱</sup> با Reset همگام مانند شکل زیر طراحی نمایید. ورودی به صورت موازی و خروجی سریال است.  
(ب) یک شیفت رجیستر n بیتی SIPO<sup>۲</sup> با Reset همگام مانند شکل زیر طراحی نمایید. ورودی به صورت سریال و خروجی موازی است.



شکل ۳-۳ شیفت رجیسترهای PISO و SIPO

(۵) شکل ۴-۳ مربوط به مدار جمع‌کننده‌ی سریالی است. با استفاده از مدارهای طراحی شده در پرسش‌های قبل آن را پیاده‌سازی نمایید.



شکل ۴-۳ جمع‌کننده‌ی سریالی ۸ بیتی  $C = A + B$

(۶) یک فایل محیط آزمون طراحی نمایید که جمع‌کننده‌ی فوق را شبیه‌سازی نماید. با استفاده از دستور assert report severity هنگامی که نتیجه آماده شد پیغام مناسبی چاپ کنید.

<sup>۱</sup> Parallel-Input-Serial-Output

<sup>۲</sup> Serial-Input-Parallel-Output