

۹۹۳۱۰۳۰

اشکان سکیبا

تصویر ۵ مدارهای منطقی

(۱)

$$F(A, B, C, D) = \sum m(2, 3, 4, 9, 10, 13, 15) + \sum d(0, 12, 14)$$

AB
CD

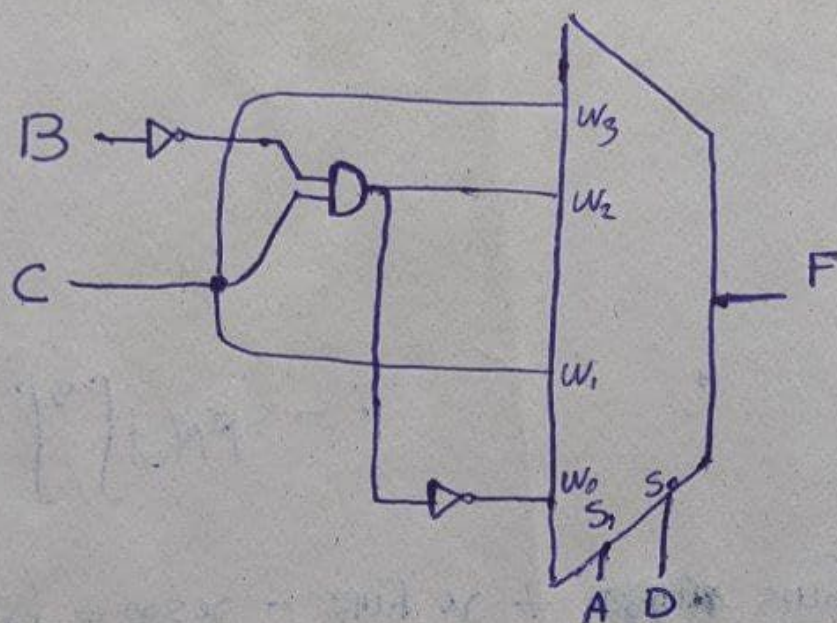
X	0	X	0
0	0	1	1
1	0	1	0
1	1	X	1

AC
BD

X	1	1	0
0	1	0	1
0	0	1	1
0	1	X	X

AD
BC

X	0	1	0
1	1	0	1
1	0	1	X
0	0	1	X



(۲)

module question_two(I, A, B, C, D, E);

output I;

input A, B, C, D, E;

wire F, G, N;

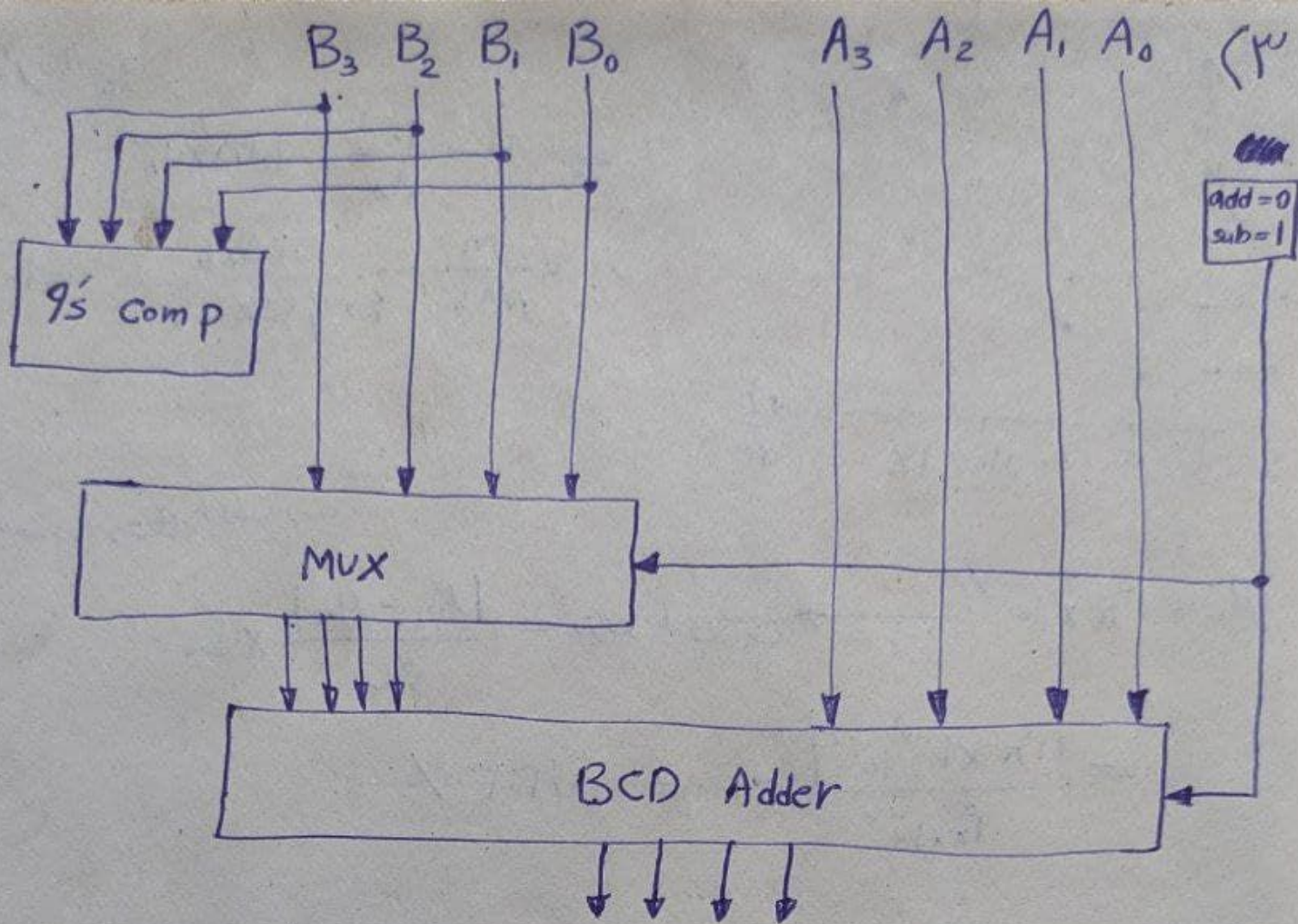
assign F = (~A) & B & C;

assign G = (~E) & D;

assign N = F & G;

assign I = ~N;

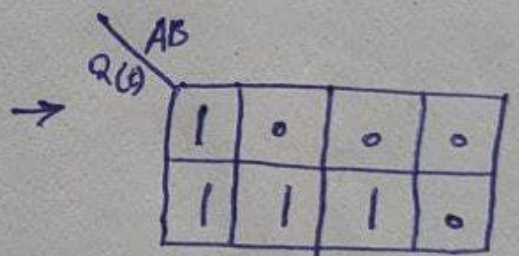
end module;



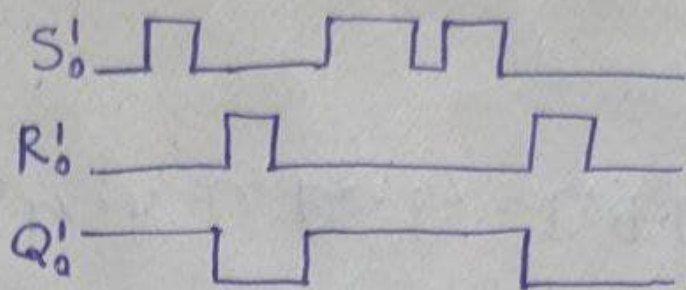
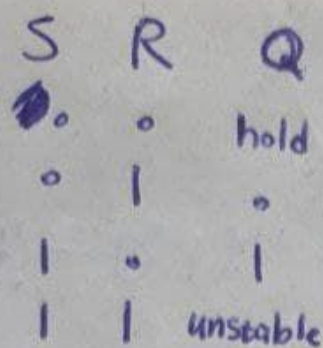
truth table :

یک مدار sr-latch داریم؟ بیا براین :

A	B	S	R	$Q(t)$	$Q(t^+)$
0	0	0	1	0	1
0	0	0	1	1	1
0	1	1	1	0	0
0	1	1	1	1	1
1	0	1	0	0	0
1	0	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	1



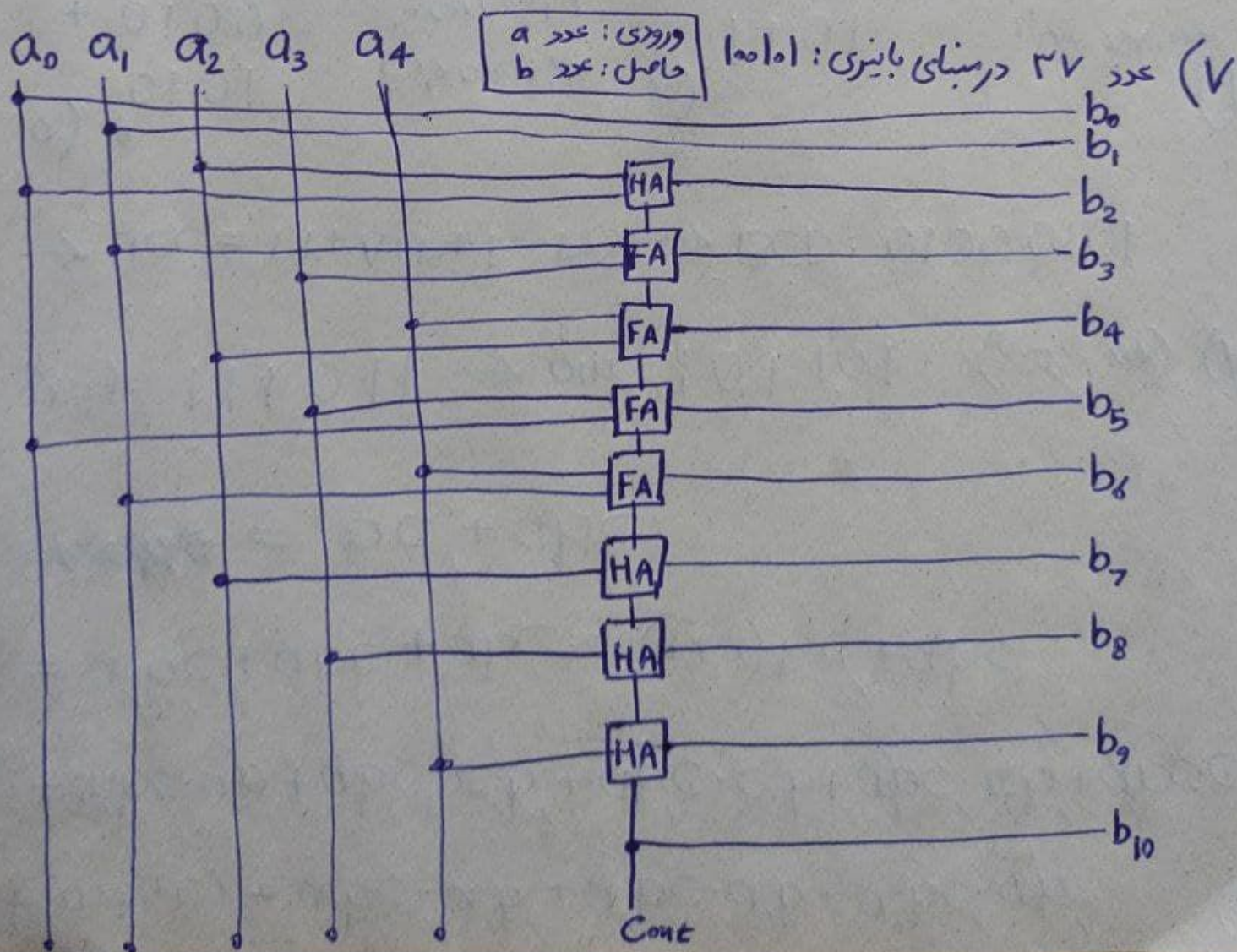
$$Q(t^+) = Q(t)B + A'B'$$



(5)

(6) اگر f_{in} صفر باشد، مکمل 2 A را نمایش می دهد.
 اگر f_{in} یک باشد، مکمل 1 A را نمایش می دهد.

در حالت صفر بودن f_{in} ، تاپیش از اولین یک خود عدد و بعد از آن مکمل را
 نمایش می دهد، زیرا $a \oplus 0 = a$ ؛ که این همان مکمل 2 است.
 در حالت یک بودن f_{in} ، ورودی ها یک می باشند، زیرا $a \oplus 1 = a'$ ؛ که همان
 مکمل است.



(1)

$A(t)$	$B(t)$	$Q(t)$	$Q(t^+)$	
0	0	0	1	} set
0	0	1	1	
0	1	0	1	} set
0	1	1	1	
1	0	0	0	} hold
1	0	1	1	
1	1	0	1	} set
1	1	1	1	