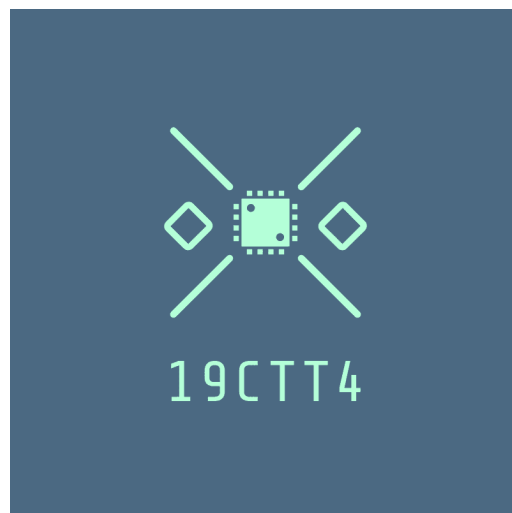


ĐẠI HỌC KHOA HỌC TỰ NHIÊN
ĐẠI HỌC QUỐC GIA TP. HCM

KHOA CÔNG NGHỆ THÔNG TIN
LỚP 19CTT4

Tài liệu ôn thi cuối kỳ môn
Hệ thống máy tính

PHẦN 4: MẠCH LOGIC
Ngày 05/07/2021



Mục lục

1	Khái niệm mạch số	2
1.1	Cổng luận lý(Logic gate)	2
1.2	Bảng chân trị	2
1.3	Một số đẳng thức cơ bản	4
2	Mạch tổ hợp	4
2.1	Khái niệm	4
2.2	Độ trễ mạch	4
2.3	Các bước thiết kế	5
2.4	Ví dụ thiết kế mạch	6
2.5	Một số mạch tổ hợp cơ bản: mạch cộng,...	7

1 Khái niệm mạch số

Là thiết bị điện tử hoạt động với **2 mức điện áp**:

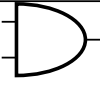
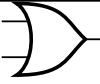
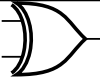

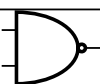
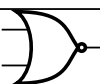
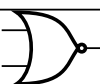
- **Cao**: thể hiện bằng giá trị luận lý (quy ước) là **1**.
- **Thấp**: thể hiện bằng giá trị luận lý (quy ước) là **0**.

Được xây dựng từ những thành phần cơ bản là **cổng luận lý (logic gate)**

- Cổng luận lý là thiết bị điện tử gồm 1/ nhiều tín hiệu đầu vào (input) - 1 tín hiệu đầu ra output.
- $output = F(input_1, input_2, ..., input_n)$.
- Tùy thuộc vào cách xử lý của hàm F sẽ tạo ra nhiều loại cổng luận lý.

Hiện nay linh kiện cơ bản tạo ra mạch số là **transistor**.

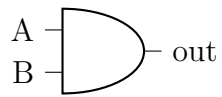
1.1 Cổng luận lý (Logic gate)

Tên cổng	Hình vẽ đại diện	Hàm đại số Bun
AND		$\backslash x.y$ hay $\backslash xy$
OR		$x + Y$
XOR		$\backslash oplus$
NOT		
NAND		
NOR		
NXOR		

1.2 Bảng chân trị

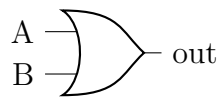
Example: This is a box

- **AND**



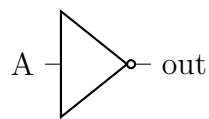
A	B	out
0	0	0
0	1	0
1	0	0
1	1	1

- **OR**



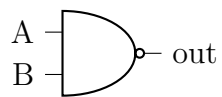
A	B	out
0	0	0
0	1	1
1	0	1
1	1	1

- **NOT**



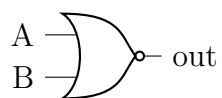
A	out
0	1
1	0

- **NAND**



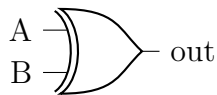
A	B	out
0	0	1
0	1	1
1	0	1
1	1	0

- **NOR**



A	B	out
0	0	1
0	1	0
1	0	0
1	1	0

- XOR**



A	B	out
0	0	0
0	1	1
1	0	1
1	1	0

1.3 Một số đẳng thức cơ bản

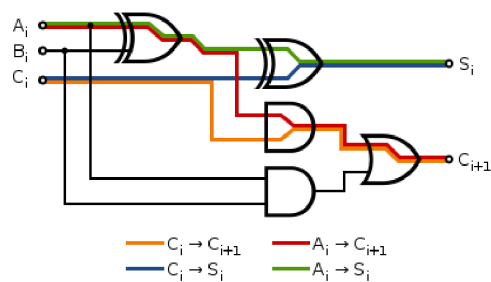
2 Mạch tổ hợp

2.1 Khái niệm

- Gồm n ngõ vào (input); m ngõ ra (output)
 - Mỗi ngõ ra là 1 hàm luận lý của các ngõ vào
- Mạch tổ hợp không mang tính ghi nhớ: Ngõ ra chỉ phụ thuộc vào Ngõ vào hiện tại, không xét những giá trị trong quá khứ

2.2 Độ trễ mạch

- Độ trễ mạch (**Propagation delay/ gate delay**) = Thời gian điểm tín hiệu ra ổn định – thời điểm tín hiệu vào ổn định.
- Mục tiêu thiết kế mạch: làm giảm thời gian độ trễ mạch.



2.3 Các bước thiết kế

Thường trải qua 3 bước:

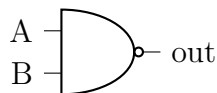
- **Bước 1:** Lập bảng chân trị:

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

- **Bước 2:** Viết hàm luận lý

$$F = \overline{AB}$$

- **Bước 3:** Vẽ sơ đồ mạch và thử nghiệm



2.3.1 SOP - Sum of Products

Giả sử đã có bảng chân trị cho mạch n đầu vào x_1, \dots, x_n và 1 đầu ra f .

- Ta dễ dàng lập công thức (hàm) logic theo thuật toán sau:
 - Ứng với mỗi hàng của bảng chân trị có đầu ra = 1, ta tạo thành 1 tích có dạng $u_1.u_2...u_n$ với:

$$f(x) = \begin{cases} x_i, & \text{nếu } x_i = 1 \\ \overline{x_i}, & \text{nếu } x_i = 0 \end{cases}$$

- Cộng các tích tìm được lại thành tổng -> Công thức của f

Ví dụ:

STT	x_1	x_2	x_3	f
0	0	0	0	0
1	0	0	1	1 $\rightarrow \overline{x_1}.\overline{x_2}.x_3$
2	0	1	0	1 $\rightarrow \overline{x_1}.x_2.\overline{x_3}$
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1 $\rightarrow x_1.\overline{x_2}.x_3$
6	1	1	0	0
7	1	1	1	0

$$f = \overline{x_1}.\overline{x_2}.x_3 + \overline{x_1}.x_2.\overline{x_3} + x_1.\overline{x_2}.x_3$$

2.3.2 POS - Product of Sum

2.3.3 Đơn giản hóa hàm logic

2.3.3.1 Đại số Bun

2.3.3.2 Bản đồ Karnaugh

2.4 Ví dụ thiết kế mạch

Ví dụ 1: Thiết kế mạch cộng 2 bits không nhớ

- **Bước 1:** Lập bảng chân trị

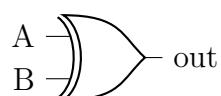
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

- **Bước 2:** Lập biểu thức

$$F = \overline{A}.B + A.\overline{B}$$

$$= A \oplus B$$

- **Bước 3:** Vẽ mạch



Ví dụ 2: Thiết kế mạch kiểm tra số nguyên không dấu 3 bits có chia hết cho 3

- **Bước 1:** Lập bảng chân trị

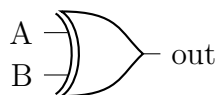
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

- **Bước 2:** Lập biểu thức

$$F = \overline{A}.B + A.\overline{B}$$

$$= A \oplus B$$

- **Bước 3:** Vẽ mạch



2.5 Một số mạch tổ hợp cơ bản: mạch cộng,...