**8주차 결과보고서**

**전공: 생명과학과 학년: 4학년 학번: 20182186 이름: 김승원**

**1. 실험목적**

7-segment display의 개념에 대해 이해하고, Verilog를 사용해서 직접 7-segment display를 구현해본다. 입력 신호를 생성해준 뒤 simulation을 통해 구현한 각 gate들의 동작을 확인하고, 마지막으로 FPGA를 사용해 Verilog로 구현한 회로의 동작을 확인해본다.

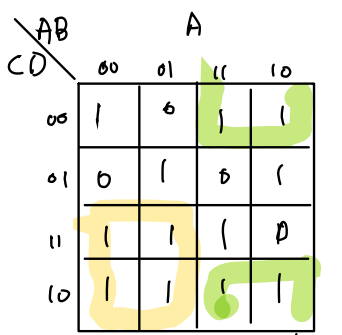
**2. 7-segment display결과, simulation 과정 설명(Truth table, k-map, 0~F, DP)**

**<Table 1. 7-segment display Truth table>**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | D | outA | outB | outC | outD | outE | outF | outG | outDP |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

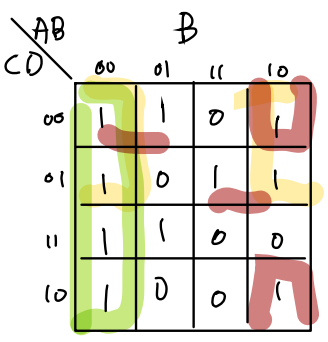
Input으로 A, B, C, D를 사용했고, output으로 outA, outB, outC, outD, outE, outF, outG, outDP를 사용했다. Input의 4bit를 통해서 output을 0~15까지의 16진수 값으로 표현하고자 했다. 따라서 Output으로 7-segment의 표시될 부분을 outA~outDP까지 사용했다. Dp는 dot point로 항상 출력되도록 값 1을 할당했다.

**<Results – K-map>**



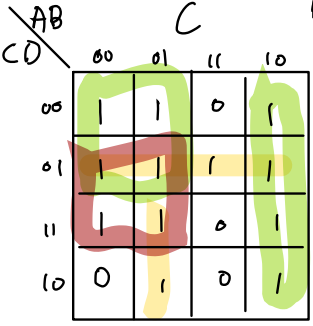
**<fig 1. outA에 대한 카르노 맵>**

Out A에 대한 카르노 맵이다. SOP 식으로 나타내면 outA= A’C + AD’ + A’B’C’D’ + A’BC’D + ABCD + AB’C’D이다.



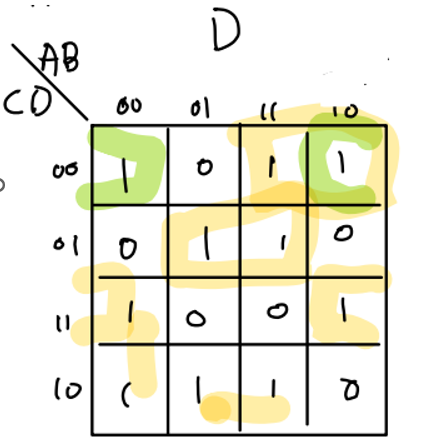
**<fig 2. outB에 대한 카르노 맵>**

OutB에 대한 카르노 맵이다. SOP식으로 나타내면 outB= A’B’ + A’C’D’ + B’C’ + AB’D’ + AC’D +A’CD이다.



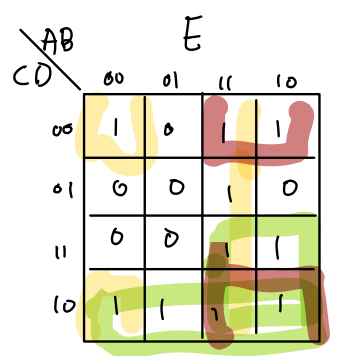
**<fig 3. outC에 대한 카르노 맵>**

outC에 대한 카르노맵이다. SOP식으로 나타내면 outC = A’C’ + AB’ + C’D + A’D + A’BC이다.



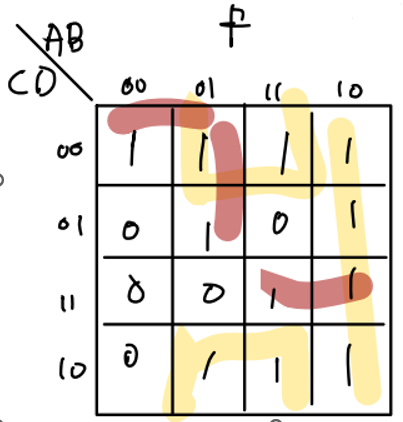
**<fig 4. outD에 대한 카르노 맵>**

outD에 대한 카르노 맵이다. SOP식으로 나타내면 outD = B’C’D’ + AC’D’ + BC’D + B’CD + A’B’C + BCA’이다.



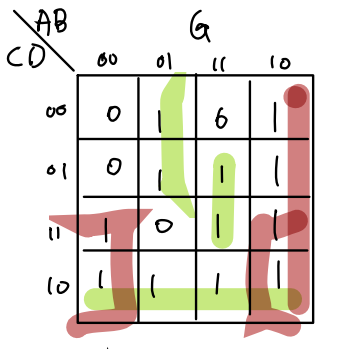
**<fig 5. outE에 대한 카르노 맵>**

outE에 대한 카르노 맵이다. SOP식으로 나타내면 outE = AC + CD’ + AD’ + AB + A’B’D’이다.



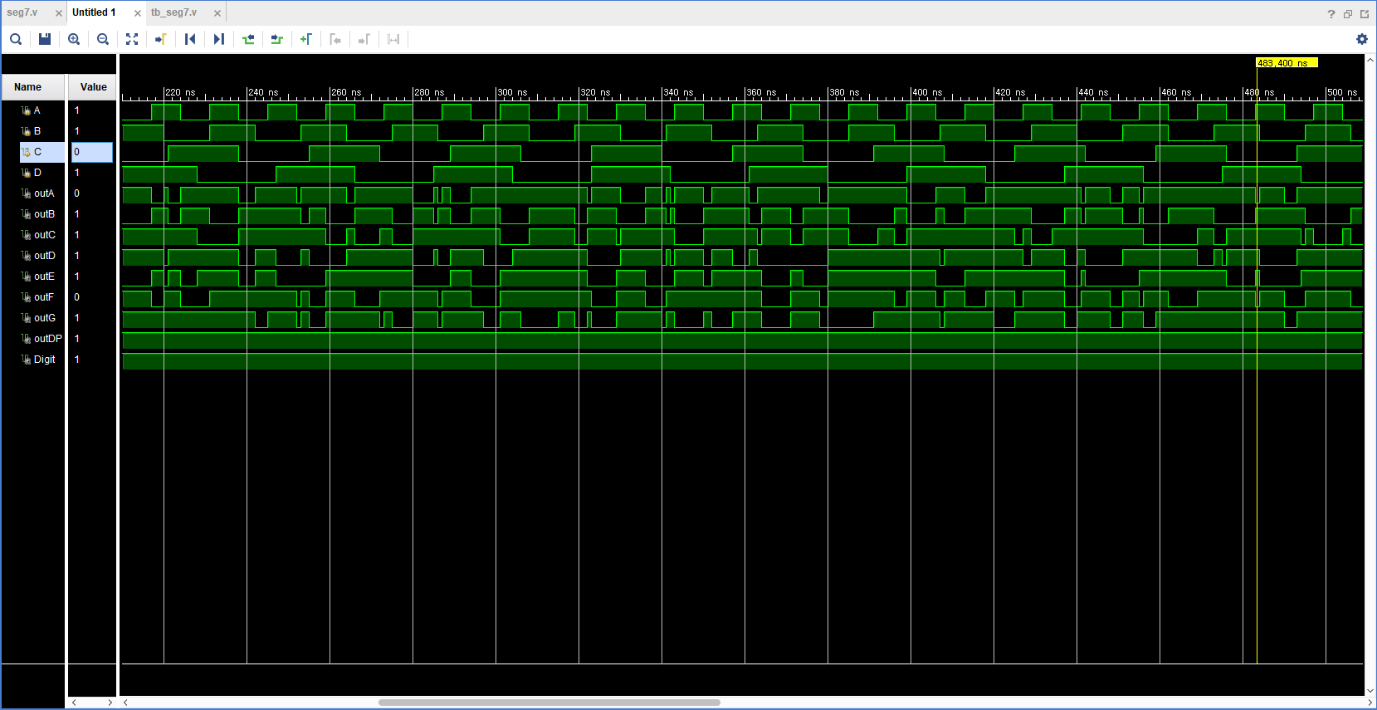
**<fig 6. outF에 대한 카르노 맵>**

outF에 대한 카르노 맵이다. SOP식으로 나타내면 outF = BD’ + AB’ + A’C’D’ + A’BC’ + ACD이다.



**<fig 7. outG에 대한 카르노 맵>**

outG에 대한 카르노 맵이다. SOP식으로 나타내면 outG = AB’ + B’C + CD’ + A’BC’ + ABD이다.



**<fig 8. 7-segment Simulation 결과>**

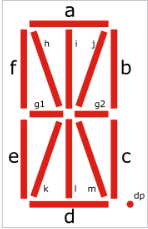
Truth table을 통해 각각의 output에 대한 SOP식을 얻기 위해 카르노 맵을 사용했고, 그에 해당하는 SOP식을 얻어 Verilog로 7-segment를 구현했다. 입력신호를 생성해준 다음 simulation을 통해 구현한 결과를 통해 동작을 확인했다. 이후 FPGA를 통해 Verilog로 구현된 회로의 동작을 확인한 결과 0~15까지의 16진수 숫자들을 보드에 잘 나타나는 것을 확인했다.

3. 결과 검토 및 논의사항

Truth table을 통해 K-map을 그려 그에 해당하는 SOP식을 얻어 Verilog를 이용해 7-segment를 구현했다. 입력신호를 생성해주고 simulation을 통해 구현한 결과로 동작을 확인했다. FPGA를 통해서 확인한 결과 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, b, C, d, E, F에 dot point까지 모두 잘 결과가 나타났다. DP의 경우에는 source file에 값을 1로 할당해주어서 항상 점등되도록 했다. 이는 이후에 한 digit 뿐만 아니라 소수점으로 활용하기위해 사용할 수 있을 것으로 생각된다.

4. 추가 이론 조사 및 작성

7-segment display의 확장으로 14-segment display는 문자 및 숫자를 생성하기 위해서 점등할 수 있는 14개의 segment를 기반으로 한다.



**<fig 9. 14-segment display>**

숫자와 특정 문자의 경우 7-segment display로도 가능하지만, 그보다 좀 더 많은 문자와 기호를 표시하고자 할 때 사용할 수 있다. 14-segment display 뿐 만 아니라 16-segment display도 있다.

이러한 display들은 몇몇의 임베디드 시스템에서 영문자와 숫자를 생성할 때 사용했고, 현재는 전화 발신자 ID나 체육관 안에서의 장비, 전자레인지, DVD 플레이어 같은 곳에 장착되어 활용되고 있다.