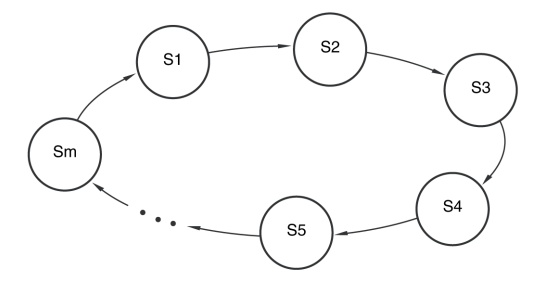
**12주차 예비보고서**

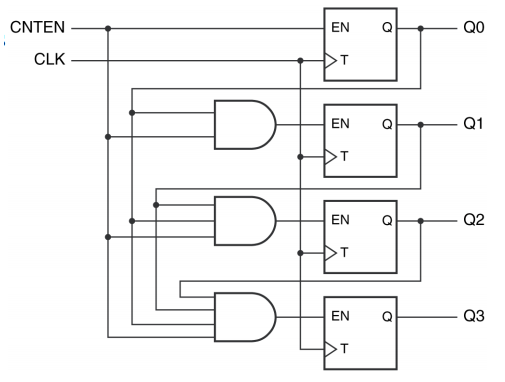
**전공: 생명과학과 학년: 4학년 학번: 20182186 이름: 김승원**

**1. Counter**

****

**<Figure 1. Counter의 state diagram 예시>**

Register는 flip flop 여러 개의 그룹이다. 각 flip flop은 clock을 서로 공유하면서 flip flop당 한 bit의 정보를 저장한다. Counter는 근본적으로 여러 2진 상태들이 미리 정해진 순서로 진행되는 register이다. 카운터를 특수한 형태의 register로 볼 수 있으나, 일반적으로는 구별하여 부른다. Counter는 2개 이상의 flip flop으로 구성되어 있다. 매 입력 pulse마다 정해진 순서대로 state가 변하는 sequence logic gate이다. 가령, 매 펄스마다 이진수 출력에 대응하는 십진수 값이 1씩 작아지거나 커지는 설계를 한 회로를 예로 들 수 있다. 1-2-3-…- 다시 1로 반복되는 sequential circuit이고, figure 1의 state diagram의 형태를 보면, 1개의 cycle로 구성되어 있는 것을 알 수 있다.

****

**<Figure 2. N-bit binary counter with T flip flop>**

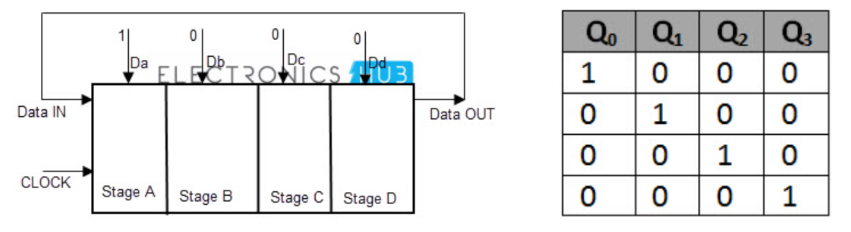
입력 pulse에 따라 정해진 순서로 state 변화가 진행되는 register를 counter라 하는데, 이때 입력 pulse로 clock pulse를 사용하기도 하지만, 다른 외부 source를 이용하기도 한다. 따라서 입력 pulse의 경우 시간 간격이 일정할 수도 있고 무작위로 발생하기도 한다. State 변화의 순서는 2진수 순서를 따르기도 하고, 임의의 다른 순서를 따르기도 하는데, 2진수의 순서를 따르는 counter를 2진 카운터라고 한다. N bit의 2진 counter는 n개의 flip flop으로 구성되어 있다. 이러한 counter는 2n-1까지 2진으로 세어준다.

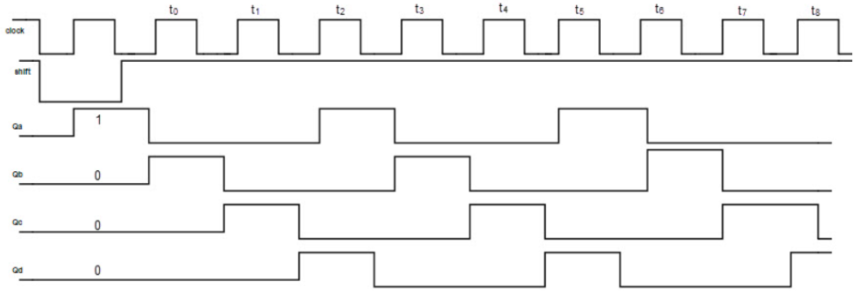
Counter는 동작의 순서를 컨트롤하기 위해 사용하기도 하고, 발생 횟수를 셀 때도 사용한다. 이러한 특징으로 타이밍 신호를 생성시키는데 적합하다. 용도로는 계수, 타이머, 주파수 계수기 등에 사용한다.

Counter는 여러가지 방식으로 구분한다. 먼저, Clock pulse의 인가 방식에 따라서 Asynchronous와 synchronous로 나눈다. Asynchronous는 clock pulse에 모든 Flip flop이 동기화 되지 않으며 동작한다. Synchronous는 clock pulse에 모든 flip flop들이 동시에 동기화된다. Asynchronous와 Synchronous는 3번에서 자세히 다룬다.

또한 다른 counter로는 Shift register counter가 있다. Register는 common clock input을 가지고 있는 2개 이상의 flip flop의 조합을 말한다. Register는 bit, byte와 같은 지정된 기억 용량을 가지고 있고, 특정한 목적에 쓰이는 memory device이다. 1개의 flip flop은 0 또는 1의 1bit의 기억 용량을 가지고 있고, 8개를 사용하면 8bit의 기억 용량을 가지고 있는 register를 만들 수 있다. Shift register는 전달을 목적으로 하는 register이다. 컴퓨터 간 통신에 사용할 수 있다.

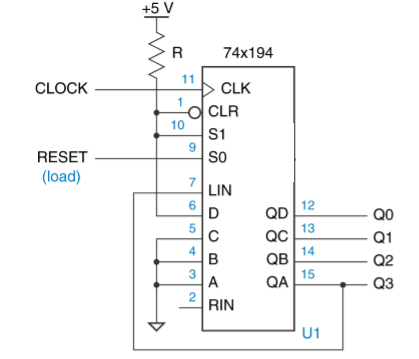
Shift register counter는 특정 sequence를 생성하기 위하여 출력이 입력에 다시 연결되는 shift register이다. Shift register counter는 두 가지 유형이 있다.



****

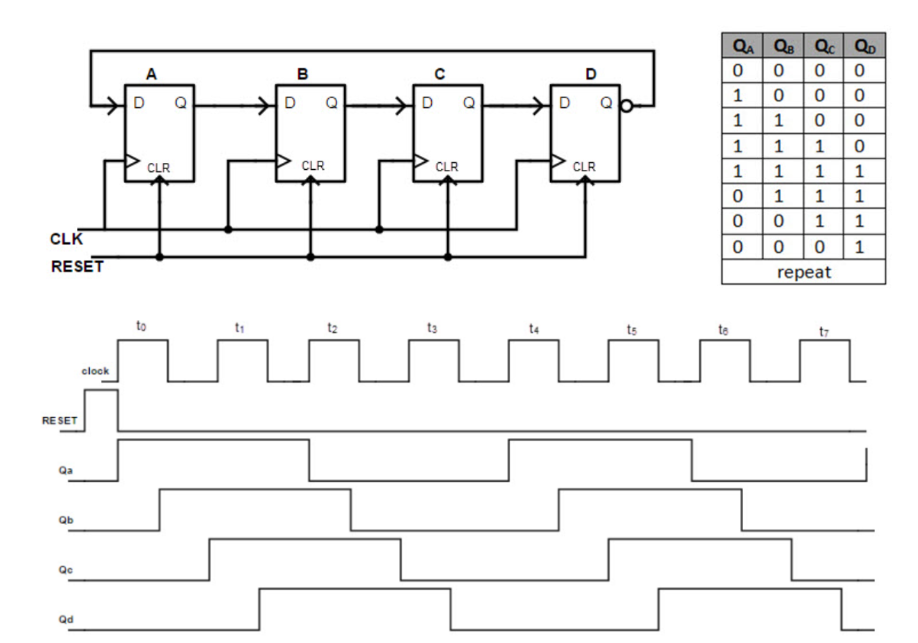
**<Figure 3. Ring counter의 회로도와 진리표 및 time diagram>**

먼저, Ring counter이다. Ring counter는 그 이름과 같이 첫번째 flip flop의 출력이 다음 flip flop의 입력에 연결된다. 그리고 마지막 flip flop은 출력이 첫번째 flip flop에 입력으로 연결되어 있는 shift register counter이다. Shift register 내의 data pattern은 clock pulse가 적용되는 한 계속해서 순환하는 구조를 가지고 있다.

****

**<Figure 4. 74194 ring counter>**

74194 ring counter는 2bit counter와는 다르게 특정 순서대로 움직이는 것이 아니라 bit의 위치가 순환하면서 이동하는 특징이 있다.

****

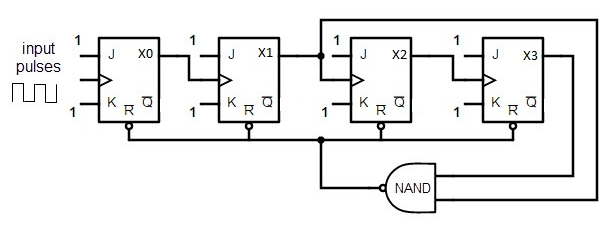
**<Figure 5. Johnson counter의 회로도와 진리표 및 time diagram>**

두번째 유형은 Johnson Counter이다. Johnson Counter는 첫번째 flip flop의 출력이 다음 flip flop의 입력으로 연결되고, 마지막 flip flop에서 반전된 출력이 첫번째 flip flop의 입력이 된다. 이러한 특징 때문에 Johnson Counter는 twisted ring counter라고 불리기도 한다. Johnson Counter의 장점은 2N개의 state sequence를 생성하기 위하여 N개의 flip flop만 사용하면 되는 장점이 있다.

그리고 또 다른 counter로는 Modulo-n counter와 BCD counter가 있다. Modulo-n counter는 N개의 state를 가지고 있는 counter이다. 최대 N개까지 계수가 가능하다. 예시로 2진 counter와 10진 counter가 있다. BCD counter는 pulse와 event를 계수하고, 그 결과를 decimal number로 나타내어 주는 counter이다.

**2. Decade counter(BCD counter)**

Decade counter(BCD counter)는 2진수가 아니라 10진수로 계산하는 counter이다. 기본적으로 4bit 이진 출력과 입력신호를 가지고 있는 전자회로이다. BCD counter를 구성하기 위해서는 4개의flip flop이 필요하다. 그리고 0에서 9까지의 count를 반복한다. 10개의 특정 조합으로 이루어진 state만을 사용하기에 decade counter(BCD counter)라고 한다. 즉, 4-bit binary counter는 16개의 output들 중에서 6개의 output은 skip하고, 10개의 output만을 출력한다. Decade counter의 특징은 Counter의 출력이 최고 카운트(9)보다 1이 높은 순간이 될 경우 모든 flip flop을 0으로 clear시킨다.

****

**<Figure 6. JK flip flop으로 구성한 decade counter>**

Figure 6은 J, K output은 1에 모두 연결되어 있고, 모든 flip flop의 clock input은 마지막 flip flop만 제외하면 다음 flip flop의 출력에 연결되어 있는 형태를 가지고 있다. 또한 위의 NAND gate로 결합된 두 출력은 모든 flip flop의 clear input에 연결되어 있는 것도 확인할 수 있다.

**<Table 1. decade counter의 truth table>**

**테이블이(가) 표시된 사진

자동 생성된 설명**

Table 1은 decade counter의 동작을 나타내는 truth table이다. Input pulse의 decade counter에 대한 회로의 count를 나타내어준다. Count가 만약 1010에 도달하면 NAND gate의 출력은 0이 된다. 또한 Count는 NAND gate x1과 x3의 input에 의해 디코딩된다. 그리고 count 10 이후에는 NAND가 출력을 1에서 0으로 trigger하고 모든 flip flop을 재설정시킨다. 즉, 0000, 0001, 0010, 0011, …, 1001을 반복하는 counter이고, 16가지 상태중 0~9까지의 10개 상태만을 나타낸다.

**클립아트이(가) 표시된 사진

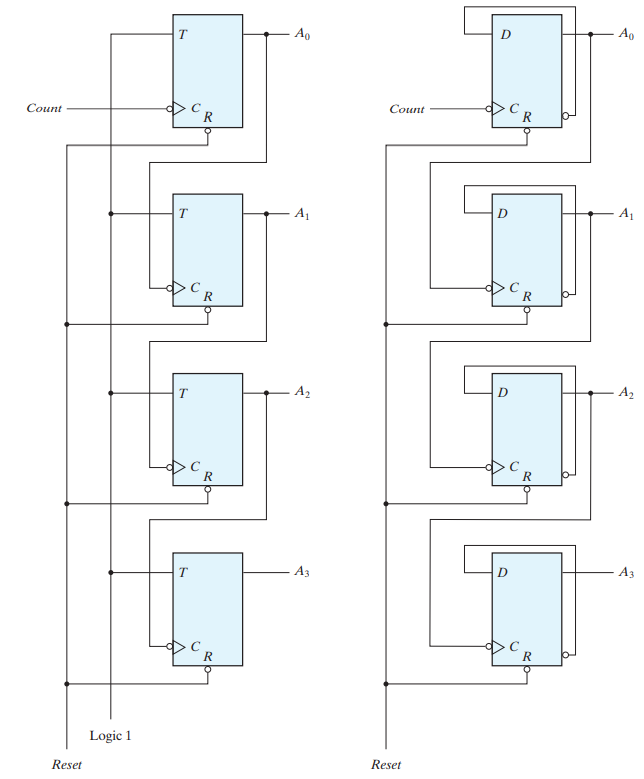
자동 생성된 설명**

**<Figure 7. Synchronous decade counter의 state diagram>**

**3. Asynchronous와 Synchronous counter**

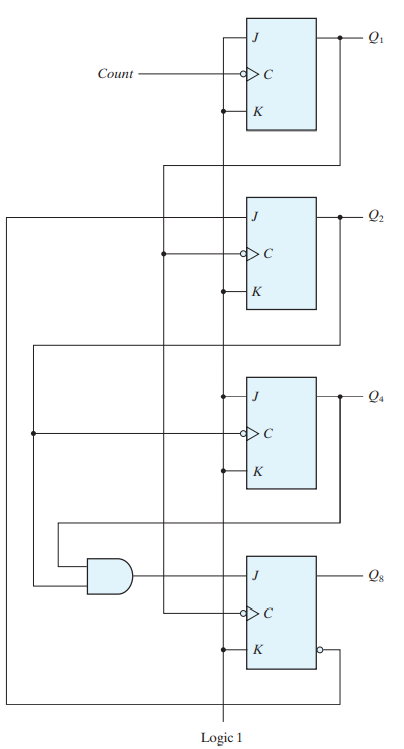
Counter에는 Asynchronous counter와 synchronous counter가 있다. Asynchronous는 ripple counter라고도 하고, 이전 flip flop의 출력의 변화가 다른 flip flop들을 trigger하는 소스 역할을 한다. 다시 말해서 모든 flip flop의 clock input은 공통된 clock pulse에 의하여 trigger되는 것이 아닌 다른 flip flop의 출력에서 발생하는 천이에 의하여 trigger되며 동작하는 방식이다. Synchronous counter는 모든 flip flop들의 clock 입력은 공통된 clock 신호를 수신하는 특징이 있다.

2진 ripple counter는 complementing flip-flops(JK flip flop, T flip flop)를 직렬로 연결하여 구성한다. 각 flip flop의 축력이 바로 다음 상위 flip flop의 입력을 연결하여 사용한다. D flip flop을 사용해서 구성도 가능하다.

****

**<Figure 8. Binary ripple counter(좌측 T flip flop 사용, 우측 D flip flop 사용)>**

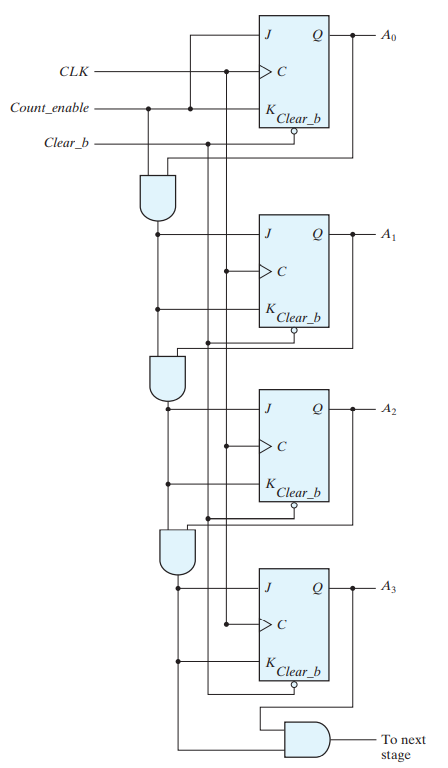
Fig 8의 좌측은 counter가 T flip flop으로 구성되어 있고, 우측은 D flip flop으로 구성되어 있다. 각 flip flop의 출력은 다음 단 flip flop의 입력으로 순차적으로 연결되어 있는 모습을 확인할 수 있다. 최하위 비트를 저장하는 flip flop이 입력 count pulse를 받게된다. 좌측 counter의 경우 모든 T flip flop의 입력의 T입력은 항상 logic 1에 연결되어 있는 것을 확인할 수 있는데, 이는 clock의 입력신호가 하향천이를 할 경우 각 flip flop을 보수로 만드는 역할을 한다. Clock 입력단의 dynamic indicator(동적지시자) 기호 앞에 있는 버블의 경우 flip flop이 입력의 하향 엣지에서 응답하는 것을 가리킨다. 하향 천이는 클럭이 연결되어 있는 이전 flip flop의 출력이 1->0으로 바뀔 때 발생하는 것이다.

****

**<Figure 9. BCD ripple counter의 논리도>**

BCD ripple counter는 1001 다음 상태가 0000이라는 것을 제외하면 binary counter와 상당히 유사하다. Fig 9는 JK flip flop을 사용한 BCD counter의 논리도이다. 4개의 출력은 Q로 표시하고, BCD code에서 해당 비트의 2진 가중치로 첨자를 1, 2, 4, 8로 붙여서 표현하였다. Q1의 출력은 Q2와 Q8 양쪽의 C input에 인가되는 형태이고, Q2의 출력의 경우 Q4의 C input에 인가되고 있다.

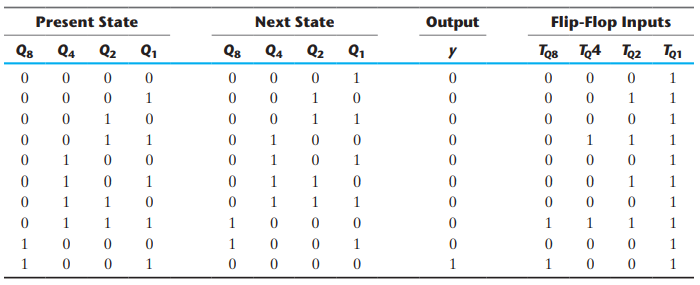
Synchronous counter는 clock pulser가 모든 flip flop의 입력으로 인가된다. 공동 clock은 동시에 모든 flip flop을 trigger하는 점에서 Asynchronous와 차이가 있다. 또한 Synchronous counter는 Asynchronous counter보다 지연시간이 적어 더 빠르다는 장점 또한 있다.

****

**<Figure 10. 4bit Synchronous binary counter>**

Synchronous의 binary counter의 설계는 보수화 flip flop과 gate를 이용하여 구성한다. Fig10에서 확인할 수 있듯이 모든 flipflop의 Clock input이 공통 clock에 연결되어 있는 것을 확인할 수 있고, count enable에 의해 counter의 활성화 유무가 결정되고 있다.

<table 2. State table of BCD counter>



BCD counter는 0000에서 1001로 카운트하고 다시 0000으로 돌아간다. 위는 BCD counter의 state table이고, T flip flop의 입력 조건은 현재와 다음 상태 조건으로부터 얻어진다. 그리고 표에서 확인할 수 있듯이 y는 counter의 현재 상태가 1001이면 1이 되는 형태다. 이러한 방식으로 y는 현재 10진수를 1001에서 0000으로 초기화 시키는 것과 동일한 pulse에서 다음 상위 10진수의 count를 enable하도록 한다. Flip flop의 입력식은 카르노 맵을 통해 간략화 할 수 있다. 10~15의 사용하지 않는 상태는 don’t care로 간주하면 된다.

TQ1 = 1

TQ2 = Q’8Q1

TQ4 = Q2Q1

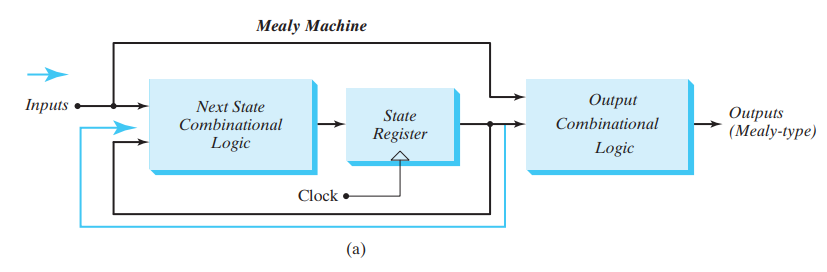
TQ8 = Q8Q1 + Q4Q2Q1

y = Q8Q1

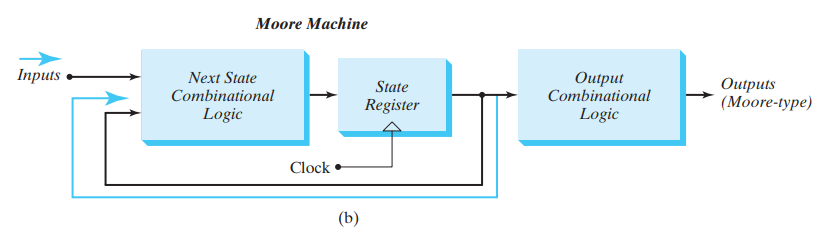
즉, 위의 회로는 4개의 T flip flop과 5개의 AND gate 및 1개의 OR gate를 통해 회로를 나타낼 수 있다.

**4. Finite-state machine**

Finite-state machine(FSM)은 computer program과 digital logic gate를 설계하는 데 있어서 유용하게 사용되고 있는 모델이다. FSM은 이름 그대로 유한한 개수의 상태를 가지고 있고, 어느 특정 시간에는 하나의 상태를 가지고 있는데, 이 때의 상태를 current state라고 한다. Finite-state machine은 어떠한 작용으로 인해서 특정 조건을 만족하게 되면 다른 상태로 변화하는데 이를 Transition이라고 부른다.   
 FSM을 이해하기 위하여 우리는 state diagram을 사용한다. State diagram은 FSM에서 각각 상태와 상태 천이를 나타내기 위해서 도식화하여 표현한 diagram을 말한다. 이러한 state diagram을 이용하여 우리는 logic gate에서 sequential gate의 counter와 같은 회로에서 각각의 상태를 구분하거나 입력에 따른 상태의 변화들을 도식화하여 그림으로 나타낼 수 있다. 즉, finite-state machine은 synchronous circuit gate를 기술하는 추상화 모델이라고 할 수 있다.



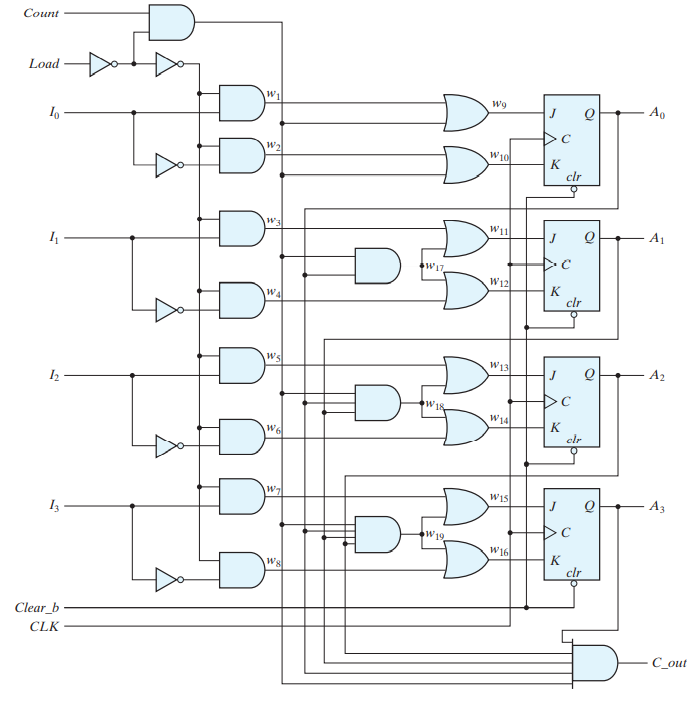
<Figure 11. Mealy Machine>



<Figure 12. Moore Machine>

그리고 순차 회로의 가장 일반적인 모델에는 입력과 출력 그리고 내부 상태가 있다. 순차 회로는 밀리 모델과 무어 모델로 구별하는 것이 일반적인데, 이들은 출력을 생성하는 방법에서 차이가 있다. 밀리 모델은 입력과 현재 상태 모두 출력에 영향을 주지만, 무어 모델은 현재상태만 출력에 영향을 준다. 이 두 가지 모델의 순차 회로를 finite-state machine이라고 부른다.

**5. 기타이론- up/down binary counter**

****

**<Figure 13. 4bit up/down binary counter>**

Synchronous down binary counter는 1111부터 0000으로 binary 상태를 역순으로 진행하다 0000이 되면 1111로 돌아가서 count를 반복하도록 한다. 최하위 비트의 경우 매 pulse마다 반전되고, 이외의 비트는 하위 비트들 모두 0이어야만 보수화되는 로직을 갖는다. Up binary counter는 반대의 로직을 가진다.

down binary counter는 fig 10에서와 같이 구성할 수 있지만, AND gate의 입력으로 앞 단에 위치한 flip flop의 출력을 그냥 받는 것이 아니라 보수 출력으로 가져와야 한다는 차이가 있다.

Figure 11은 T flip flop을 사용한 상향과 하향이 모두 가능한 counter이다. 이 회로는 up과 down 제어 입력을 가진다. Up의 입력이 1이면 T 입력이 flip flop의 이전 단에 있는 flip flop의 출력 값에서부터 신호를 수신하여 상향으로 count한다. 반면 down 입력이 1이고 up 입력이 0인 경우 이전 flip flop의 보수 출력이 T 입력에 인가되어 down으로 count된다. Up, down이 모두 0이면, 회로는 상태 변화가 생기지 않고 count값을 현재 상태로 유지한다. Up과 down이 만약 모두 1이되면, 회로는 up으로 count한다. Up입력이 down 입력보다 우선권이 있다는 특징이 있는 것이다.