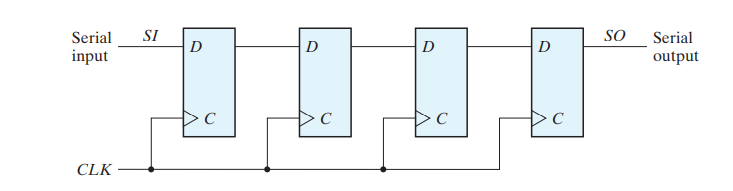
**13주차 예비보고서**

**전공: 생명과학과 학년: 4학년 학번: 20182186 이름: 김승원**

**1. Shift register**

Register는 flip flop을 여러 개로 구성한 그룹이고, 각 flip flop은 클럭을 서로 공유하고 flip flop당 한 비트의 정보를 저장한다. n개의 flip flop으로 구성된 n-비트 Register는 n-비트의 2진 정보를 저장한다.

각 셀에 저장된 2진 정보를 어떤 정해진 방향으로 이웃하는 셀로 shifting할 수 있는 register을 shift register이라고 한다. Shift register는 한 flip flop의 출력을 다음 flip flop의 input과 연결하여 flip flop을 직렬로 연결하여 logic을 구성하는 것이 가능하다. 모든 flip flop들은 공통 clock pulse를 수신하고, 이러한 clock pulse는 한 단계에서부터 다음 단계로 데이터의 shift를 활성화시켜준다.

****

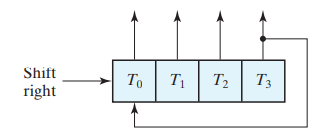
**<Figure 1. 4bit shift register>**

가장 간단한 shift register는 flip flop들만 사용하는 형태이다. Fig1과 같이 하나의 flipflop의 output은 그 오른쪽에 있는 flip flop의 입력에 연결되어 있다. 위의 shift register는 왼쪽에서 오른쪽으로 단방향으로 동작하고, 매 clock pulse마다 register의 내용을 오른쪽 방향으로 1bit씩 이동시킨다. 매 clock pulse마다 serial input은 shift동안 제일 왼쪽에 있는 flip flop으로 들어가며, Serial output은 맨 오른쪽 flip flop의 output으로부터 가져올 수 있다.

경우에 따라서 특정 pulse에서만 shift할 수 있도록 하는 logic도 필요한데, 이때는 데이터 전송을 gating하여, clock gating의 효과를 얻어 register의 shifting을 맞는 방식으로 클럭 신호의 동작을 억제하는 것이 가능하다. 이러한 방식은 clock 경로는 그대로 두면서, 각 register의 셀의 출력을 MUX(2 channel)의 input으로 넣고 MUX의 output을 다시 셀의 입력으로 연결하여 재순환 시키는 방식을 이용한다. 이때 clock의 동작을 제한시키지 않을 땐 MUX의 나머지 하나의 channel이 다음 셀로의 데이터 경로를 제공하는 방식을 사용한다.

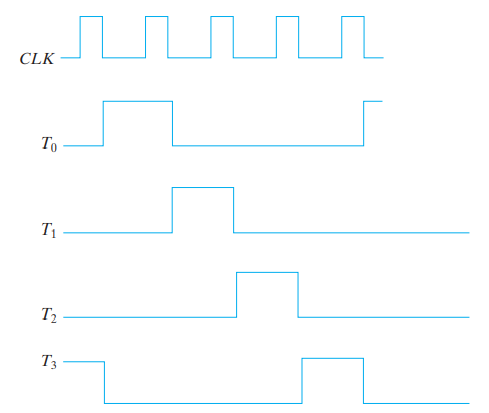
**2. Ring counter**

동작의 순서를 제어할 수 있는 타이밍 신호는 decoder를 가진 counter 또는 shift register를 사용하여 생성할 수 있다. Ring counter는 임의의 시간에 하나의 flip flop만 1이 되고, 나머지 모든 flip flop은 클리어가 되는 Circular shift register이다. 단일 bit가 하나의 flip flop에서 다음 flip flop으로 이동하며 일련의 타이밍 신호를 생성한다.



**<Figure 2. Ring counter>**

Fig 2는 8421 ring counter로 연결된 4-bit shift register이다. 이 레지스터의 초기값은 1000이고, preset과 clear flip flop이 필요하다. 이 단일 bit가 매 clock pulse마다 오른쪽으로 한 자리씩 shift되고, T3에서 다시 T0로 되돌아가면서 순환한다. 각 flip flop은 4개의 clock pulse마다 한 번씩 상태가 1이되는 것이다.



**<Figure 3. Sequence of 4 timing signals>**

Fig 3과 같이 4개의 timing signals 중에서 하나를 발생시킨다. 각각의 출력은 clock pulse의 falling edge가 온 다음 1이 되고, 다음 clock cycle 동안만 1로 유지된다.

**3. Up/Down counter**

텍스트, 시계이(가) 표시된 사진

자동 생성된 설명

텍스트, 전자기기이(가) 표시된 사진

자동 생성된 설명

**<Figure 4. 상향 카운터의 회로도와 timing diagram>**

상향 카운터는 최하위 자리에 있는 flip flop이 매 pulse마다 보수화가 된다. 다른 자리에 있는 flip flop들은 하위에 있는 모든 비트가 1이 될 때 보수화된다. 가령, 4비트 카운터의 현재상태가 ABCD=0011이라면, 다음 카운트는 0100이 된다. D자리는 항상 보수화가 되고, C는 하위 비트가 1이기 때문에 보수화된다. B는 하위 비트가 11이기 때문에 또 보수화되지만, A는 하위 비트가 011이라 보수화 되지 않는다. 따라서 위와 같은 timing diagram을 가지고, 회로도도 위와 같다.

텍스트, 시계이(가) 표시된 사진

자동 생성된 설명

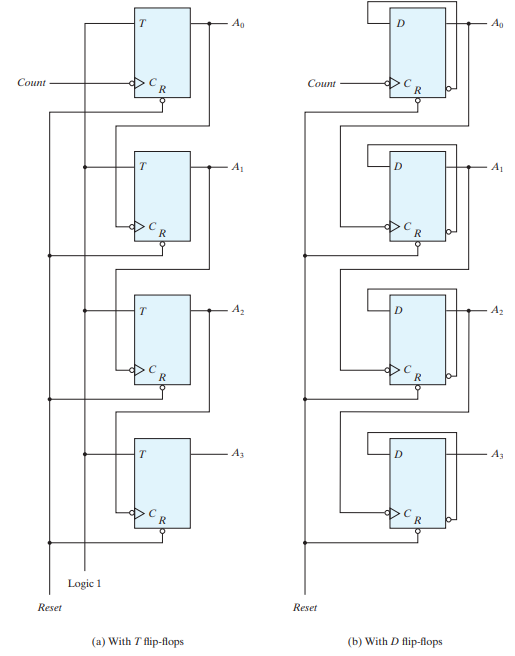
화살이(가) 표시된 사진

자동 생성된 설명

**<Figure 5. 하향 카운터의 회로도와 timing diagram>**

하향 카운터는 예시로 1111부터 0000까지 2진 상태를 역순으로 진행시키다가 0000이 되면 다시 1111로 가는 카운트를 반복하는 카운터다. 최하위 비트는 매 pulse마다 상향 카운터와 동일하게 반전이 된다. 하지만 이때 다른 점은 하위의 모든 비트들이 0이어야만 보수화된다는 점이다. 0100의 다음 상태는 0011이되는데 두번째 비트는 첫 번째 비트가 0이기 때문에 보수화되고, 세번째 또한 모두 0이기 때문에 보수화되지만, MSB에 있는 비트의 경우 모든 하위 비트가 0이 아니라 바뀌지 않는다. 따라서 위와 같은 timing diagram을 가지고, Fig 4와 5에서 회로도 차이는 Clock에 not의 유무이다.

**4. Ripple counter**

****

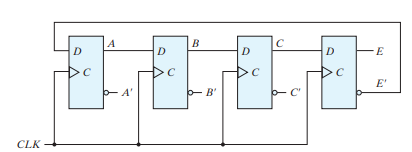
**<Figure 6. 4-bit binary ripple counter>**

Ripple counter는 complementing flip-flop들의 직렬연결로 구성되어 있다. 각 flip flop의 출력이 바로 다음 상위 flip flop의 input C에 연결된다. LSB를 저장하고 있는 flip flop은 input counter pulse를 인가 받고 있는 형태이다. Complementing flip flop은 JK 또는 T flip flop을 사용하여 설계한다. 또 다른 방법은 보수 출력을 D 입력에 연결한 D flip flop을 사용하는 방법 또한 있다. 이 같은 방식으로 D input은 매 clock pulse마다 현재 상태의 보수로 변한다.

위의 (a)의 경우 모든 flip flop에서의 T input은 항상 logic 1에 연결되어 있다. 이는 clock input signal이 하향 천이를 할 때 각 flip flop을 보수로 만드는 역할을 한다. Clock input단의 dynamic indicator 기호 앞에 있는 bubble은 flip flop이 입력의 하향 엣지에서 응답하는 것을 말한다. 즉, falling edge에서 변화가 일어나는 것이다. 하향 천이는 clock이 연결돼 있는 이전의 flip flop의 output이 1->0일 때 발생한다.

**5. 기타 이론**

**- Johnson counter**

****

**<Figure 7. 4-stages switch tail ring counter>**

Johnson counter는 2k개의 timing signal output을 만들기 위하여 2k개의 decoding gate를 가진 k-bit switch tail ring counter라고 할 수 있다. 위의 Fig7에는 decoding gate는 생략되어 있다.

**<Table 1. Count sequence and required decoding>**

테이블이(가) 표시된 사진

자동 생성된 설명

Johnson counter는 2k개의 timing signal output을 만들기 위하여 2k개의 decoding gate를 가진 k-bit switch tail ring counter라고 할 수 있다. 위의 Fig7에는 decoding gate는 생략되어 있다. 하지만 표의 마지막 열에 명시되어 있는 것을 활용하여, 8개의 AND gate를 회로에 연결한 다음 Johnson counter를 설계할 수 있다. 각 gate들은 하나의 특정 상태에만 출력이 1이 되므로, gate들의 output은 8개의 timing signal을 연속적으로 발생시키는 특징이 있다.