

Reti logiche- orale

Raccolta di esercizi (che proverò a risolvere -spero- in modo corretto) che possono capitare all'orale.

Esercizio 1

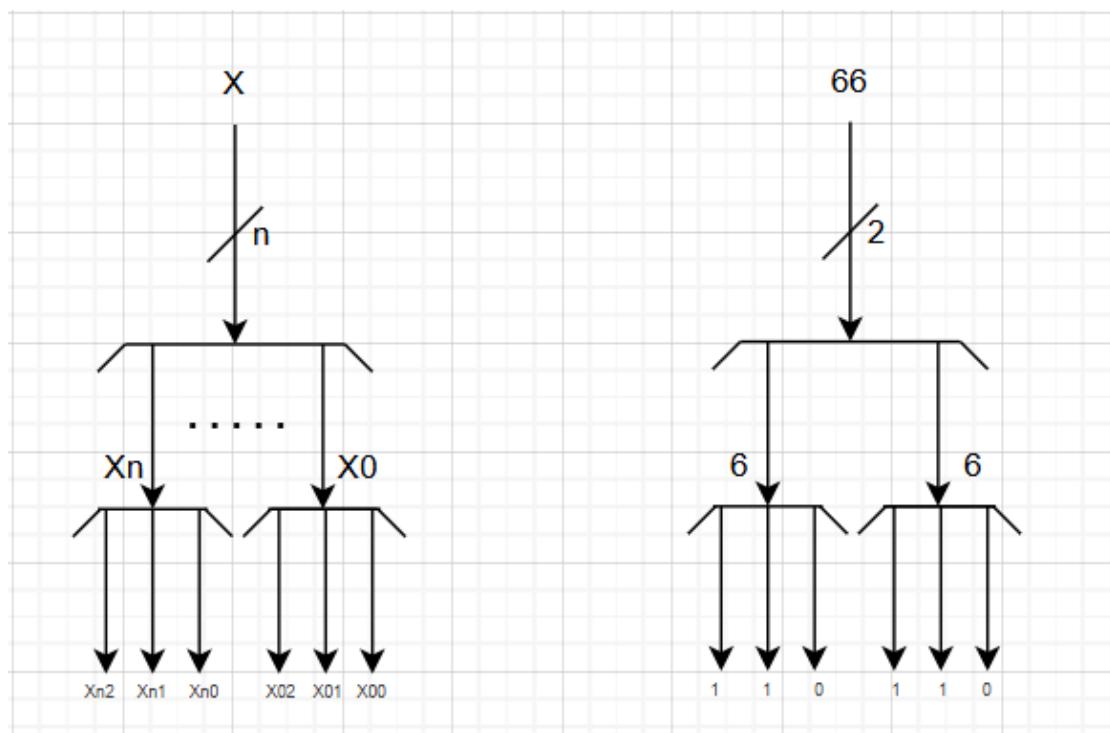
Dato un numero X ad n cifre in base 8, realizzare un circuito che lo converte in base 2.

Esemplificare con $n=2$, $X=(66)_{b8}$

Soluzione corretta (ero all'esame dove era presente questa domanda)

8 è una potenza di 2, in particolare $2^3=8$, per cui non abbiamo da fare alcuna operazione ma solo da far uscire 3 fili da ogni cifra in base 8.

Il disegno è quindi una cagata:



SE SI HA UNA BASE POTENZA DI 2 SI FA COSÌ, il div e mod qui non va bene

Esercizio 2

- a. Esprimere i seguenti numeri naturali in base β su n cifre: $\frac{\beta^n}{2} - 1$; $\frac{\beta^n}{2} + \frac{\beta^{n-1}}{2}$
- b. Calcolare la rappresentazione in complemento alla radice in base β su n cifre dei seguenti numeri interi ed esprimerla in cifre in base β : -1 ; $-\frac{\beta^n}{2}$

Soluzione punto a

Se lasciamo il primo numero così la cosa sembra un poco ostica:

riguardando gli appunti sull'aritmetica (in particolare gli esercizi svolti in fondo) si trova la seguente equivalenza (che anche matematicamente è ovvia): $\frac{\beta^n}{2} = \frac{\beta}{2} \cdot \beta^{n-1}$

Quindi il primo numero avrà (se non ci fosse il -1) alla $(n-1)$ cifra $b/2$ ed il resto 0 , se poi sottraggo 1 allora alla $n-1$ cifra c'è $b/2 - 1$ ed al resto $b-1$.

(si può fare prove numeriche per iniziare se non si ha idee teoriche)

Per tutto quello visto prima il secondo numero vien da sè: alla $n-1$ c'è $b/2$ e nella $n-2$ c'è $b/2$ il resto è 0 ;

i numeri si scrivono nel seguente modo: numero= $(X_{n-1}, \dots, X_0)_b$

Soluzione punto b

Per i numeri interi in base beta rappresentati in n cifre sono $[-\beta^{n/2}; \beta^{n/2}-1]$

quindi entrambi i numeri sono rappresentabili; $-1 \leftrightarrow (b-1, \dots, b-1)_b$

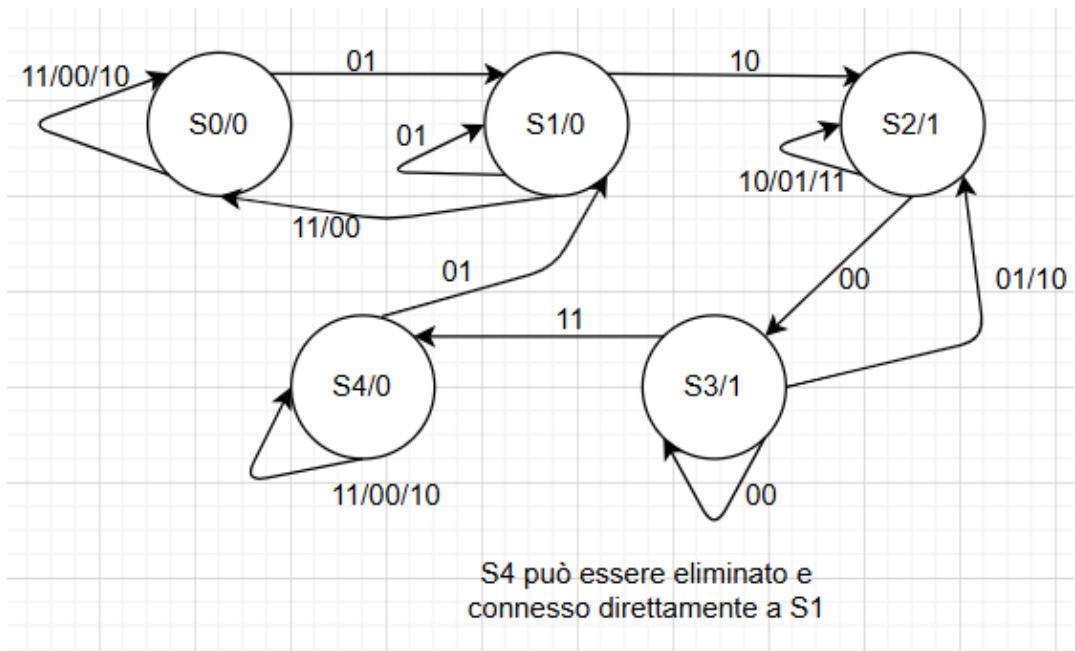
$-\beta^{n/2} \leftrightarrow (b/2, 0, \dots, 0)_b$

Esercizio 3

Descrivere (tramite diagramma di flusso) una rete sequenziale sincronizzata di Moore con 2 ingressi ed un'uscita, che al reset ha l'uscita a zero. La rete riconosce la sequenza di stati di ingresso 01, 10, ciascuno dei quali può permanere per un numero arbitrario di clock. La rete riporta l'uscita a zero solo dopo aver ricevuto in ingresso la sequenza 00, 11. Anche in questo caso ciascuno dei due stati di ingresso può durare un numero arbitrario di clock.

Soluzione

Ricordiamoci come si comporta la rete sequenziale sincronizzata di moore: ovvero che a prescindere dal numero di stati ci vorrà uno stato in più.



Esercizio 4

Sintesi a costo minimo a porte NAND della seguente mappa di Karnaugh

1	0	1	-
0	0	1	1
1	-	0	-
-	0	0	1

Vediamo prima di tutto come fare la sintesi a porte nand (riassunto da dispensa)
 sintesi SP, doppia negazione, una sola applicazione di de Morgan

		x3x2	x1x0	00	01	11	10	
		x3x2	x1x0	00	01	11	10	
		x3x2	x1x0	00	01	11	10	
			00	1	0	1	-	
			01	0	0	1	1	
			11	1	-	0	--	
			10	-	0	0	1	

Implicant essenziali:
 $A = x_2^* x_0$
 $B = x_3^* x_1$
 $C = x_2^* x_1$

I rimanenti sono uno assolutamente eliminabile e
l'altro semplicemente eliminabile

Forma SP:
 $(x_2^* \bar{x}_0) + (x_3^* \bar{x}_1) + (\bar{x}_2^* x_1)$

Doppia negazione:
 $\overline{(x_2^* \bar{x}_0) + (x_3^* \bar{x}_1) + (\bar{x}_2^* x_1)}$

Forma NAND:
 $\overline{\overline{(x_2^* \bar{x}_0)}} \cdot \overline{\overline{(x_3^* \bar{x}_1)}} \cdot \overline{\overline{(\bar{x}_2^* x_1)}}$

Esercizio 5

Si supponga di dotare il processore visto a lezione di una nuova modalità di indirizzamento dell'operando sorgente, i.e. "di memoria con offset e registro di modifica", come da esempio sottostante:

OPCODE Indirizzo(%DP), %AL

- descrivere la fase di fetch del nuovo formato;
- descrivere la fase di esecuzione dell'istruzione MOV indirizzo(%DP), %AL.

Soluzione

Dobbiamo quindi creare un nostro formato; per il tipo di indirizzamento che è stato scritto ricorda molto il formato F5(opcode indirizzo, registro), quindi possiamo partire da quello:

```

fetch_passo1: begin
    A23_A0<=IP; IP<=IP+3; MJR<=fetch_passo2; STAR<=readM;
end

fetch_passo2: begin
    A23_A0<={APP2,APP1,APP0}+DP; MJR<=fetch_passo3; STAR<=ReadB; end

fetch_passo3: begin
    SOURCE<=APP0; STAR<=fetchEnd; end

La fase di esecuzione è quindi ovvia:
esec: begin AL<= SOURCE; START<=fetch0; end

```

Esercizio 6

Descrivere la fase di reset del calcolatore

Soluzione

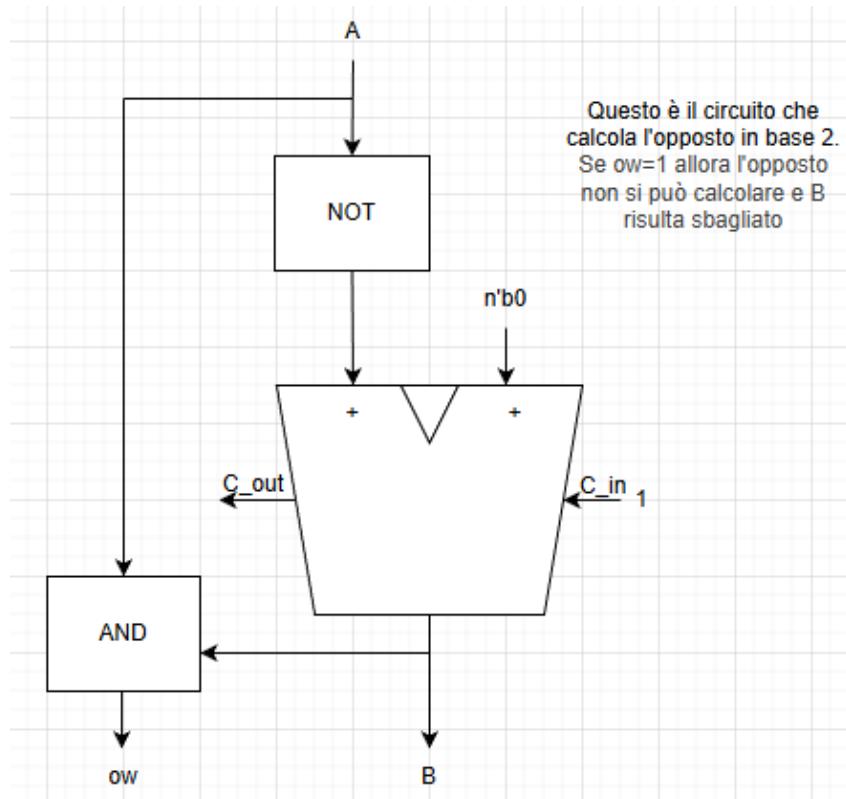
Nella fase di reset di un calcolatore vengono dati dei valori predefiniti ai seguenti registri:

$IP< = 24'HFF0000$; $IOR_{<} = 1$; $IOW_{<} = 1$; $DIR_{<} = 0$; $MW_{<} = 1$; $MR_{<} = 1$; $F_{<} = 8'H00$; $STAR_{<} = \text{fetch}0$; mentre per il resto dei registri del processore il valore rimane casuale

Esercizio 7

calcolo dell' opposto in base B + disegno del circuito in base 2

Soluzione



In base B l'opposto si calcola nel seguente modo:

$$B = -A \Leftrightarrow B = \beta^n - 1 - A + 1 = \beta^n - A$$

Dove A e B sono numeri interi, come risultato prenderemo solo le prime n cifre più significative (da 0 a n-1) e con $-(\frac{\beta^n}{2} - 1) \leq A \leq \frac{\beta^n}{2} - 1$

Esercizio 8

Dimostare che $\forall k \geq 0, \exists |10^k|_3 = 1$

Soluzione

$$10^k == (9 + 1)^k == \sum_{n=0}^k \binom{k}{n} 9^{k-n} \cdot 1^n == 9^k + 1^k + \sum_{n=1}^{k-1} \binom{k-1}{n} 9^{k-1-n} \cdot 1^n$$

Sia la sommatoria che il 9^k sono multipli di 3, quindi si eliminano.

1^k è sempre = a 1, per cui alla fine rimane $|1|_3 = 1$ per ogni $k \geq 0$