

半导体材料及 IC 工艺 --- 十个问题

周四岳, 2023141220124

微电子科学与工程 301班

1 阐述三个自对准工艺

三个自对准, 指的是两个多晶硅栅的自对准, 以及一个金属化中的自对准.

1.1 第一个自对准 --- 多晶硅栅的"离子注入"自对准

多晶硅栅中的第一个自对准, 是有源区"离子注入的自对准", 其以"先栅工艺"作为基础. 在形成 MOSFET 的栅极(多晶硅)后, 以栅极自身为掩模, 进行离子注入, 在栅极两侧的硅衬底中形成源极和漏极.

在传统工艺中, 先通过扩散形成有源区的掺杂, 再生长栅极. 这种工序可能会造成栅极边缘没有对齐有源区的问题, 导致沟道无法形成. 传统的解决方法是将栅极做大, 以保证覆盖有源区, 但图形尺寸逐渐缩小的发展趋势让这种解决方法失效.

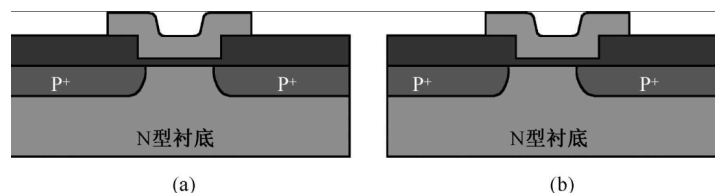


图 1.1 - 源级 / 漏级对准工艺. (a) 正常对准; (b) 对准失误

离子注入技术的引入, 配合自对准有源区的制造工艺完全解决了栅极对准的问题. 在这种情况下, 栅极氧化层生长后就沉积多晶硅, 然后进行图形化和刻蚀. 去光刻胶后, 具有高电流的离子注入用于形成源极和漏极. 因为多晶硅栅极和氧化层将阻挡住离子, 所以源极和漏极就可以和多晶硅栅极对准, 如下图.

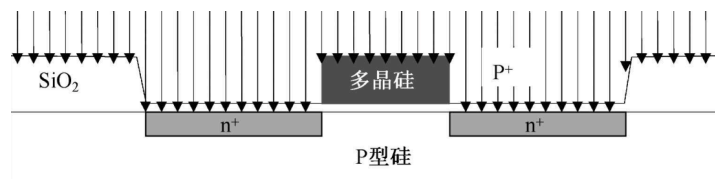


图 1.2 - 源级 / 漏级自对准工艺

1.2 第二个自对准 --- 多晶硅栅的侧壁, "硅化物自对准"

注: 也叫"自对准金属硅化物"工艺, 在书上 5.5.2 合金化热处理有简单介绍

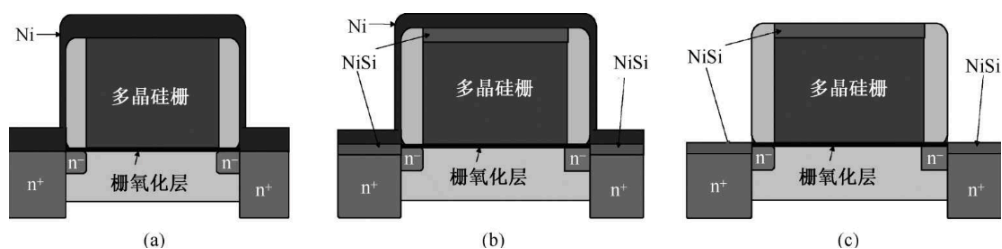


图 1.3 - 自准硅化物工艺流程. (a) 镍沉积; (b) 镍硅化物退火; (c) 镍湿法剥除

多晶硅栅的第二个自对准, 是多晶硅栅侧壁的形成以及金属硅化物与重掺杂有源区的对准.

通过上文提到的第一个自对准工艺, 形成多晶硅栅极之后, 采用LDD工艺, 形成轻掺杂区域, 然后开始做侧壁.

对于侧壁(Sidewall Spacer)形成, 本质是应用了CVD的似型性以及干法刻蚀的各向异性, 具体工艺流程如下图.

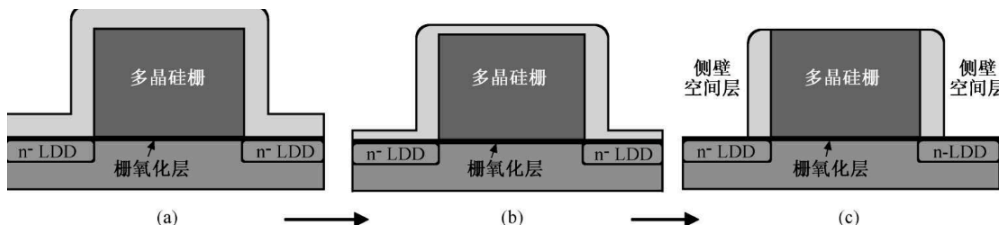


图 1.4 - 形成侧壁空间层的RIE回刻蚀. (a) CVD沉积电介质薄膜; (b) 电介质薄膜回刻蚀; (c) 形成侧壁空间层

形成侧壁后, 再进行有源区的重掺杂, 形成图 1.3 的 n^+ 区域. 在刻蚀掉栅氧以外的 SiO_2 后, 沉积一层金属镍, 退火, 与栅极多晶硅和有源区的衬底硅反应形成金属硅化物(减小接触电阻). 此处由于侧墙的存在, 多晶硅栅的侧面就没有形成金属硅化物, 完成了自对准.(金属硅化物仅在栅源漏上生长出来)

1.3 第三个对准 --- 金属化前的材料自对准

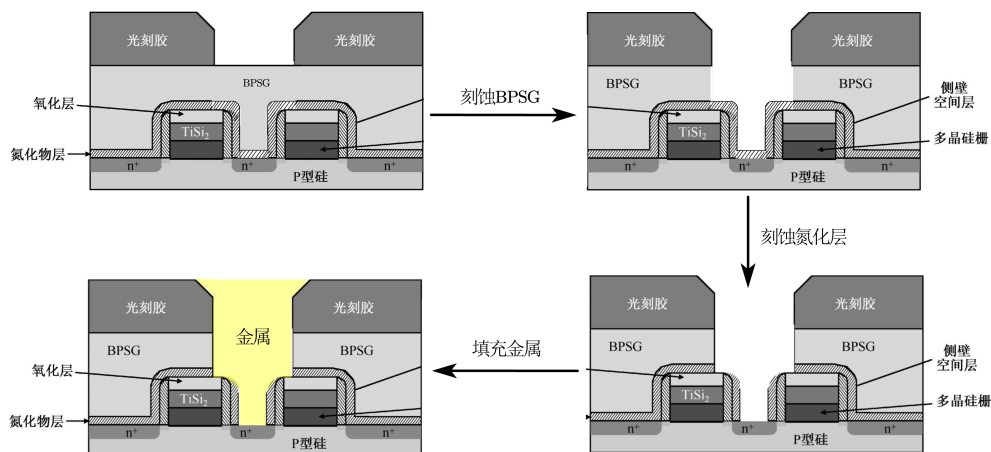


图 1.5 - 金属化前的材料自对准

金属化前的自对准是做源漏接触孔前用 Si_3N_4 作为刻蚀停止层, 用分阶段两次刻蚀来实现接触孔的形成.

若不沉积氮化层, 刻蚀 BPSG 时无法准确判断刻蚀终点, 可能会将多晶硅栅上的氧化层也刻蚀掉, 这是并不期望的(会导致后续填充金属时将栅源短接).

沉积氮化层后, 第一次刻蚀选用 二氧化硅/氮化硅 选择比高的刻蚀方案进行二氧化硅刻蚀, 刻蚀到氮化层(第一次刻蚀停止层)后, 进入第二次刻蚀. 第二次刻蚀选用 氮化硅/二氧化硅和硅 选择比高的刻蚀方案(防止刻蚀掉栅氧上方二氧化硅和下层衬底硅/外延硅)进行氮化硅刻蚀.

两次刻蚀完成后, 会由于似型性和刻蚀的各向异性形成第二个侧墙(氮化硅), 其可以作为进一步的介质层. 最后在接触孔中填充金属即可实现向上的电气连通.

2 关联光刻的工艺有哪些，它们是如何衔接光刻工艺/与光刻衔接的？

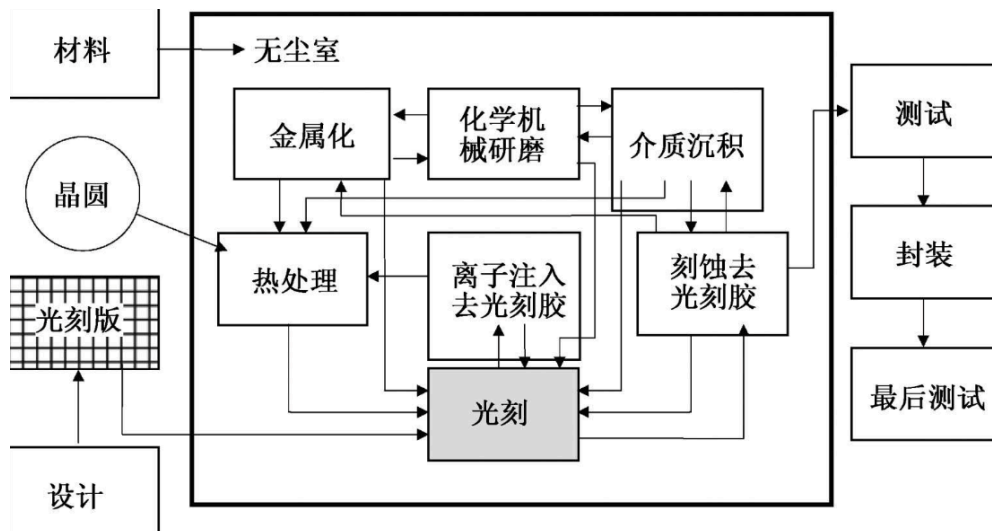


图 2.1 - 集成电路制造工艺流程图

从上图中可以看到:

光刻前的工艺有: 介质沉积, 刻蚀去光刻胶, 离子注入去光刻胶, 化学机械研磨, 金属化, 热处理, (光刻板)

光刻后的工艺有: 离子注入去光刻胶, 刻蚀去光刻胶

可以发现, 几乎所有工艺都与光刻直接相关, 可以将其分为 3 类:

1. 添加工艺 --- 介质沉积, 金属化
2. 光刻处理工艺 --- 化学机械研磨, 热处理, (光刻板)
3. (光刻后)图形化工艺 --- 离子注入去光刻胶, 刻蚀去光刻胶

对于添加工艺, 最终需要得到的是图形化的添加, 但大多添加工艺处于成本和难度的考量, 一般先进行整面全区地覆盖, 然后再通过光刻和刻蚀实现图形化, 使用所以它们一般是光刻前工艺.

对于光刻处理工艺, 它们保障了光刻胶的涂覆和图形化的稳定性. 其中的化学机械研磨, 其主要目的是让光刻胶可以附着在平整的表面上, 以避免非平整表面上光刻胶由于厚度不均以及景深有限导致的曝光不均(部分过曝, 部分不足)的问题; 对于热处理, 其本身是涵盖在光刻工艺中的, 在整个光刻流程中, 有三个热处理工艺(按先后顺序):

1. 软烘烤, 为了去除光刻胶内部大量溶剂, 并将光刻胶从液态转变为固态, 一般温度: 90 ~ 120 °C.
2. 曝光后烘烤, 为了消除驻波效应, 一般温度: 110 ~ 130 °C
3. 硬烘烤, 为了去除光刻胶内的参与溶剂, 增加光刻胶强度, 一般温度温度: 100 ~ 130 °C

对于图形化工艺, 因为光刻只对光刻胶做处理, 要使图形最终转移到介质或者金属等材料上, 它们不可或缺. 离子注入工艺可在光刻胶作为掩蔽的情况下进行图形化的掺杂; 刻蚀可在光刻胶作为掩蔽的情况下进行图形化的材料塑型. 需要注意的是, 存在需要对一个材料进行多次光刻的情况(如各类双重和多重图形化工艺), 所以在图形化工艺后还可以继续衔接光刻工艺.

需要补充的是, 将"再流动(Reflow)"工艺也考虑在内的话, 其应该属于"热处理"工艺, 并分类到"光刻处理工艺"中, 其主要目的和化学机械研磨一致 --- 平坦化. 上文没有考虑的原因是其在 0.25 μm 以下时被化学机械研磨替代.(由于热积存的限制)

3 STI 的工艺中的细节问题

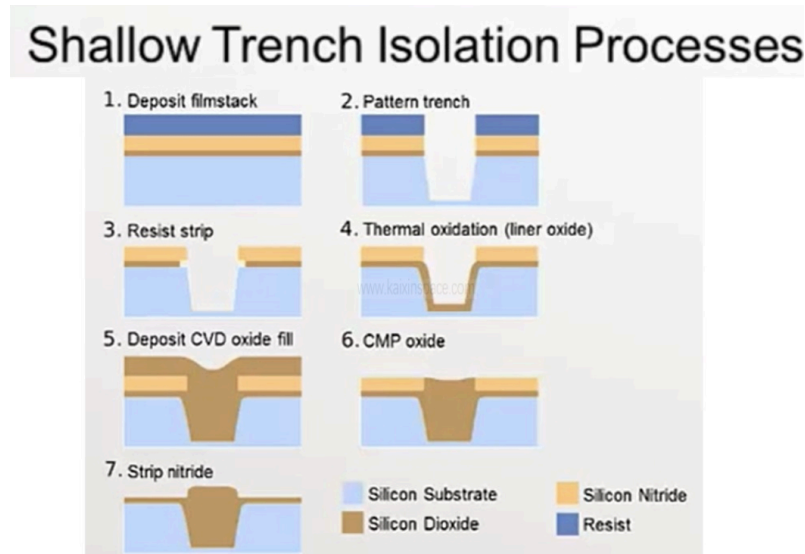


图 3.1 - STI 工艺流程

工艺流程: (仅供参考, 更详细流程以书 13.3.3 节 先进STI工艺流程示意图为准)

第一步: 生长前置氧化层(PAD Oxide)和 Si_3N_4 层并涂抹光刻胶进行光刻;

第二步: 槽蚀刻(注意, 先进工艺中: 先刻蚀氮化硅和垫氧, 去除光刻胶并清洗后再刻蚀硅);

第三步: 去除光刻胶;

第四步: 槽热氧化, 生成 SiO_2 , (Trench Liner oxide);

第五步: CVD 氧化层;

第六步: CMP, 化学机械抛光, 平坦化;

第七步: 刻蚀去除 Si_3N_4 层.

3.1 为什么要在刻蚀前先形成一层垫氧层和氮化硅, 而不是直接对硅进行刻蚀和沉积?

垫氧层(Pad Oxide): 后续氮化硅生成的应力缓冲层, 防止应力过大使晶圆破碎; 氮化硅: 用来形成硅刻蚀遮蔽层和 USG 的 CMP 研磨停止层.

书上 5.3 节原文:

高温生长的二氧化硅在硅的局部氧化 (LOCOS) 和浅沟槽隔离 (Shallow Trench Isolation, STI) 形成时作为氮化硅的衬垫层. 如果没有二氧化硅垫层作为应力缓冲, LPCVD 氮化硅层高达 10^{10} dyn/cm² (达因/平方厘米)的张力将导致硅晶圆产生裂缝甚至破裂. 衬垫层的厚度大约为150Å.

进行STI浅沟槽填充工艺之前, 二氧化硅可以用于作为阻挡层以防止硅片受到污染. 浅沟槽填充是一种电介质化学气相沉积过程, 使用未掺杂硅玻璃 (Undoped Silicate Glass, USG) 的沉积填充浅沟槽来隔离相邻晶体管的电性能. 由于化学气相沉积总是带有少量杂质, 所以必须有一层致密的热生长二氧化硅阻挡层阻挡可能的污染物.

3.2 为什么刻蚀完成后的二氧化硅填充要分开进行(步骤4和5), 而不是合并为一步填充完整?

首先第4步是热氧生成 SiO_2 (thermal SiO_2), 温度在1000—1200°C, 生成的氧化物品质好, 隔离强度高; 而第5步是 CVD 生成 SiO_2 , 温度在700—800°C, 生成氧化物品质稍差. 两个步骤中工艺不一样, 所以不能合并.

3.3 为什么(步骤3)垫氧层二氧化硅被去除了一部分?

因为刻蚀硅采用 F 自由基, 其对二氧化硅也有刻蚀作用. 刻蚀中无法保证完全的各向异性, 使用导致垫氧层二氧化硅也被刻蚀.

注: 类似于刻蚀工艺中的"阻绝机制".

4 根据书上内容和所学知识分析, 为什么芯片制造中需要外延层? 举出一些例子. 并回答两个外延层的相关问题.

衬底硅中有 C O 残留, 改进工艺悬浮区熔法又不能做大晶圆, 故外延硅可以用于做大晶圆衬底上的高质量低 C O 的硅层.

一、书上例子:

早期工艺中, 外延层能在低阻衬底上形成一个高电阻层, 可以实现双载流子晶体管的"高集电极**击穿电压**". 外延层也可以**增强器件性能**, 如 DRAM(动态随机存储器) 和CMOS IC(互补型金属氧化物半导体晶体管 集成电路). 并且还有两个主要优点:

1. 形成**重掺杂埋层**

- 无法通过离子注入 or 扩散 完成.

2. 与衬底物理特性不同

- 比如: N衬底上的P外延层
- 让设计自由度更高

二、其他例子(器件性能细节):

1. 提高PN结的击穿电压. 击穿电压 (Breakdown Voltage) 是一个关键指标, 决定了器件在高压条件下的稳定性. 根据公式:

$$V_B \approx \frac{E_{crit}^2 \cdot W^2}{2qN_d}$$

其中 N_d 就是材料的掺杂浓度. 通过控制外延层的掺杂浓度, 可以精确设计器件的击穿电压.

2. 掺杂控制与阈值电压调节. 阈值电压 (Threshold Voltage, V_{TH}) 是MOSFET中控制开关行为的关键参数. 通过外延层中的精确掺杂, 可以优化 V_{TH} .

根据公式:

$$V_{TH} = V_{FB} + 2\phi_F + \frac{\sqrt{2q\epsilon_{Si}N_A2\phi_F}}{C_{ox}}$$

如果外延层的掺杂浓度较高, 则 V_{TH} 增加, 使得器件更难导通; 通过降低外延层的掺杂浓度, 可以降低阈值电压, 使器件更容易导通.

3. 减小寄生电容和寄生电阻.

寄生效应会降低器件的开关速度和频率响应. 外延层通过提供高阻区, 可以减少寄生电容; 而通过增加衬底掺杂浓度来降低电阻率, 从而减小寄生电阻.

其他: 优化电子迁移率、好的热导率和散热性能等等.

4.1 衬底和外延层使用的是单晶硅还是多晶硅?

衬底和外延层通常使用的是单晶硅, 而不是多晶硅; 因为单晶硅具有均匀的晶体结构, 单晶硅的原子排列非常有序, 几乎没有晶界缺陷. 另外单晶硅也具有较高的载流子迁移率和较低的电阻率. 而多晶硅经常用于制造 MOSFET 的栅极或互连层, 因为它可以通过掺杂调整电阻率, 并且具有良好的热稳定性.

4.2 为什么外延层低掺杂 p^- , 不会和下面的衬底高掺杂 p^+ 发生浓度扩散呢?

掺杂浓度差确实会导致一些扩散现象, 但通过合理的设计和工艺控制, 这种扩散可以被有效抑制, 保证外延层的特性. 以下是列举的其中几个相关措施:

- 外延生长的低温工艺;
- 外延层生长时间的控制;
- 掺杂浓度梯度设计;
- 衬底和外延层之间的界面质量的控制.

5 光刻各步骤中, 如果有颗粒物掉落, 会有什么影响?

对于影响曝光的情况, 需考虑使用的是正胶还是负胶, 颗粒对不同胶最终的图形化影响效果是相反的.

分 7 种主要情况讨论:

预烘烤过程中掉落, 可能导致底漆涂敷效果不好, 影响光刻胶附着.(底漆涂覆后, 光刻胶涂覆之前掉落也类似)

涂胶之前掉落在晶圆上, 由于表面不平整, 会影响匀胶, 造成"针孔"; 并且由于颗粒物在光刻胶内, 可能影响其附近的光刻胶解级联/级联; 颗粒若有高反射系数, 有可能造成不期望区域的解级联/级联, 造成光刻胶图形化的畸形(考虑到目前的超净间技术, 这种情况在极小特征尺寸的情况下才可能有影响, 微米级特征尺寸几乎可以忽略). (注: 涂胶过程中颗粒掉落在光刻胶中的情形同样适用类似的分析).

涂胶之后掉落光刻胶上, 如果是非曝光区域, 则不(对曝光)造成明显影响(认为其在显影时被带走, 则亦不影响后续工艺); 如果是曝光区域, 会造成光线被遮挡, 影响曝光.

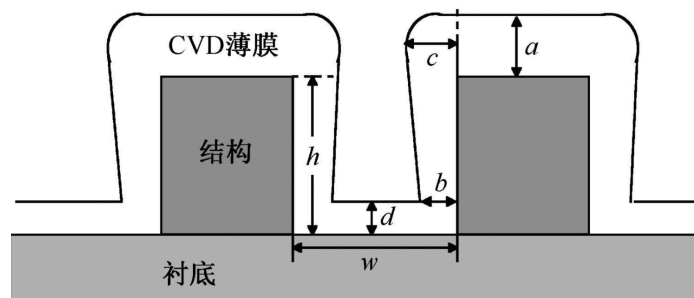
显影之前掉落, 若附着性不强, 随着显影液会被冲洗掉, 不产生明显影响; 若附着性较强, 可参考下一段"显影之后掉落"(的颗粒物).

显影之后掉落, 如果是光刻胶上, 可能阻挡后续离子注入; 如果是非光刻胶上, 干法刻蚀被影响(注, 湿法刻蚀使用溶液, 可能影响相对于较小).

硬烘烤之后掉落, 可能影响下一步图形检测, 造成工艺误判.

掉落在光刻板上, 若是不透光部分, 则不影响; 若是光照部分, 会阻挡光路, 导致无法完整图形化(正胶无法解级联)或者图形化过度(负胶无法级联).

6 CVD 工艺中, 有哪些方法可以实现更好的阶梯覆盖, 原理是什么?



$$\text{侧壁阶梯覆盖} = b/a$$

$$\text{似型性} = b/c$$

$$\text{深宽比} = h/w$$

$$\text{底部阶梯覆盖} = d/a$$

$$\text{悬突} = (c-b)/b$$

图 6.1 - 阶梯覆盖与似型性

阶梯覆盖衡量的是化学气相沉积薄膜在具有高深宽比或复杂形貌的衬底表面（如沟槽、通孔、台阶边缘）上, 其厚度均匀性的能力. 理想的“保形覆盖”是指薄膜在所有表面（顶部、侧壁、底部）的厚度完全一致.

想要达到更好的阶梯覆盖, 就需要在“源材料MFP”, “迁移率”和“到达角”上做改善. 针对这三个方面, 业界提出了以下解决方案:

更低的工艺压力, 如 LPCVD: 通过减小工艺压力的方式增大 MFP(使其明显高于间隙深度), 反应物更容易以直线运动到达深槽底部, 减少因气体相碰撞导致的传输阻碍.

更高的工艺温度: 热能可以提供源材料破坏吸附键所需的能量, 使源材料在晶圆表面迁移, 以达到迁移率提高的效果. 这使源材料有足够时间迁移到台阶侧壁和底部等低洼处再发生反应, 从而实现保形覆盖. 高温也有助于获得更致密, 质量更好的薄膜.

更高表面迁移率的源材料选择, 如使用对称性和黏附系数更低的 TEOS 和 WF_6 (相比于硅烷): 原因同上.

淀积 - 回刻蚀 - 再淀积 工艺: 通过增大到达角的方式实现更好的阶梯覆盖, 减少悬凸和空洞等问题.

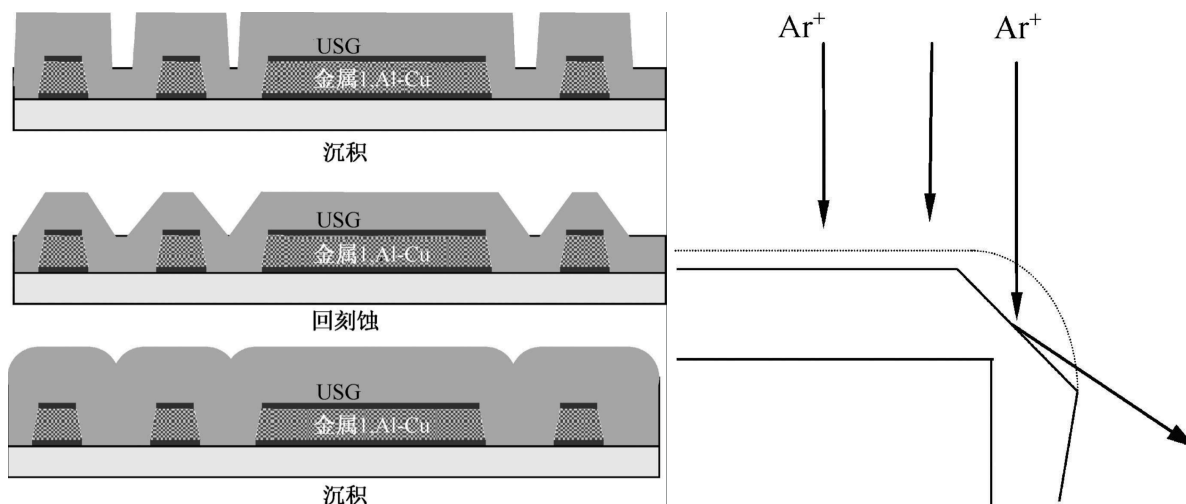


图 6.2 - 淀积 - 回刻蚀 - 淀积 填充空洞工艺流程 与 溅射刻蚀去除间隙角落薄膜

值得注意的是, 此处的刻蚀工艺是“溅射刻蚀”(又叫“离子研磨”), 是一种纯物理刻蚀, 完全依赖于氩离子的轰击, 并且其削除阶梯角落的薄膜比从表面移除薄膜更快, 所以才能实现增大到达角的效果.

7 等离子体的定义是什么？它有什么用途，基本原理是什么？

(1) 等离子体的定义：由带电和中性粒子组成的**准中性**气体，表现出集体行为。

(2) 列举如下：

1. CVD（化学气相沉积）

- **基本原理**：等离子体将通入的化学气体激发分解为高活性的离子和自由基，这些活性基团在晶圆表面发生化学反应，生成固态薄膜并沉积下来。

2. Etch（刻蚀）

- **基本原理**：等离子体产生的高能活性粒子（离子、自由基）与暴露的晶圆材料发生物理轰击(离子轰击)或化学反应，生成挥发性产物，从而有选择性地去除材料。
- **注意问题与解决**：离子轰击会产生大量热量，没有适当的冷却系统会导致晶圆温度升高，造成屏蔽层被烧焦，影响化学刻蚀速率(温度敏感性高)等问题。通常在晶圆背面使用加压过的氦气把热量从晶圆移走。

3. PVD（物理气相沉积）

- **基本原理**：等离子体（如氩等离子体）轰击固态靶材，将靶材原子“溅射”出来，这些原子随后沉积在晶圆表面形成薄膜。

4. Ion Implantation（离子注入）

- **基本原理**：等离子体在离子源中产生所需的掺杂元素离子，经电场引出、筛选和加速后，形成高能离子束注入晶圆，改变其局部电学性能。
- **注意问题与解决**：晶圆带电使得离子束扩散，准直性减小，导致注量率降低和结深变浅，并且在高表面电荷浓度的情况下导致栅氧击穿和电弧放电造成晶圆表面缺陷。可以采用电子枪系统，注入正离子的同时补充带负电荷的电子，使晶圆中性化。

5. Photoresist strip（剥离光刻胶）

- **基本原理**：等离子体中的活性物质（通常是氧自由基）与已完成图形转移的光刻胶发生强烈的氧化反应，将其转化为二氧化碳和水蒸气等挥发性气体而去除。

6. Process chamber dry clean（工艺反应室干式清洗）

- **基本原理**：等离子体刻蚀总会产生一些沉积物，常用等离子体辅助化学气体用于干法清洗反应室，原理类似刻蚀。

8 半导体工艺中有哪些平坦化工艺？哪些基本已经被取代，为什么？

(1) 平坦化工艺：

1. 再流动(Reflow)：在高温下使沉积的**磷硅玻璃**或**硼磷硅玻璃**薄膜(熔点更低)软化流动，利用表面张力填平台阶，实现局部平滑。

注，Reflow工艺也算一种"退火"(Definition: 将晶圆加热产生所需的物理或化学变化，并在晶圆表面增加或移除少量的物质)工艺，亦从属于加热工艺。

2. 淀积-回刻蚀-再淀积(又叫"溅射回刻蚀"技术)：原理参考问题6
3. 光刻胶回刻蚀：在已有台阶的表面上旋涂一层厚光刻胶，利用光刻胶的流动性实现初步平坦化，然后通过干法刻蚀以**相同速率**刻蚀光刻胶和下层的介质层，直至将光刻胶全部刻蚀掉，此时介质层表面变得更为平坦。
4. 旋涂硅玻璃(SOG)：将液态的硅烷衍生物溶液旋涂在晶圆表面，经烘烤固化形成 SiO_2 薄膜，利用液体的流动性填充空隙并部分平坦化表面。
5. CMP：将晶圆压在旋转的抛光垫上，在抛光浆料（含有纳米磨料和化学刻蚀剂）的作用下，通过**机械研磨**和**化学**反应的协同作用，选择性地去除凸起部分的材料，实现整个晶圆表面的**全局平坦化**。

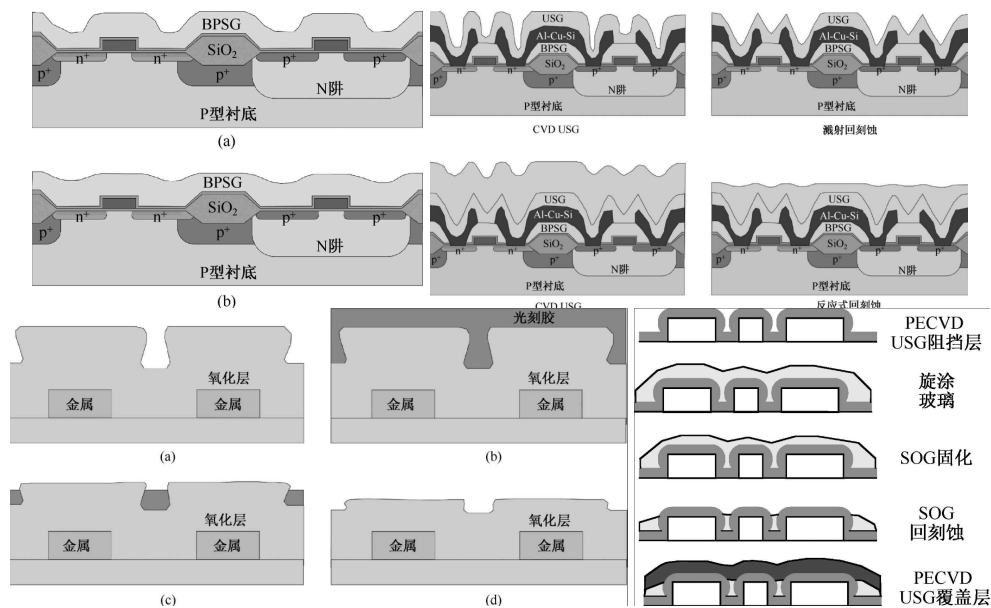


图 8.1 - 再流动工艺, 淀积 - 回刻蚀 - 淀积工艺, 光刻胶回刻蚀工艺 与 旋涂硅玻璃工艺

(2) 取代问题需要分具体的工艺要求, 没有绝对的取代.

目前来说, 对于再流动, 当最小图形尺寸缩小到 $0.25\mu\text{m}$ 以下时, 再流动工艺已无法满足高光刻解析度对表面平坦化的要求, 太过紧凑的热积存也限制了再流动的应用, 故而被 CMP 取代. 并且因为再流动温度比铝的熔化温度高很多, 所以形成第一次铝合金层后不能使用再流动技术平坦化电介质.

其他的工艺可能存在自身缺陷(如SOG的复杂工艺兼容)在某些高要求应用中不可使用, 但都在相应领域仍然被制造商广泛使用. 但目前可以唯一确定的是, 当图形尺寸小于 $0.25\mu\text{m}$, 所需的平坦化只能通过使用 CMP 工艺达到. (语出书 12.1.4 CMP 技术的必要性) 但这并不意味着 CMP 工艺就是完美的, 它也会引入诸如划痕, 残留物, 分层, 凹陷和侵蚀等问题, 所以需要配合 CMP 后清洗技术才能达到较好效果.

9 二氧化硅有哪些应用? 使用什么工艺生长? 需要关注什么特性, 如何测试?

9.1 应用和工艺

1. 第一类, 使用加热工艺中的干氧/湿氧生长的氧化层

氧化层名称	英文对照	厚度	应用	生长方式	应用时间
原生氧化层	Native	15~20Å	不必要	自然生长	-
屏蔽氧化层	Screen	约200Å	离子注入	干氧	20世纪70年代中期至今
遮蔽氧化层	Mask	约5000Å	扩散	湿氧/干湿干	20世纪60~70年代中期
场区和局部氧化层	Field and LOCOS	3000~5000Å	隔离	湿氧	20世纪60~90年代
衬垫氧化层	Pad	100~200Å	氮化硅应力缓冲层	干氧	20世纪60年代至今
牺牲氧化层	Sacrificial	小于1000Å	消除缺陷	干氧	20世纪70年代至今
栅极氧化层	Gate	15~120Å	栅介质层	干氧	20世纪60年代至今
阻挡氧化层	Barrier	100~200Å	浅槽隔离STI	干氧	20世纪80年代至今

需要注意的是, 应用于 STI 的阻挡氧化层, 指的是沟槽刻蚀并清洗后, 使用高温干氧生长的二氧化硅薄层, 后续再使用 (HDP)CVD 生长的 USG 不属于阻挡氧化层.

注: 对于遮蔽氧化层, 工艺要求较高时, 需要上下界面质量好, 并且厚度足够高, 可以使用 "干-湿-干" 工艺. 下表面和Si接触, 要保证和Si接触的界面致密(防止刻蚀的时候侧漏), 所以用干氧; 上表面光刻胶涂敷, 需要界面质量好, 保证光刻质量, 所以也需要干氧; 需要一定厚度, 所以中间湿氧.

2. 第二类, 使用 CVD 工艺生长的电介质薄膜

名称	英文对照	应用	特点	生长工艺
未掺杂的硅玻璃	USG	阻挡层(B/P), ILD1, STI	软化温度高(高于晶圆)	阻挡层: LPCVD STI填充: O_3 - TEOS工艺
硼硅玻璃	BSG	超浅结USJ	(可)高掺杂B	CVD
磷硅玻璃	PSG	ILD0, 钠离子阻挡层	可捕获钠离子, 软化温度低	PECVD TEOS工艺
硼磷硅玻璃	BPSG	ILD0, 钠离子阻挡层	可捕获钠离子, 软化温度低	PECVD TEOS 工艺
氟硅玻璃	FSG	ILD0	可降低硅氧极化, 减小k值	PECVD TEOS 工艺

书上在介绍某些工艺(比如ILD相关)时特别强调了年代, 这可能意味着现在的工艺会有一些差异(但未在相关部分直接阐明), 上表依然参考书上原文内容整理.

- 其他: 制造工艺中还涉及石英管, 一些反应炉和呈装液体的容器, 它们也由二氧化硅制造. 应用中需要关注工艺温度(防止二氧化硅高温脱落甚至熔化)以及反应液对二氧化硅的腐蚀性.

9.2 特性和测试方法

检测参数	主要方法/技术	简要说明/目的
厚度/均一性	1. 颜色对照表 2. 反射光分光计 针对导电薄膜厚度: 1. SEM 2. 轮廓测量器 3. 声学法	多点厚度测量, 可评估晶圆平坦程度
k 值	C-V测量 + 厚度测量 + 面积测量	通过测量电容、物理厚度和电极面积, 计算得出介电常数
折射率	椭圆光谱仪+ 棱镜耦合器	折射率与化学成分相关 可判断氧化层是纯二氧化硅还是含其他元素(如N)
疏松程度/致密性	刻蚀速率测量	通过比较在相同条件下的刻蚀速度快慢 判断工艺方法(如干氧/湿氧工艺)和检测氧化层质量
界面情况	通过C-V特性判断	分析C-V曲线特征, 可反映界面态密度等情况
应力	应力测量计	通过测量薄膜沉积前后晶圆曲率的改变量来计算
C-V特性	C-V测量系统	1. 分析硅-二氧化硅界面的固定电荷分布 2. 测量击穿电压

10 为什么 20 世纪 70 年代之前一般应用扩散技术进行掺杂? 扩散技术有什么缺点, 导致目前主要又通过离子注入实现掺杂? 离子注入又有什么新的问题吗?

(1) 大致可以认为有三个原因: 特征尺寸缩小引起热积存紧张问题还允许扩散技术的使用; 等离子源的发展还未成熟到支持离子注入技术的使用(1954年肖克莱才首次提出设想); 加热扩散的工艺工具相当简单, 工艺成本低.

可以支持的证据还有: 1971年 Intel 4004 还处理器在采用 $10\mu m$ 工艺, 并且双载流子晶体管是集成电路市场的主流.

(2) 缺点(离子注入解决方案)

- 扩散不容易进行 N 型扩散, 导致只能使用速度较慢的 PMOS.(增大注量)

3. 只能进行各向同性的掺杂, 特征尺寸小时会导致源漏短路.(离子注入可以实现高各向异性的掺杂)
4. 无法独立控制掺杂浓度和结深.(离子注入可以单独控制能量(结深)和注量(掺杂浓度))

以上的缺点都可以由离子注入解决(但离子注入也有自己的挑战), 所以在特征尺寸逐渐缩小的发展趋势下, 扩散技术逐渐在小尺寸掺杂工艺中被离子注入取代.

注: 离子注入的其他优点: 离子束纯度高(质谱仪选择性强), 反应温度低, 可以精确控制掺杂参数, 可以直接使用光刻胶作为图形化遮蔽层(而不需要二氧化硅作为硬遮蔽层).

(3) 离子注入的问题:

1. 成本高, 相比于简单的扩散, 离子注入从离子源到退火的设备使用费用和维护费用都十分昂贵.
2. 损伤衬底单晶结构, 引入缺陷, 所以必须有离子注入后退火的工艺.
3. 退火的温度较高
 - (a) 光栅材料不能选择金属铝, 否则会熔化. 目前采用多晶硅/多晶金属硅化物替代, 并且已经比较成熟.
 - (b) 热积存问题. 要求发展 RTA 甚至尖峰退火等技术.