

Barrare una sola risposta per ogni domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A \leq 1000 e B=10. Detti n_A, n_B, n_Q, n_R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

$n_A=10, n_B=4, n_Q=7, n_R=4$
$n_A=11, n_B=4, n_Q=7, n_R=4$
$n_A=10, n_B=4, n_Q=6, n_R=4$
nessuna delle precedenti

In complemento alla radice in base β =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

Ш	1000
	1100
	0100
	Magguna

□ Nessuna delle precedenti

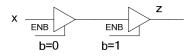
Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

n+T
T^n
$n \times T$
Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

U Vero

Falso
È impossibile deciderlo



L'uscita del circuito di figura vale:

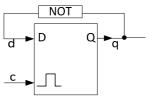
Alta impedenza
Non specificato
Zero o uno

☐ Nessuna delle precedenti

```
reg [3:0] A, B;
[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...</pre>
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato \$2?

no i	registri A e B nello stato
	A=8, B=10
	A=9, B=9
	A=8, B=9
	Nessuna delle precedent



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

Assume un valore logico casuale
Oscilla
Resta nella fascia di indeterminazione
Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

IIIIu	illuisce suil uscita.					
	Durante lo stesso periodo di clock					
	Non prima del successivo fronte di clock					
	Dopo almeno due fronti di clock					
	Nessuna delle precedenti					

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

Quando riceve la notifica dal Controllore	che la	richie
sta è stata accettata dal processore		
		• \

Ш	Subito	aopo	averia	inviata	i, perche	(ргіта	οj	po1)	sara
	comunq	que ac	cettata						
П	Quando	ıın'i	struzior	ne del	sottonrog	oramma	дi	serv	zizio.

Quando un'istruz	ione del	sot	topro	gramma	di	servizio
dell'interruzione dell'interfaccia	accede	ad	un	opportu	10	registro

	Nessuna	del	lle	preced	lenti
--	---------	-----	-----	--------	-------

L'evento che segnala l'inizio di una trasmissione su una linea seriale start/stop è:

Ш	Il fronte di discesa della linea /dav che va dal trasmetti-
	tore al ricevitore
	Il franta di diaggas della linea rfd aba va del ricavitara

Il fronte	di	discesa	della	linea	rfd	che	va	dal	ricev	itore
al trasme	etti	tore								

☐ Il fronte di discesa della linea seriale ste
--

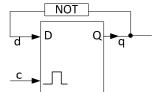
☐ Nessuna delle precede

Domande di Ret	ti Logiche –	- compito del 1	.6/02/2017		
Cognome e nome:					
Cognome e nome: Matricola:				-	
Conse		Sì			



Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve



Dato il d-latch di figur	a, quando c passa	da 1 a 0, l'uscita q:
--------------------------	-------------------	-----------------------

- Assume un valore logico casuale
- □ Oscilla
- ☐ Resta nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- ☐ Durante lo stesso periodo di clock
- □ Non prima del successivo fronte di clock
- ☐ Dopo almeno due fronti di clock
- ☐ Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- ☐ Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale start/stop è:

- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ Il fronte di discesa della linea seriale stessa
- ☐ Nessuna delle precedenti

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A \leq 1000 e B=10. Detti n_A , n_B , n_Q , n_R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- \square $n_A=10, n_B=4, n_Q=7, n_R=4$
- \Box n_A=11, n_B=4, n_Q=7, n_R=4
- \Box n_A=10, n_B=4, n_O=6, n_R=4
- nessuna delle precedenti

In complemento alla radice in base β =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

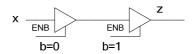
- □ 1000
- □ 1100
- □ 0100
- ☐ Nessuna delle precedenti

Sia *T* il ritardo di un full adder. Se devo sommare due numeri ad *n* cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- \square n+T
- \Box T^n
- \square $n \times T$
- ☐ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- □ Vero
- □ Falso
- ☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

- ☐ Alta impedenza
- □ Non specificato
- ☐ Zero o uno
- □ Nessuna delle precedenti

reg [3:0] A, B;

[...]

S0: begin B<=10; STAR<=S1; end

S1: begin B<=B-1; A<=B-1; STAR<=S2; end

S2: begin ...

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

- □ A=8, B=10
- □ A=9, B=9
- □ A=8. B=9
- ☐ Nessuna delle precedenti

[Domande di Reti Logiche	– compito d	el 16/02/2017	
Cognome e n	ome:			
Ma	tricola:			
	Consegna:	Sì	No	



Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A \leq 1000 e B=10. Detti n_A, n_B, n_Q, n_R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

	$n_A=10, n_B=4, n_Q=6, n_R=4$
	$n_A=10, n_B=4, n_Q=7, n_R=4$
	$n_A=11$, $n_B=4$, $n_Q=7$, $n_R=4$
П	nessuna delle precedenti

In complemento alla radice in base β =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

0100
1100
1000

□ Nessuna delle precedenti

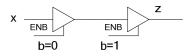
Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

$n \times T$
n+T
T^n
Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

U Vero

Falso
È impossibile deciderlo



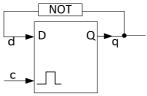
L'uscita del circuito di figura vale:

			0	
	Zero	o un	10	
	Non	spec	eificato	
	Alta	impe	edenza	
	Ness	una d	delle precedent	i
reg	[3:0]	Α,	В;	

[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

no i	registri A e B nello stato
	A=9, B=9
	A=8, B=10
	A=8, B=9
	Nessuna delle precedent



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

Resta nella fascia di indeterminazione
Assume un valore logico casuale
Oscilla

□ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

1111	iisce suii uscita.
	Dopo almeno due fronti di clock
	Non prima del successivo fronte di clock
	Durante lo stesso periodo di clock
	Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

Quando un'istruz	zione del	sot	topro	gramma	di	servizio
dell'interruzione	accede	ad	un	opportu	10	registro
dell'interfaccia						

Subito	dopo	averla	inviata,	perché	(prima	o	poi)	sarà
comun	que ac	cettata						

Quando riceve la notifica dal Controllore che la richie-
sta è stata accettata dal processore

	Nessuna	del	lle	preced	lenti
--	---------	-----	-----	--------	-------

L'e	vento	che	segnala	l'inizio	di	una	trasmissione	su	una
line	a seria	ale st	art/stop) :					
	T1 C		11. 11	4 . 11 . 11 .			14		

Ш	Il fronte di discesa della fillea seriale stessa
	Il fronte di discesa della linea /dav che va dal trasmetti-
	tore al ricevitore

tore ar rice vitore
Il fronte di discesa della linea rfd che va dal ricevitore
al trasmettitore

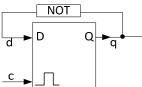
I Nessulia delle biccedell		Nessuna	delle	preced	len
----------------------------	--	---------	-------	--------	-----

_	Do	mande di Reti Logiche	– compito del 1	6/02/2017	
	Cognome e noi	me:			_
	Matri	icola:			
		Consegna:	Si	No	



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve



1100 1000

Nessuna delle precedenti

NOT D Q q	Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:
<u>c</u>	$\begin{array}{c} \square & n+T \\ \square & T^n \end{array}$
Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:	☐ Nessuna delle precedenti
☐ Resta nella fascia di indeterminazione	•
 □ Assume un valore logico casuale □ Oscilla □ Nessuna delle precedenti 	Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce <i>due</i> stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.
In una RSS di Mealy, la variazione dello stato di ingresso	□ Vero
influisce sull'uscita:	□ Falso
□ Dopo almeno due fronti di clock	☐ È impossibile deciderlo
□ Non prima del successivo fronte di clock	
☐ Durante lo stesso periodo di clock	<u> </u>
□ Nessuna delle precedenti	X ENB ENB
(Turintonfossia alsa innis una mishisata di intermeniana al	b=0 b=1
Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:	
Quando un'istruzione del sottoprogramma di servizio	L'uscita del circuito di figura vale:
dell'interruzione accede ad un opportuno registro	□ Zero o uno
dell'interfaccia	□ Non specificato
Subito dopo averla inviata, perché (prima o poi) sarà	☐ Alta impedenza
comunque accettata	☐ Nessuna delle precedenti
Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore	reg [3:0] A, B;
Nessuna delle precedenti	[] S0: begin B<=10; STAR<=S1; end
•	S1: begin B<=B-1; A<=B-1; STAR<=S2; end
L'evento che segnala l'inizio di una trasmissione su una	S2: begin
inea seriale start/stop è:	
Il fronte di discesa della linea seriale stessa	Dato il pezzo di descrizione riportato sopra, cosa contengo-
Il fronte di discesa della linea /dav che va dal trasmetti-	no i registri A e B nello stato S2?
tore al ricevitore	□ A=9, B=9
Il fronte di discesa della linea rfd che va dal ricevitore	\Box A=8, B=10
al trasmettitore	$\Box \qquad A=8, B=9$
Nessuna delle precedenti	□ Nessuna delle precedenti
Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A \leq 1000 e B=10. Detti n _A , n _B , n _Q , n _R il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati: $\begin{array}{ccccccccccccccccccccccccccccccccccc$	
In complemento alla radice in base β =12 su una cifra, la rappresentazione dell'intero -4 è codificata come: \square 0100	

	Cognome	Cognome e nome:				
		Consegna:	Sì	No		
_						