Domande di Reti Logiche – compito del 6/6/2017



Barrare **una sola risposta** per ogni domanda

Sia dato un latch SR implementato a porte NAND, ini-	X ₁ X ₀ 00 01 11 10 z
zializzato ad 1 al reset asincrono. La sequenza di in-	
gressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita	so S0 S1 S0 S0 0
q alla fine?	S1 S0 S1 S2 0
\Box 0	31 30 31 32
\Box 1	
☐ Un valore casuale non prevedibile a priori	S2 S1 (S2) S0 1
☐ Oscilla continuamente	
	Nella rete sequenziale asincrona descritta dalla tabella
reg [3:0] RR;	di figura la codifica S0=00, S1=10, S2=01, introduce
[]	
S0: begin RR<=0; STAR<=S1; end	corse delle variabili di stato.
S1: begin RR<=RR+1;	□ Vero
STAR<=(RR==10)?S2:S1; end	□ Falso
S2: begin	
	-
Dato il pezzo di descrizione riportato sopra, quanto va-	$a \cdot b + a \cdot b + a \cdot b + a \cdot b =$
le il contenuto del registro RR nello stato S2?	\Box a
□ 10	\Box 1
	\square 0
	\square b
-	
☐ Nessuna delle precedenti	Quando il processore accetta una richiesta di interru-
Detto t l'istante in cui si ha il fronte di salita del clock,	zione, il registro dei flag F viene:
l'uscita di una rete sequenziale sincronizzata di Moore	Salvato nella pila da una istruzione PUSH inserita
va a regime all'istante:	nel sottoprogramma di servizio
	☐ Salvato automaticamente dall'hardware del pro-
t+T _{propagation}	cessore in accordo alle specifiche previste nella
□ t+T _{hold}	descrizione Verilog dell'hardware stesso
☐ Nessuna delle precedenti	☐ Lasciato inalterato senza essere salvato
Un consumatore che ha un handshake soc/eoc con un	□ Nessuna delle precedenti
produttore può prelevare il dato corretto quando:	
\square soc=1	Un riconoscitore di una sequenza di <i>n</i> stati di ingresso
□ soc=0	implementato tramite RSS di Mealy ha almeno
□ eoc=1	□ n stati interni
□ eoc=0	
_ Coc=0	n+1 stati interni
Alla fine della fase di chiamata (o fetch, o prelievo) il	□ n-1 stati interni
registro IP contiene di norma l'indirizzo:	☐ Nessuna delle precedenti
Dell'istruzione la cui fase di esecuzione sta per	
iniziare	Not coloclatore vieto e legione durante un ciclo di
	Nel calcolatore visto a lezione, durante un ciclo di
Della prossima istruzione da eseguire, ammesso	scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus,
che il flusso del programma prosegua in sequenza	l'ingresso /mw va a zero:
Dell'ultima istruzione eseguita per intero	Prima della stabilizzazione degli ingressi $a_{19}a_0$
□ Nessuna delle precedenti	□ Contemporaneamente alla stabilizzazione degli ingressi a_{19} _ a_0
	\Box Dopo la stabilizzazione degli ingressi $a_{19}_a_0$
	□ Non è importante, tanto funziona comunque

	Dor	nande di Reti Logich	e – compito d	el 6/6/2017		
Y	Cognome e noi	me:				
	Matri	icola:				
		Consegna:	Sì 🗌	No		

Domande di Reti Logiche - compito del 6/6/2017



Barrare **una sola risposta** per domanda

reg [3:0] RR;	X ₁ X ₀ 00 01 11 10 Z
S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	so S0 S1 S0 S2 0
STAR<=(RR==10)?S2:S1; end	S1 S0 S1 S0 0
S2: begin	
Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?	S2 S0 S0 S2 1
□ 9 □ 10	Nella rete sequenziale asincrona descritta dalla tabella
	di figura la codifica S0=00, S1=10, S2=01, introduce
□ Nessuna delle precedenti	corse delle variabili di stato.
Tressula delle precedenti	□ Vero
Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero:	□ Falso
☐ Contemporaneamente alla stabilizzazione degli	$x \cdot y + x \cdot y + x \cdot y + x \cdot y =$
ingressi a_{19} _ a_0	\Box x
Dopo la stabilizzazione degli ingressi a_{19} _ a_0	\Box 1
\Box Prima della stabilizzazione degli ingressi $a_{19}_a_0$	\Box 0
☐ Non è importante, tanto funziona comunque	\Box y
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante: $\begin{array}{cccccccccccccccccccccccccccccccccccc$	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene: ☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella
☐ t+T _{propagation}	descrizione Verilog dell'hardware stesso
Nessuna delle precedenti	Lasciato inalterato senza essere salvato
= 1.000 and processing	 Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:	□ Nessuna delle precedenti
\Box eoc=1	Sia dato un latch SR implementato a porte NAND, ini-
□ eoc=0	zializzato a 1 al reset asincrono. La sequenza di ingres-
\square soc=1	si, fornita nel rispetto dei vincoli di temporizzazione, è
\square soc=0	sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla
Alla fine della fase di chiamata (o fetch, o prelievo) il	fine?
registro IP contiene di norma l'indirizzo:	
☐ Della prossima istruzione da eseguire, ammesso	
che il flusso del programma prosegua in sequenza	 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente
☐ Dell'ultima istruzione eseguita per intero	Oscilia continuamente
☐ Dell'istruzione la cui fase di esecuzione sta per iniziare	Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno
□ Nessuna delle precedenti	n-1 stati interni
	n stati interni
	n+1 stati interni
	□ Nessuna delle precedenti

	Cognome e no	me:			-
	Matri	icola:			
		Consegna:	Sì 🗌	No	

Domande di Reti Logiche - compito del 6/6/2017



Sia dato un latch SR implementato a porte NAND, ini-

Barrare **una sola risposta** per domanda

zializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita <i>q</i> alla	so SO S1 SO SO O
fine?	S1 S0 S1 S2 0
\Box 0	
	S2 - S1 S2 S0 1
☐ Un valore casuale non prevedibile a priori	32 32 30 1
□ Oscilla continuamente	
	Nella rete sequenziale asincrona descritta dalla tabella
reg [3:0] RR;	di figura la codifica S0=00, S1=10, S2=01, introduce
[]	corse delle variabili di stato.
S0: begin RR<=0; STAR<=S1; end	□ Vero
S1: begin RR<=RR+1;	□ Falso
STAR<=(RR==10)?S2:S1; end S2: begin	
52. Degin	
Dato il pezzo di descrizione riportato sopra, quanto va-	$a \cdot b + a \cdot b + a \cdot b + a \cdot b =$
le il contenuto del registro RR nello stato S2?	\Box a
	\Box 1
	\Box 0
	\Box b
□ Nessuna delle precedenti	
- Nessuna dene precedenti	Quando il processore accetta una richiesta di interru-
Detto t l'istante in cui si ha il fronte di salita del clock,	zione, il registro dei flag F viene:
l'uscita di una rete sequenziale sincronizzata di Moore	☐ Salvato nella pila da una istruzione PUSH inserita
va a regime all'istante:	nel sottoprogramma di servizio
\Box t	
\Box t+ $T_{ m propagation}$	Salvato automaticamente dall'hardware del pro-
\Box t+ $T_{ m hold}$	cessore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
□ Nessuna delle precedenti	-
•	☐ Lasciato inalterato senza essere salvato
Un consumatore che ha un handshake soc/eoc con un	□ Nessuna delle precedenti
produttore può prelevare il dato corretto quando:	
\square soc=1	Un riconoscitore di una sequenza di <i>n</i> stati di ingresso
\square soc=0	implementato tramite RSS di Mealy ha almeno
□ eoc=1	\square n stati interni
□ eoc=0	n+1 stati interni
	\square <i>n</i> -1 stati interni
Alla fine della fase di chiamata (o fetch, o prelievo) il	☐ Nessuna delle precedenti
registro IP contiene di norma l'indirizzo:	-
□ Dell'istruzione la cui fase di esecuzione sta per	
iniziare	Nel calcolatore visto a lezione, durante un ciclo di
Della prossima istruzione da eseguire, ammesso	scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus,
che il flusso del programma prosegua in sequenza	l'ingresso /mw va a zero:
☐ Dell'ultima istruzione eseguita per intero	Prima della stabilizzazione degli ingressi a_{19} a_0
□ Nessuna delle precedenti	Contemporaneamente alla stabilizzazione degli
	ingressi $a_{19} = a_0$
	□ Dopo la stabilizzazione degli ingressi a ₁₉ _a ₀
	□ Non è importante, tanto funziona comunque

Dor	nande di Reti Logich	e – compito d	el 6/6/2017	
Cognome e noi	me:			
Matri	icola:			
	Consegna:	Sì 🗌	No	

Domande di Reti Logiche - compito del 6/6/2017



Barrare **una sola risposta** per domanda

reg [3:0] RR;	X ₁ X ₀ 00 01 11 10 Z
S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	so S0 S1 S0 S2 0
STAR<=(RR==10)?S2:S1; end	S1 S0 S1 S0 0
S2: begin	
Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?	S2 S0 S0 S2 1
□ 9 □ 10	Nella rete sequenziale asincrona descritta dalla tabella
	di figura la codifica S0=00, S1=10, S2=01, introduce
□ Nessuna delle precedenti	corse delle variabili di stato.
Tressula delle precedenti	□ Vero
Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero:	□ Falso
☐ Contemporaneamente alla stabilizzazione degli	$x \cdot y + x \cdot y + x \cdot y + x \cdot y =$
ingressi a_{19} _ a_0	\Box x
Dopo la stabilizzazione degli ingressi a_{19} _ a_0	\Box 1
\Box Prima della stabilizzazione degli ingressi $a_{19}_a_0$	\Box 0
☐ Non è importante, tanto funziona comunque	\Box y
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante: $\begin{array}{cccccccccccccccccccccccccccccccccccc$	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene: ☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella
☐ t+T _{propagation}	descrizione Verilog dell'hardware stesso
Nessuna delle precedenti	Lasciato inalterato senza essere salvato
= 1.000 and processing	 Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:	□ Nessuna delle precedenti
\Box eoc=1	Sia dato un latch SR implementato a porte NAND, ini-
□ eoc=0	zializzato a 1 al reset asincrono. La sequenza di ingres-
\square soc=1	si, fornita nel rispetto dei vincoli di temporizzazione, è
\square soc=0	sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla
Alla fine della fase di chiamata (o fetch, o prelievo) il	fine?
registro IP contiene di norma l'indirizzo:	
☐ Della prossima istruzione da eseguire, ammesso	
che il flusso del programma prosegua in sequenza	 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente
☐ Dell'ultima istruzione eseguita per intero	Oscilia continuamente
☐ Dell'istruzione la cui fase di esecuzione sta per iniziare	Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno
□ Nessuna delle precedenti	n-1 stati interni
	n stati interni
	n+1 stati interni
	□ Nessuna delle precedenti

A	Domande di Reti Logiche – compito del 6/6/2017					
	Cognome e no					
	Matı	ricola:		<u>-</u>		
		Consegna:	Sì 🗌	No		