Domande di Reti Logiche – compito del 11/09/2018



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

La realizzazione in forma minima SP e quella in forma mi-	reg [3:0] WAIT;				
nima PS della stessa legge combinatoria z	[] S0: begin WAIT<=10; [] end				
☐ Hanno lo stesso costo a porte e a diodi	S1: begin WAIT<=10, [] end S1: begin WAIT<=WAIT-1; [] end				
☐ Hanno lo stesso costo a porte	S2: begin WAIT<=WAIT-1; [] end				
Presentano alee in corrispondenza delle stesse transi-	S3: begin WAIT<=8; []; end				
zioni di ingresso	S4: begin []; end				
□ Nessuna delle precedenti	21 20 <u>311 []</u> , 3114				
In un sommatore, il circuito di lookahead accelera la produ-	Nel frammento di descrizione soprastante sono riportati tut-				
zione del risultato	ti gli stati interni di una RSS e, per ciascuno, le sole mi-				
□ Soltanto se si sommano naturali	crooperazioni riguardanti il registro WAIT. In una sintesi				
☐ Soltanto se si sommano rappresentazioni di interi	PO/PC, il numero di variabili di comando necessarie per il				
□ Soltanto se si sommano rappresentazioni di interi posi-	registro WAIT sarà.				
tivi	\Box 1				
□ Nessuna delle precedenti	\Box 2				
1 vossum dene precedent					
La rappresentazione del numero intero -4 su due cifre in	□ Non è possibile dirlo				
base 10 in complemento alla radice, codificate BCD, è:					
□ 1111 011 0	A B C D				
□ 1001 0110	/dav				
□ 1111 1001	rfd \				
☐ Nessuna delle precedenti					
-	In un handshake come quello riportato sopra, il produttore				
$ -36 _{7} =$	può modificare il proprio dato				
□ -1	□ Solo nell'intervallo A				
	□ Negli intervalli B, C, D				
\Box $ 13 _7$	□ Solo negli intervalli C, D				
□ 7	□ Nessuna delle precedenti				
□ Nessuna delle precedenti	•				
	Quando il processore accetta una richiesta di interruzione, il				
In una rete sequenziale asincrona, la presenza di alee essen-	registro dei flag F viene:				
ziali dipende	☐ Salvato nella pila da una istruzione PUSH inserita nel				
dalla codifica scelta per gli stati interni	sottoprogramma di servizio				
dal modello di sintesi della rete combinatoria che ge-	☐ Salvato automaticamente dall'hardware del processore				
nera il nuovo stato interno (ad esempio, SP o PS)	in accordo alle specifiche previste nella descrizione				
dall'inizializzazione al reset	Verilog dell'hardware stesso				
□ Nessuna delle precedenti	Lasciato inalterato senza essere salvato				
	□ Nessuna delle precedenti				
Se la rete combinatoria che produce il nuovo stato di una	Ti di ii " diti				
rete sequenziale sincronizzata è soggetta ad alee,	La generazione di una interruzione per "codice operativo				
l'evoluzione della rete non è prevedibile	non valido" viene provocata: □ Durante la fase di esecuzione				
□ Vero					
□ Falso	☐ Durante la fase di chiamata				
	☐ Durante l'esecuzione di un apposito microsottoprogramma di lettura in memoria				
	· ·				
	□ Nessuna delle precedenti				

Domande	di Reti Logiche	– compito del 13	1/09/2018	
Cognome e nome: _				
Matricola:				
▼	nsegna:	Sì	No	

Domande di Reti Logiche - compito del 11/09/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

La realizzazione in forma minima SP e quella in forma mi-	reg [3:0] WAIT;				
nima PS della stessa legge combinatoria z	[]				
☐ Hanno lo stesso costo a porte e a diodi	S0: begin WAIT<=10; [] end				
☐ Hanno lo stesso costo a porte	S1: begin WAIT<=WAIT-1; [] end				
☐ Presentano alee in corrispondenza delle stesse transi-	S2: begin WAIT<=WAIT-1; [] end				
zioni di ingresso	S3: begin WAIT<=8; []; end				
□ Nessuna delle precedenti	S4: begin []; end				
In un sommatore, il circuito di lookahead accelera la produ-	Nel frammento di descrizione soprastante sono riportati tut-				
zione del risultato	ti gli stati interni di una RSS e, per ciascuno, le sole mi-				
□ Soltanto se si sommano naturali	crooperazioni riguardanti il registro WAIT. In una sintesi				
☐ Soltanto se si sommano rappresentazioni di interi	PO/PC, il numero di variabili di comando necessarie per il				
□ Soltanto se si sommano rappresentazioni di interi posi-	registro WAIT sarà.				
tivi					
□ Nessuna delle precedenti	\square 2				
1 Nessuna dene precedenti					
La rappresentazione del numero intero -4 su due cifre in	□ Non è possibile dirlo				
base 10 in complemento alla radice, codificate BCD, è:					
□ 1111 0110	A B C D				
□ 1001 0110	/dav				
□ 1111 1001					
□ Nessuna delle precedenti	rfd				
1 Nessuna dene precedenti	In un handshaka coma qualla riportata sopra il produttora				
24 _	In un handshake come quello riportato sopra, il produttore può modificare il proprio dato				
$ -36 _{7} =$	Solo nell'intervallo A				
□ -1					
\Box $ 13 _7$	□ Negli intervalli B, C, D				
□ 7	□ Solo negli intervalli C, D				
□ Nessuna delle precedenti	☐ Nessuna delle precedenti				
Tressant delle precedenti	Quando il progossoro aggetto una richiasta di interruzione il				
In una rete sequenziale asincrona, la presenza di alee essen-	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:				
ziali dipende	The state of the s				
□ dalla codifica scelta per gli stati interni	☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio				
dal modello di sintesi della rete combinatoria che ge-					
nera il nuovo stato interno (ad esempio, SP o PS)	<u>-</u>				
dall'inizializzazione al reset	in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso				
□ Nessuna delle precedenti	Lasciato inalterato senza essere salvato				
1 vobbuna delle procedenti	□ Nessuna delle precedenti				
	1 Nessuna dene precedend				
Se la rete combinatoria che produce il nuovo stato di una	La generazione di una interruzione per "codice operativo				
rete sequenziale sincronizzata è soggetta ad alee,	non valido" viene provocata:				
l'evoluzione della rete non è prevedibile	☐ Durante la fase di esecuzione				
□ Vero	☐ Durante la fase di chiamata				
□ Falso	☐ Durante l'esecuzione di un apposito microsottopro-				
	gramma di lettura in memoria				
	□ Nessuna delle precedenti				

Do	mande di Reti Logiche	– compito de	el 11/09/2018	
	me:			
Matr	icola:			
	Consegna:			

Domande di Reti Logiche - compito del 11/09/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

[] S0: begin WAIT<=10;				
DO DOSIN MILL 1 TO	[]end			
S1: begin WAIT<=WAIT-1; [] end				
S2: begin WAIT<=WAIT-1; [] end				
S3: begin WAIT<=8;				
S4: begin []; end				
registro WAIT sarà.				
□ 1				
\square 2				
□ 3				
□ Non è possibile dirlo				
r				
Ι Δ Ι	R		D	
	Ь			
rfd		-J		
		ora, il p	produttore	
_				
☐ Nessuna delle preceder	nti			
	a una richiesta o	li interi	ruzione, il	
registro dei flag F viene:				
☐ Salvato nella pila da u		USH in	nserita nel	
sottoprogramma di ser	vizio			
sottoprogramma di ser Salvato automaticamen	vizio nte dall'hardwa	re del p	processore	
sottoprogramma di ser Salvato automaticamer in accordo alle specif	vizio nte dall'hardwa fiche previste r	re del p	processore	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware	vizio nte dall'hardwa fiche previste r stesso	re del p nella de	processore	
sottoprogramma di ser Salvato automaticamer in accordo alle specif	vizio nte dall'hardwa fiche previste r stesso	re del p nella de	processore	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen	vizio nte dall'hardwa fiche previste 1 stesso za essere salvato	re del p nella de	processore	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder	vizio nte dall'hardwa fiche previste r stesso za essere salvat nti	re del p nella de	processore escrizione	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e	re del p nella de	processore escrizione	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "6 :	re del p nella de	processore escrizione	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione	re del p nella de	processore escrizione	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam	vizio nte dall'hardwan fiche previste n stesso za essere salvate nti erruzione per "e zione ata	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di gramma di lettura in mer	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic moria	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic moria	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di gramma di lettura in mer	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic moria	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di gramma di lettura in mer	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic moria	re del p nella do o codice	orocessore escrizione operativo	
sottoprogramma di ser Salvato automaticamer in accordo alle specif Verilog dell'hardware Lasciato inalterato sen: Nessuna delle preceder La generazione di una inte non valido" viene provocata Durante la fase di esecuz Durante la fase di chiam Durante l'esecuzione di gramma di lettura in mer	vizio nte dall'hardwar fiche previste r stesso za essere salvate nti erruzione per "e zione ata un apposito mic moria	re del p nella do o codice	orocessore escrizione operativo	
	Nel frammento di descrizion ti gli stati interni di una RSS crooperazioni riguardanti il PO/PC, il numero di variabi registro WAIT sarà. 1 2 3 Non è possibile dirlo /dav rfd In un handshake come quel può modificare il proprio da Solo nell'intervallo A Negli intervalli B, C, I Solo negli intervalli C, Nessuna delle preceder Quando il processore accett	Nel frammento di descrizione soprastante se ti gli stati interni di una RSS e, per ciascuno crooperazioni riguardanti il registro WAIT. PO/PC, il numero di variabili di comando n registro WAIT sarà. 1	Nel frammento di descrizione soprastante sono rip ti gli stati interni di una RSS e, per ciascuno, le sol crooperazioni riguardanti il registro WAIT. In una PO/PC, il numero di variabili di comando necessar registro WAIT sarà. 1	

	Dor	nande di Reti Logiche	– compito de	el 11/09/2018		
Cognome e nome:						
	Matricola:					
		Consegna:	Sì	No		

Domande di Reti Logiche - compito del 11/09/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

La realizzazione in forma minima SP e quella in forma mi-	reg [3:0] WAIT	7;			
nima PS della stessa legge combinatoria z	[] S0: begin WAIT<=10; [] end				
☐ Hanno lo stesso costo a porte e a diodi☐ Hanno lo stesso costo a porte	S1: begin WAIT<=WAIT-1; [] end				
 ☐ Hanno lo stesso costo a porte ☐ Presentano alee in corrispondenza delle stesse transi- 	S2: begin WAIT<=WAIT-1; [] end				
zioni di ingresso	S3: begin WAIT<=8; []; end				
□ Nessuna delle precedenti	S4: begin []; end				
Nessuna delle precedenti	<u> </u>				
In un sommatore, il circuito di lookahead accelera la produ-	Nel frammento di de				
zione del risultato	ti gli stati interni di u				
☐ Soltanto se si sommano naturali	crooperazioni riguardanti il registro WAIT. In una sintesi PO/PC, il numero di variabili di comando necessarie per				
☐ Soltanto se si sommano rappresentazioni di interi		variabili	di comando	necessarie	e per 11
☐ Soltanto se si sommano rappresentazioni di interi posi-	registro WAIT sarà.				
tivi					
☐ Nessuna delle precedenti					
1	□ 3 = 33				
La rappresentazione del numero intero -4 su due cifre in	□ Non è possibile	dirlo			
base 10 in complemento alla radice, codificate BCD, è:					_
□ 1111 0110		Α	В	C	D
□ 1001 0110	/dav	\			
□ 1111 1001	rfd				
☐ Nessuna delle precedenti	110				
•	In un handshake con	me quello	o riportato so	pra, il pr	oduttore
$ -36 _{7} =$	può modificare il pro				
□ -1	☐ Solo nell'interv	allo A			
	☐ Negli intervalli	B, C, D			
\Box $ 13 _7$	☐ Solo negli inter)		
	☐ Nessuna delle p				
☐ Nessuna delle precedenti	1				
	Quando il processore	e accetta	una richiesta	di interru	ızione, il
In una rete sequenziale asincrona, la presenza di alee essen-	registro dei flag F vi	ene:			
ziali dipende	☐ Salvato nella p	ila da un	a istruzione l	PUSH ins	erita nel
□ dalla codifica scelta per gli stati interni	sottoprogramm	a di servi	zio		
dal modello di sintesi della rete combinatoria che ge-	☐ Salvato automa	iticament	e dall'hardwa	are del pr	ocessore
nera il nuovo stato interno (ad esempio, SP o PS)	in accordo alle			nella des	scrizione
☐ dall'inizializzazione al reset	Verilog dell'ha				
☐ Nessuna delle precedenti	 Lasciato inalter 	ato senza	a essere salva	to	
	☐ Nessuna delle p	precedent	i		
G. 1					
Se la rete combinatoria che produce il nuovo stato di una	La generazione di u		ruzione per '	'codice o	perativo
rete sequenziale sincronizzata è soggetta ad alee, l'evoluzione della rete non è prevedibile	non valido" viene pr				
÷	☐ Durante la fase d				
□ Vero	☐ Durante la fase d				
□ Falso	☐ Durante l'esecuz			crosottop	ro-
	gramma di lettura		oria		
	☐ Nessuna delle pro	ecedenti			

A	Domande	di Reti Logiche	– compito del 1	11/09/2018			
	Cognome e nome:						
	Matricola: _						
	Cor	nsegna:	Sì	No			
							-