

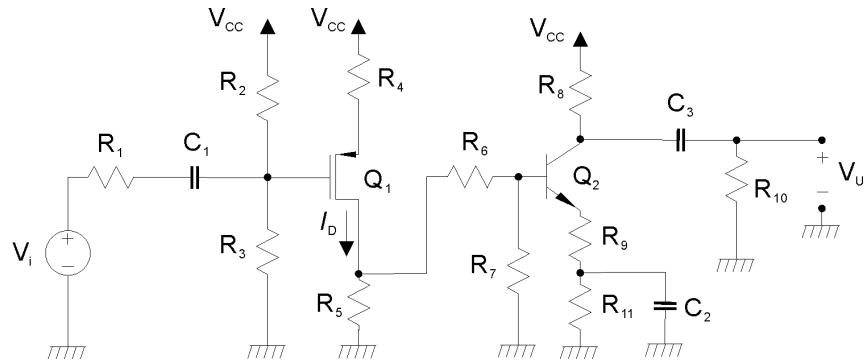
ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta 08 gennaio 2013

Esercizio A

$R_1 = 1 \text{ k}\Omega$	$R_9 = 200 \Omega$
$R_2 + R_3 = 20 \text{ k}\Omega$	$R_{10} = 100 \text{ k}\Omega$
$R_4 = 2.5 \text{ k}\Omega$	$R_{11} = 2.3 \text{ k}\Omega$
$R_5 = 5 \text{ k}\Omega$	$C_1 = 10 \text{ nF}$
$R_6 = 1 \text{ k}\Omega$	$C_2 = 1 \mu\text{F}$
$R_7 = 5 \text{ k}\Omega$	$C_3 = 100 \text{ pF}$
$R_8 = 4 \text{ k}\Omega$	$V_{CC} = 18 \text{ V}$



Q_1 è un transistor MOS a canale p resistivo, con la corrente di drain in saturazione data da $I_D = k(V_{GS} - V_T)^2$ con $k = 0.25 \text{ mA/V}^2$ e $V_T = -1 \text{ V}$. Q_2 è un transistor BJT BC109B resistivo con $h_{re} = h_{oe} = 0$.

Con riferimento al circuito in figura:

- 1) Calcolare il valore delle resistenze R_2 e R_3 in modo che, in condizioni di riposo, la tensione del collettore di Q_2 sia 10 V. Si ipotizzi di trascurare la corrente di base di Q_2 rispetto alla corrente che scorre nella resistenza R_7 . Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q_1 . (R: $R_2 = 11597 \Omega$; $R_3 = 8403 \Omega$)
- 2) Determinare V_U/V_i alle frequenze per le quali C_1 , C_2 e C_3 possono essere considerati dei corto circuiti. (R: $V_U/V_i = 10.259$)
- 3) **(Solo per 12 CFU)** Determinare la funzione di trasferimento V_U/V_i e tracciarne il diagramma di Bode quotato asintotico del modulo. (R: $f_{z1} = 0 \text{ Hz}$; $f_{p1} = 2710.18 \text{ Hz}$; $f_{z2} = 69.20 \text{ Hz}$; $f_{p2} = 776.53 \text{ Hz}$; $f_{z3} = 0 \text{ Hz}$; $f_{p3} = 15303.36 \text{ Hz}$)

Esercizio B

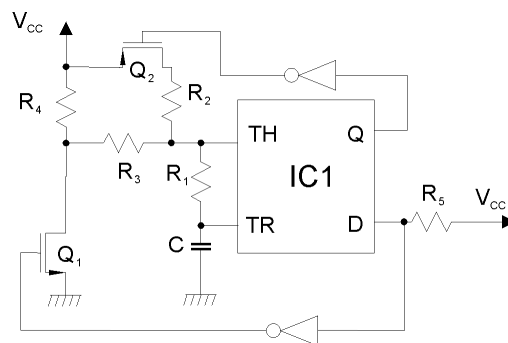
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = (A + B)(\overline{D}(\overline{AC})) + (\overline{C} + D)(\overline{AB} + \overline{DA})$$

Determinare il numero minimo di transistori necessari e disegnare lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p . Si specifichino i dettagli della procedura di dimensionamento dei transistori.

Esercizio C

$R_1 = 500 \Omega$	$R_4 = 1 \text{ k}\Omega$
$R_2 = 1 \text{ k}\Omega$	$R_5 = 1 \text{ k}\Omega$
$R_3 = 1 \text{ k}\Omega$	$C = 1 \mu\text{F}$
$V_{CC} = 5 \text{ V}$	



Il circuito IC_1 è un NE555 alimentato a $V_{CC} = 5 \text{ V}$, Q_1 ha una $R_{on} = 0$ e $V_T = 1 \text{ V}$, Q_2 ha una $R_{on} = 0$ e $V_T = -1 \text{ V}$ e gli inverter sono ideali. Determinare la frequenza del segnale di uscita del multivibratore. (R: $f = 2038.67 \text{ Hz}$).