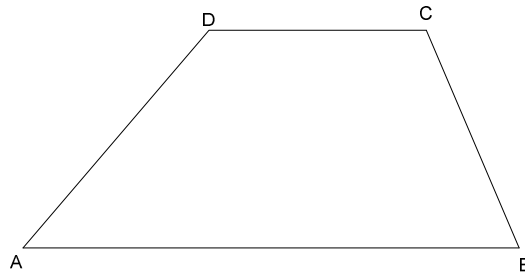


### Esercizio 1

Sia dato un piano cartesiano a coordinate intere, sul quale insistono quattro punti A,B,C,D, che individuano i vertici di un trapezio, disposti come in figura. Sintetizzare la rete che prende in ingresso le coordinate dei punti, rappresentate su  $n$  bit in complemento alla radice, e produce in uscita:

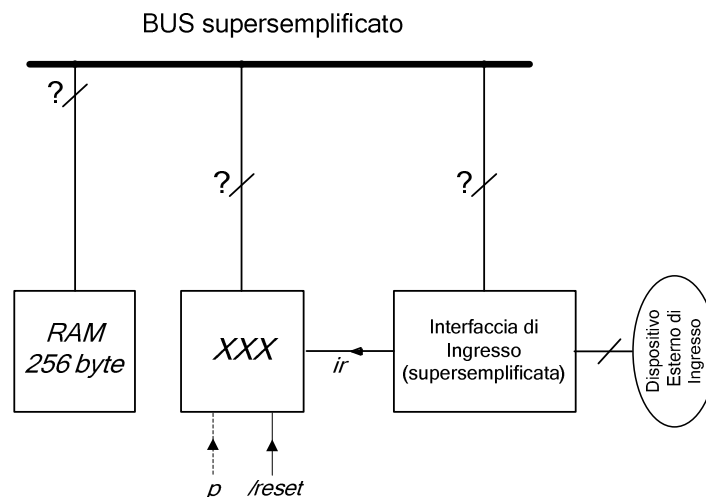
- i) l'area del trapezio, sotto le ipotesi che il medesimo abbia le basi AB e CD parallele all'asse delle ascisse;
- ii) un flag *error* che vale 1 quando l'ipotesi di sopra non è verificata, e 0 altrimenti

Sintetizzare qualunque rete non descritta esplicitamente a lezione.



### Esercizio 2

L'Unità XXX, che gestisce una interfaccia di ingresso e una RAM da 256 byte, si evolve come segue: i) effettua due prelievi di un byte ciascuno dall'interfaccia di ingresso; ii) interpreta il primo byte prelevato come un indirizzo ed il secondo come un dato e scrive il secondo byte nella RAM all'indirizzo specificato dal primo byte; iii) ripete questi prelievi e queste scritture per 1024 volte, poi si ferma.



L'interfaccia di ingresso è una versione estremamente semplificata dell'interfaccia con handshake vista a lezione, in quanto è gestibile esclusivamente ad interruzione di programma ed è sempre abilitata sia ad essere letta sia ad interrompere. Il tempo di risposta delle reti interne all'interfaccia è molto molto minore di un ciclo del clock.

L'Unità XXX non è un processore e quindi non ha spazi di memoria e/o spazi di I/O

Ciò premesso,

- 1) Si disegni l'interfaccia semplificata, e si specifichino le (poche) connessioni con l'Unità XXX
- 2) Si descriva e si sintetizzi l'Unità XXX.