



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

I circuiti ad un livello di logica sono esenti da alee

- ☐ Del primo ordine
- ☐ Di qualunque ordine
- ☐ Nessuna delle precedenti

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- ☐ a
- ☐ 1
- ☐ 0
- ☐ b

Nella divisione tra due interi a (dividendo) e b (divisore), la condizione che garantisce che il risultato (quoziente q e resto r) sia unico è

- ☐ $0 \leq r < b$
- ☐ $\text{abs}(r) < \text{abs}(b)$
- ☐ $\text{abs}(r) < \text{abs}(b)$, $\text{sgn}(r) = \text{sgn}(a)$
- ☐ $\text{abs}(r) > \text{abs}(b)$

Sia $X=8932$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- ☐ positivo, rappresentabile anche su tre cifre
- ☐ positivo, ma non rappresentabile su tre cifre
- ☐ negativo, rappresentabile anche su tre cifre
- ☐ negativo, ma non rappresentabile su tre cifre

Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit:

- ☐ 0000 0000
- ☐ 1000 0000
- ☐ 1111 1111
- ☐ Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ n stati interni
- ☐ $n+1$ stati interni
- ☐ $n-1$ stati interni
- ☐ Nessuna delle precedenti

x_1x_0	00	01	11	10	z
s_0	s_0	s_1	s_1	s_0	0
s_1	s_0	s_1	s_2	--	0
s_2	s_2	s_2	s_3	s_2	0
s_3	s_0	--	s_0	s_3	1

Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete:

- ☐ Si stabilizza sempre, al più dopo una transizione di stato
- ☐ Si stabilizza sempre, al più dopo due transizioni di stato
- ☐ Si stabilizza sempre, al più dopo tre transizioni di stato
- ☐ Può oscillare all'infinito

Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è $sr=10, 11, 00, 01, 00$.

Quanto vale l'uscita alla fine?

- ☐ 0
- ☐ 1
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

Quando accetta una richiesta di interruzione, il processore ricava il tipo dell'interruzione:

- ☐ eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore
- ☐ facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
- ☐ facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato durante il BIOS
- ☐ in nessuna delle precedenti modalità

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- ☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
- ☐ Lasciato inalterato senza essere salvato
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: SÌ ☐ No ☐

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

$$x_0 \cdot x_1 + \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} + \overline{x_0} \cdot \overline{x_1} =$$

- ☐ 0
☐ 1
☐ x_0
☐ x_1

Nella divisione tra due *naturali* X (dividendo) e Y (divisore), la condizione da imporre affinché il risultato (quoziente Q e resto R) sia unico è

- ☐ $R < Y$
☐ $\text{abs}(R) < \text{abs}(X)$, $\text{sgn}(R) = \text{sgn}(X)$
☐ $\text{abs}(R) < \text{abs}(X)$
☐ Nessuna delle precedenti

Quando accetta una richiesta di interruzione, il processore ricava il tipo dell'interruzione:

- ☐ facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
☐ facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato durante il BIOS
☐ eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore
☐ in nessuna delle precedenti modalità

Sia $X=9832$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- ☐ positivo, rappresentabile anche su tre cifre
☐ positivo, ma non rappresentabile su tre cifre
☐ negativo, rappresentabile anche su tre cifre
☐ negativo, ma non rappresentabile su tre cifre

Dato un convertitore A/D binario bipolare a 8 bit, la tensione massima è convertita nella stringa di bit:

- ☐ 0111 1111
☐ 1000 0000
☐ 1111 1111
☐ Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Moore ha almeno

- ☐ n stati interni
☐ $n+1$ stati interni
☐ $n-1$ stati interni
☐ Nessuna delle precedenti

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Lasciato inalterato senza essere salvato
☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
☐ Nessuna delle precedenti

x_1x_0	00	01	11	10	z
s0	S0	S1	S1	S0	0
s1	S0	S1	S1	S2	0
s2	S2	S2	S3	S2	0
s3	S0	--	S0	S3	1

Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete:

- ☐ Si stabilizza sempre, al più dopo una transizione di stato
☐ Si stabilizza sempre, al più dopo due transizioni di stato
☐ Si stabilizza sempre, al più dopo tre transizioni di stato
☐ Può oscillare all'infinito

Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è $sr=10, 10, 00, 11, 00$. Quanto vale l'uscita alla fine?

- ☐ 0
☐ 1
☐ Un valore casuale non prevedibile a priori
☐ Oscilla continuamente

I circuiti a due livelli di logica sono esenti da alee

- ☐ Del primo ordine
☐ Di qualunque ordine
☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è $sr=10, 11, 00, 01, 00$. Quanto vale l'uscita alla fine?

- ☐ 0
- ☐ 1
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- ☐ a
- ☐ b
- ☐ 1
- ☐ 0

X_1X_0	00	01	11	10	z
s_0	S0	S1	S1	S0	0
s_1	S0	S1	S2	--	0
s_2	S2	S2	S3	S2	0
s_3	S0	--	S0	S3	1

Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete:

- ☐ Si stabilizza sempre, al più dopo tre transizioni di stato
- ☐ Si stabilizza sempre, al più dopo due transizioni di stato
- ☐ Si stabilizza sempre, al più dopo una transizione di stato
- ☐ Può oscillare all'infinito

Sia $X=8932$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- ☐ positivo, rappresentabile anche su tre cifre
- ☐ positivo, ma non rappresentabile su tre cifre
- ☐ negativo, rappresentabile anche su tre cifre
- ☐ negativo, ma non rappresentabile su tre cifre

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ $n-1$ stati interni
- ☐ n stati interni
- ☐ $n+1$ stati interni
- ☐ Nessuna delle precedenti

I circuiti ad un livello di logica sono esenti da alee

- ☐ Di qualunque ordine
- ☐ Del primo ordine
- ☐ Nessuna delle precedenti

Quando accetta una richiesta di interruzione, il processore ricava il tipo dell'interruzione:

- ☐ eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore
- ☐ facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
- ☐ facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato durante il BIOS
- ☐ in nessuna delle precedenti modalità

Nella divisione tra due interi a (dividendo) e b (divisore), la condizione che garantisce che il risultato (quoziente q e resto r) sia unico è

- ☐ $abs(r) > abs(b)$
- ☐ $abs(r) < abs(b)$
- ☐ $abs(r) < abs(b)$, $sgn(r) = sgn(a)$
- ☐ $0 \leq r < b$

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- ☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
- ☐ Lasciato inalterato senza essere salvato
- ☐ Nessuna delle precedenti

Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit:

- ☐ 1111 1111
- ☐ 1000 0000
- ☐ 0000 0000
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

$$x_0 \cdot x_1 + \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} + \overline{x_0} \cdot \overline{x_1} =$$

- ☐ x_1
☐ x_0
☐ 0
☐ 1

Nella divisione tra due *naturali* X (dividendo) e Y (divisore), la condizione da imporre affinché il risultato (quoziente Q e resto R) sia unico è

- ☐ $\text{abs}(R) < \text{abs}(X)$, $\text{sgn}(R) = \text{sgn}(X)$
☐ $\text{abs}(R) < \text{abs}(X)$
☐ $R < Y$
☐ Nessuna delle precedenti

Quando accetta una richiesta di interruzione, il processore ricava il tipo dell'interruzione:

- ☐ facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
☐ facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato durante il BIOS
☐ eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore
☐ in nessuna delle precedenti modalità

Sia $X=9832$ la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero

- ☐ negativo, rappresentabile anche su tre cifre
☐ negativo, ma non rappresentabile su tre cifre
☐ positivo, rappresentabile anche su tre cifre
☐ positivo, ma non rappresentabile su tre cifre

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Moore ha almeno

- ☐ n stati interni
☐ $n+1$ stati interni
☐ $n-1$ stati interni
☐ Nessuna delle precedenti

Dato un convertitore A/D binario bipolare a 8 bit, la tensione massima è convertita nella stringa di bit:

- ☐ 0111 1111
☐ 1111 1111
☐ 1000 0000
☐ Nessuna delle precedenti

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Lasciato inalterato senza essere salvato
☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
☐ Nessuna delle precedenti

x_1x_0	00	01	11	10	z
s0	S0	S1	S1	S0	0
s1	S0	S1	S1	S2	0
s2	S2	S2	S3	S2	0
s3	S0	--	S0	S3	1

Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete:

- ☐ Si stabilizza sempre, al più dopo una transizione di stato
☐ Si stabilizza sempre, al più dopo due transizioni di stato
☐ Si stabilizza sempre, al più dopo tre transizioni di stato
☐ Può oscillare all'infinito

Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è $sr=10, 10, 00, 11, 00$. Quanto vale l'uscita alla fine?

- ☐ Un valore casuale non prevedibile a priori
☐ Oscilla continuamente
☐ 0
☐ 1

I circuiti a due livelli di logica sono esenti da alee

- ☐ Del primo ordine
☐ Di qualunque ordine
☐ Nessuna delle precedenti

Cognome e nome: _____

Matricola: _____



Consegna: Sì ☐ No ☐
