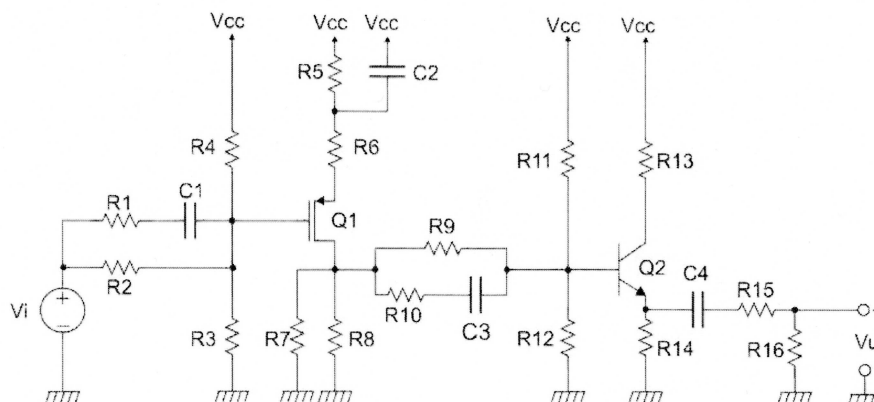


# ELETTRONICA DIGITALE

## Corso di Laurea in Ingegneria Informatica

Prova scritta del 03 luglio 2023

### Esercizio A



R1 = 5 kΩ	R2 = 5 kΩ	R3 = 20 kΩ	R4 = 2 kΩ	R6 = 50 Ω	R7 = 20 kΩ	R8 = 20 kΩ	R9 = 500 Ω
R10 = 500 Ω	R11 = 83 kΩ	R12 = 250 kΩ	R13 = 2 kΩ	R14 = 4.5 kΩ	R15 = 500 Ω	R16 = 500 Ω	VCC = 18 V

Q1 è un transistor MOS a canale p resistivo con  $V_T = -1$  V e la corrente di drain in saturazione è data da  $I_D = k(V_{GS} - V_T)^2$  con  $k = 0.5$  mA/V<sup>2</sup>; Q2 è un transistor BJT BC109B resistivo con  $h_{re} = h_{oc} = 0$ .

Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R5 in modo che, in condizioni di riposo, la tensione sul collettore di Q2 sia 14 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q1.
- 2) Determinare l'espressione e il valore di  $V_U/V_i$  alle frequenze per le quali C1, C2, C3 e C4 possono essere considerati dei corto circuiti.  **$R5 = 3946,71 \Omega$   $V_U/V_i = -2,168$**

### Esercizio B

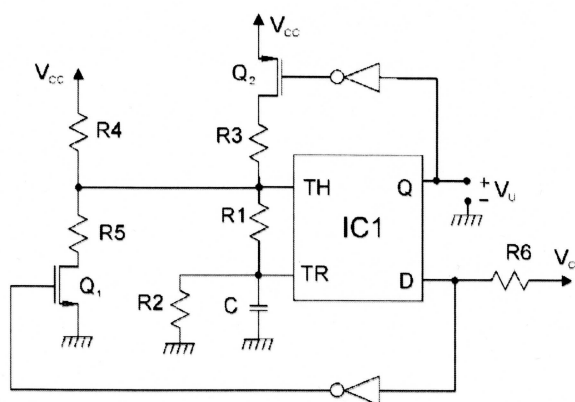
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \bar{A}(\bar{B}E + \bar{C}\bar{D}) + C\bar{E}$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale *n* e pari a 5 per quello a canale *p*. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

### Esercizio C

R1 = 150 Ω	R5 = 125 Ω
R2 = 2.6 kΩ	R6 = 1 kΩ
R3 = 500 Ω	C = 47 nF
R4 = 500 Ω	VCC = 6 V



Il circuito IC<sub>1</sub> è un NE555 alimentato a VCC = 6 V; Q1 ha R<sub>on</sub> = 0 e V<sub>Tn</sub> = 1V; Q2 ha R<sub>on</sub> = 0 e V<sub>Tp</sub> = -1V; gli inverter sono ideali. Verificare che il circuito si comporta come un multivibratore astabile e determinare la frequenza del segnale di uscita. **f = 87135 Hz**