



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se prendo un circuito in forma SP a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:

- ☐ Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso
- ☐ Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso
- ☐ **Un circuito che riconosce un insieme diverso di stati di ingresso**
- ☐ Nessuna delle precedenti

Una rete a due livelli di logica la cui uscita è presa da una porta XNOR

- ☐ Può essere soggetta ad alee statiche del primo ordine soltanto sul livello 0
- ☐ Può essere soggetta ad AS 1° ordine soltanto sul livello 1
- ☐ **Può essere soggetta ad AS 1° ordine su entrambi i livelli**
- ☐ Nessuna delle precedenti

Dato un sommatore a 1 cifra in base 3 il cui stato di ingresso è $x=10$, $y=01$ $C_{in}=0$, lo stato di uscita è:

- ☐ $C_{out}=0$, $S=11$
- ☐ **$C_{out}=1$, $S=00$**
- ☐ $C_{out}=1$, $S=11$
- ☐ Nessuna delle precedenti

La sequenza di bit 10010111 rappresenta:

- ☐ Un numero intero negativo in base 2
- ☐ Un numero intero negativo in base 16
- ☐ Un numero naturale in base 10 e codifica BCD
- ☐ **Qualunque delle precedenti**

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 11, 01, 00$. Quanto vale l'uscita q alla fine?

- ☐ **0**
- ☐ 1
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \dots, X(N)$ distinti, tale che $X(j)$ è adiacente ad $X(j+1)$.

- ☐ **Vero**
- ☐ Falso

```
reg [3:0] RR;
[...]
S0: begin RR<=0; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- ☐ 10
- ☐ **11**
- ☐ 9
- ☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- ☐ t
- ☐ $t+T_{\text{propagation}}$
- ☐ $t+T_{\text{hold}}$
- ☐ **Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- ☐ $soc=1$
- ☐ $soc=0$
- ☐ **$eoc=1$**
- ☐ $eoc=0$

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una rete a due livelli di logica la cui uscita è presa da una porta XOR

- ☐ **Può essere soggetta ad alee statiche del primo ordine su entrambi i livelli**
- ☐ Può essere soggetta ad AS 1° ordine soltanto sul livello 1
- ☐ Può essere soggetta ad AS 1° ordine soltanto sul livello 0
- ☐ Nessuna delle precedenti

reg [3:0] RR;

[...]

S0: begin RR<=10; STAR<=S1; end

S1: begin RR<=RR-1;

STAR<=(RR==0)?S2:S1; end

S2: begin ...

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- ☐ 0
- ☐ **15**
- ☐ 7
- ☐ Nessuna delle precedenti

Dato un sommatore a 1 cifra in base 4 il cui stato di ingresso è $x=10$, $y=01$ $C_{in}=0$, lo stato di uscita è:

- ☐ **Cout=0, S=11**
- ☐ Cout=1, S=00
- ☐ Cout=1, S=11
- ☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy Ritardato va a regime all'istante:

- ☐ t
- ☐ **$t+T_{\text{propagation}}$**
- ☐ $t+T_{\text{hold}}$
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'ultima istruzione eseguita per intero
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegue in sequenza**
- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ Nessuna delle precedenti

La sequenza di bit 01010111 rappresenta:

- ☐ Un numero intero in base 2
- ☐ Un numero naturale in base 2
- ☐ Un numero naturale in base 10 e codifica BCD
- ☐ **Qualunque delle precedenti**

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 11, 10, 00$. Quanto vale l'uscita q alla fine?

- ☐ 0
- ☐ **1**
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \dots, X(N)$ distinti.

- ☐ Vero
- ☐ **Falso**

Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:

- ☐ **Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso**
- ☐ Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso
- ☐ Un circuito che riconosce un insieme diverso di stati di ingresso
- ☐ Nessuna delle precedenti

Un consumatore che ha un handshake /dav-rfd con un produttore può prelevare il dato corretto quando:

- ☐ /dav=1, rfd=1
- ☐ /dav=1, rfd=0
- ☐ **/dav=0, rfd=1**
- ☐ /dav=0, rfd=0



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se prendo un circuito in forma SP a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NAND (senza cambiare i collegamenti) ottengo:

- ☐ **Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso**
- ☐ Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso
- ☐ Un circuito che riconosce un insieme diverso di stati di ingresso
- ☐ Nessuna delle precedenti

Una rete a due livelli di logica la cui uscita è presa da una porta NOR

- ☐ **Può essere soggetta ad alee statiche del primo ordine soltanto sul livello 0**
- ☐ Può essere soggetta ad AS 1° ordine soltanto sul livello 1
- ☐ Può essere soggetta ad AS 1° ordine su entrambi i livelli
- ☐ Nessuna delle precedenti

Dato un sommatore a 1 cifra in base 3 il cui stato di ingresso è $x=10, y=01, C_{in}=1$, lo stato di uscita è:

- ☐ $C_{out}=0, S=11$
- ☐ $C_{out}=1, S=00$
- ☐ $C_{out}=1, S=11$
- ☐ **Nessuna delle precedenti**

La sequenza di bit 10110111 rappresenta:

- ☐ Un numero intero positivo in base 4
- ☐ Un numero intero positivo in base 16
- ☐ Un numero naturale in base 10 e codifica BCD
- ☐ **Nessuna delle precedenti**

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 11, 01, 00$. Quanto vale l'uscita q alla fine?

- ☐ **0**
- ☐ 1
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \dots, X(N)$ distinti, tale che $X(j)$ è adiacente ad $X(j+1)$.

- ☐ **Vero**
- ☐ Falso

```
reg [3:0] RR;
[...]
S0: begin RR<=1; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, per quanti clock la rete resta in S1?

- ☐ **10**
- ☐ 11
- ☐ 9
- ☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime:

- ☐ All'istante t
- ☐ All'istante $t+T_{\text{propagation}}$
- ☐ **Un po' dopo $t+T_{\text{propagation}}$**
- ☐ Nessuna delle precedenti

Un produttore che ha un handshake soc/eoc con un consumatore deve tenere costante il proprio dato di uscita quando:

- ☐ **eoc=1**
- ☐ eoc=0
- ☐ soc=0
- ☐ soc=1

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una rete a due livelli di logica la cui uscita è presa da una porta NAND

- ☐ Può essere soggetta ad allee statiche del primo ordine su entrambi i livelli
- ☐ **Può essere soggetta ad AS 1° ordine soltanto sul livello 1**
- ☐ Può essere soggetta ad AS 1° ordine soltanto sul livello 0
- ☐ Nessuna delle precedenti

reg [3:0] RR;

[...]

S0: begin RR<=10; STAR<=S1; end

S1: begin RR<=RR-1;

STAR<=(RR==0)?S2:S1; end

S2: begin ...

Dato il pezzo di descrizione riportato sopra, per quanti clock la rete resta in S1?

- ☐ 10
- ☐ **11**
- ☐ 9
- ☐ Nessuna delle precedenti

Dato un sommatore a 1 cifra in base 4 il cui stato di ingresso è $x=10$, $y=01$ Cin=1, lo stato di uscita è:

- ☐ Cout=0, S=11
- ☐ **Cout=1, S=00**
- ☐ Cout=1, S=11
- ☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy Ritardato va a regime:

- ☐ All'istante t
- ☐ **All'istante $t+T_{\text{propagation}}$**
- ☐ Un po' dopo $t+T_{\text{propagation}}$
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'ultima istruzione eseguita per intero
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegue in sequenza**
- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ Nessuna delle precedenti

La sequenza di bit 10110111 rappresenta:

- ☐ **Un numero intero negativo in base 4**
- ☐ Un numero intero positivo in base 16
- ☐ Un numero naturale in base 10 e codifica BCD
- ☐ Nessuna delle precedenti

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 11, 10, 00$. Quanto vale l'uscita q alla fine?

- ☐ 0
- ☐ **1**
- ☐ Un valore casuale non prevedibile a priori
- ☐ Oscilla continuamente

Non è sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \dots, X(N)$ distinti.

- ☐ **Vero**
- ☐ Falso

Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:

- ☐ **Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso**
- ☐ Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso
- ☐ Un circuito che riconosce un insieme diverso di stati di ingresso
- ☐ Nessuna delle precedenti

Un produttore che ha un handshake /dav-rfd con un consumatore è tenuto a mantenere fermo il dato in uscita quando:

- ☐ /dav=0, rfd=0
- ☐ **/dav=0, rfd=1**
- ☐ /dav=1, rfd=0
- ☐ /dav=1, rfd=1



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐
