## **ELETTRONICA DIGITALE**

Corso di Laurea in Ingegneria Informatica

Prova scritta del 12 settembre 2017

## Esercizio A

$R_1 = 50 \ \Omega$ $R_2 = 153 \ k\Omega$ $R_4 = 1 \ k\Omega$	$R_{10} = 3 \text{ k}\Omega$ $R_{11} = 4 \text{ k}\Omega$ $R_{12} = 1 \text{ k}\Omega$	$V_{cc}$ $R_6$ $R_7$ $R_{10}$ $R_{10}$ $R_{10}$ $R_{10}$
$R_5 = 1.5 \text{ k}\Omega$ $R_6 = 3.2 \text{ k}\Omega$	$R_{13} = 20 \text{ k}\Omega$ $C_1 = 680 \text{ nF}$	$\begin{array}{c ccccccccccccccccccccccccccccccccccc$
$R_7 = 200 \Omega$	$C_2 = 47 \text{ nF}$	$V_1 \stackrel{+}{\longrightarrow} R_3 \stackrel{+}{\searrow} R_1 \qquad R_9 \stackrel{+}{\searrow} R_1 \qquad R_9 \stackrel{+}{\longrightarrow} R_1 \qquad R_1 \qquad R_1 \qquad R_1 \qquad R_1 \qquad R_2 \qquad R_1 \qquad R_1 \qquad R_2 \qquad R_2 \qquad R_3 \qquad R_4 \qquad R_4 \qquad R_4 \qquad R_4 \qquad R_4 \qquad R_4 \qquad R_5 $
$R_8=1.8\;k\Omega$	$C_3 = 560 \text{ pF}$	
$R_9 = 18 \text{ k}\Omega$	$V_{CC} = 18 \text{ V}$	- गांग तींच तींच

 $Q_1$  è un transistore BJT BC109B resistivo con  $h_{re} = h_{oe} = 0$ ;  $Q_2$  è un transistore MOS a canale p resistivo, con la corrente di drain in saturazione data da  $I_D = k(V_{GS} - V_T)^2$  con k = 0.5 mA/V<sup>2</sup> e  $V_T = -1$  V. Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza  $R_3$  in modo che, in condizioni di riposo, la tensione sul source di  $Q_2$  sia 12 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di  $Q_2$ . (R:  $R_3 = 29 \text{ k}\Omega$ )
- 2) Determinare l'espressione e il valore di  $V_U/V_i$  alle frequenze per le quali  $C_1$ ,  $C_2$ , e  $C_3$  possono essere considerati dei corto circuiti. (R:  $V_U/V_i$ =-2.1)
- 3) (<u>Solo per 12 CFU</u>) Determinare la funzione di trasferimento  $V_U/V_i$  e tracciarne il diagramma di Bode quotato asintotico del modulo. (R:  $f_{Z1}=0$  Hz,  $f_{p1}=10.34$  Hz,  $f_{Z2}=1881.26$  Hz,  $f_{p2}=2039.5$  Hz,  $f_{Z3}=0$  Hz,  $f_{p3}=13262.9$  Hz)

## Esercizio B

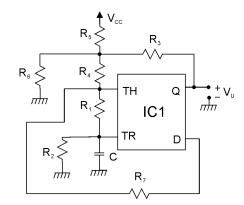
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \left(\overline{B} + \overline{CD}\right)\left(\overline{A}E + \overline{B}D\right) + \overline{CD}\left(\overline{A} + \overline{E}\right) + \overline{B}\ \overline{C}\ \overline{E} + \overline{A}\ B\ E$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori. (R: N=20)

## Esercizio C

$R_1 = 500 \Omega$	$R_6=4~k\Omega$
$R_2 = 6.5 \text{ k}\Omega$	$R_7 = 1 \text{ k}\Omega$
$R_3 = 2 \text{ k}\Omega$	C = 10  nF
$R_4 = 200 \Omega$	$V_{CC} = 6 \text{ V}$
$R_5 = 2 \text{ k}\Omega$	



Il circuito  $IC_1$  è un NE555 alimentato a  $V_{CC} = 6$  V. Determinare la frequenza del segnale di uscita del multivibratore in figura. (R: f = 32261.67 Hz)