

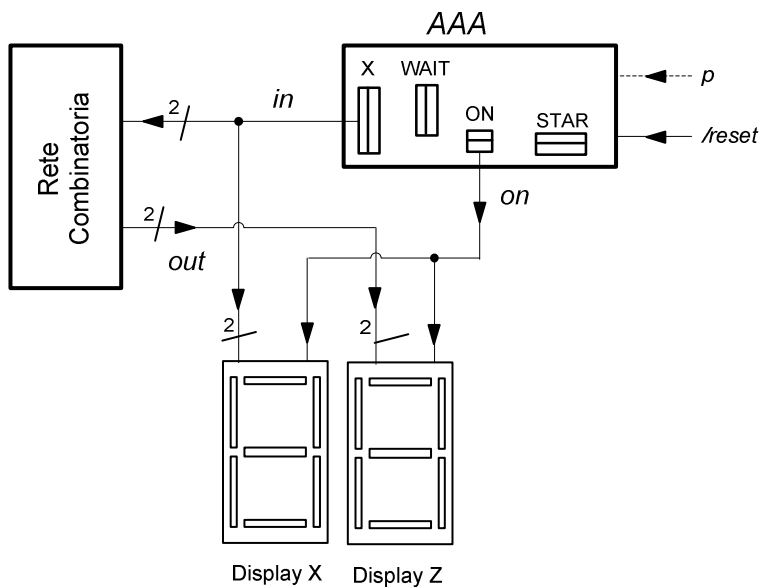
Esercizio 1

Con riferimento al FF D-positive-edge-triggered implementato come campionatore/ritardatore,

- 1) modificare la tabella del campionatore in modo che il FF campioni *sia* sul fronte di salita *sia* sul fronte di discesa di p .
- 2) sintetizzare il campionatore in forma SP.

Esercizio 2

Descrivere e sintetizzare l'Unità AAA che gestisce i due Display tenendoli spenti per parameter $T_{spento}=10$ cicli di clock, poi accendendoli in modo che vi compaia, per parameter $T_{acceso}=37$ cicli di clock, una opportuna *informazione*, e così via all'infinito.



Ogni informazione che AAA fa comparire sui due Display è costituita da 2 cifre: i) la cifra che compare sul Display X rappresenta uno degli stati di ingresso della rete combinatoria; ii) la cifra che compare sul Display Z rappresenta il corrispondente stato di uscita della rete combinatoria.

Completare il diagramma di temporizzazione supponendo che sia parameter $T_{spento}=2$ e parameter $T_{acceso}=3$ e che la rete combinatoria abbia la seguente tabella di verità:

in	out
00	11
01	10
10	00
11	01

Stante la semplicità dell'esercizio, il **non completamento** del diagramma o **la sua inesattezza** saranno considerati **errori gravi**, a prescindere da tutto il resto.

NOTA: Un display è acceso se on vale 1 e vi compare la cifra ottale 0 se riceve sugli altri ingressi 'B00, ..., la cifra 3 se riceve sugli altri ingressi 'B11

Esercizio 1 - Soluzione

La tabella di flusso, normale e priva di alee essenziali, è la seguente:

d \ p	p=0		P=1		z1 z0
	0	1	0	1	
s0	S0	S0	S1	S2	01
s1	S0	S3	S1	S1	01
s2	S0	S3	S2	S2	10
s3	S3	S3	S1	S2	10

Con riferimento ad un modello con elementi neutri di ritardo (nullo), adottando la codifica (priva di corse) S0=00, S1=01, S2=10, S3=11, si ottiene z1=a1, z0=/a1, quindi CN2 è un cortocircuito.

Per quanto riguarda CN1 abbiamo:

dp \ y1y0	a1a0			
	00	01	11	10
00	00	01	10	00
01	00	01	01	11
11	11	01	10	11
10	00	10	10	11

I sottocubi principali essenziali per ciascuna delle due variabili sono evidenziati nelle figure sottostanti. Per a1 si ha una sola lista di copertura di costo minimo, corrispondente a:

$$a_1 = d \cdot y_1 + d \cdot p \cdot \overline{y_0} + p \cdot y_1 \cdot \overline{y_0} + \overline{p} \cdot y_1 \cdot y_0 + d \cdot \overline{p} \cdot y_0$$

Per a0, si vede chiaramente come la seguente sintesi a costo minimo:

$$a_0 = \overline{d} \cdot y_1 \cdot y_0 + p \cdot y_1 \cdot \overline{y_0} + d \cdot \overline{p} \cdot y_1 + \overline{d} \cdot p \cdot \overline{y_1}$$

sia affetta da alee del 1° ordine. Pertanto, devono essere inseriti nuovamente anche i quattro implicanti semplicemente eliminabili che non sono parte della forma SP scritta sopra.

dp \ y1y0	a1			
	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	1	0	1	1
10	0	1	1	1

dp \ y1y0	a0			
	00	01	11	10
00	0	1	0	0
01	0	1	1	1
11	1	1	0	1
10	0	0	0	1

Esercizio 2 – Una possibile soluzione

```
module AAA(in,on,p,reset_);

    input          p,reset_;
    output          on;
    output [1:0] in;

    reg [1:0] X;      assign in=X;
    reg      ON;      assign on=ON;
    reg [5:0] WAIT;

    reg [1:0] STAR; parameter S0=0, S1=1, S2=2, S3=3;

    parameter T_spento=10, T_acceso=37;

    always @(posedge p or negedge reset_)
        if (reset_==0) begin STAR=S0; X=7; STAR=S0; end else #3
            casex (STAR)

                S0: begin X<= X+1; ON<=0; WAIT<=T_spento; STAR<=S1; end

                S1: begin WAIT<=WAIT-1; STAR<=(WAIT==2)?S2:S1; end

                S2: begin ON<=1; WAIT<=T_acceso; STAR<=S3; end

                S3: begin WAIT<=WAIT-1; STAR<=(WAIT==2)?S0:S3; end

            endcase

endmodule
```