

Barrare **una sola risposta** per ogni domanda

Se prendo un circuito in forma SP a due livelli di logica	reg [3:0] RR;
e sostituisco ciascuna porta AND e OR che lo compone	[]
con una porta NOR (senza cambiare i collegamenti)	S0: begin RR<=0; STAR<=S1; end
ottengo:	S1: begin RR<=RR+1;
☐ Un circuito a due livelli di logica che ricono-	STAR<=(RR==10)?S2:S1; end
sce gli stessi stati di ingresso	S2: begin
☐ Un circuito a più di due livelli di logica che ri-	
conosce gli stessi stati di ingresso	Dato il pezzo di descrizione riportato sopra, quanto va-
☐ Un circuito che riconosce un insieme diver-	le il contenuto del registro RR nello stato S2?
so di stati di ingresso	\Box 10
□ Nessuna delle precedenti	□ 11
1	\Box 9
Una rete a due livelli di logica la cui uscita è presa da	☐ Nessuna delle precedenti
una porta XNOR	•
☐ Può essere soggetta ad alee statiche del primo	Detto t l'istante in cui si ha il fronte di salita del clock,
ordine soltanto sul livello 0	l'uscita di una rete sequenziale sincronizzata di Moore
☐ Può essere soggetta ad AS 1° ordine soltanto	va a regime all'istante:
sul livello 1	\sqcap t
□ Può essere soggetta ad AS 1° ordine su en-	\Box t+T _{propagation}
trambi i livelli	\Box t+ T_{hold}
□ Nessuna delle precedenti	□ Nessuna delle precedenti
Dato un sommatore a 1 cifra in base 3 il cui stato di ingresso è x=10, y=01 Cin=0, lo stato di uscita è: Cout=0, S=11 Cout=1, S=00	Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:
□ Cout=1, S=11	□ eoc=1
□ Nessuna delle precedenti	
inessuna delle precedenti	□ eoc=0
La sequenza di bit 10010111 rappresenta: ☐ Un numero intero negativo in base 2 ☐ Un numero intero negativo in base 16 ☐ Un numero naturale in base 10 e codifica BCD ☐ Qualunque delle precedenti	Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
Sia dato un latch SR implementato a porte NAND, ini-	☐ Dell'ultima istruzione eseguita per intero
zializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine?	☐ Nessuna delle precedenti
□ 0	
☐ Un valore casuale non prevedibile a priori	
☐ Oscilla continuamente	
E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1),, X(N)$ distinti, tale che $X(j)$ è adiacente ad $X(j+1)$. \Box Vero \Box Falso	
+ + Caiso	

	Cognome e nome:	
	Matricola:	
•	Consegna: Sì No	



Barrare **una sola risposta** per domanda

Una rete a due livelli di logica la cui uscita e presa da una porta XOR □ Può essere soggetta ad alee statiche del primo ordine su entrambi i livelli □ Può essere soggetta ad AS 1° ordine soltanto sul livello 1 □ Può essere soggetta ad AS 1° ordine soltanto sul livello 0 □ Nessuna delle precedenti	sia dato un laten SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 10, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente
<pre>reg [3:0] RR; [] S0: begin RR<=10; STAR<=S1; end S1: begin RR<=RR-1;</pre>	E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso X(1),, X(N) distinti. ☐ Vero ☐ Falso
Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2? □ 0 □ 15 □ 7 □ Nessuna delle precedenti	Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo: Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso Un circuito a più di due livelli di logica che ri-
Dato un sommatore a 1 cifra in base 4 il cui stato di ingresso è x=10, y=01 Cin=0, lo stato di uscita è: Cout=0, S=11 Cout=1, S=00 Cout=1, S=11 Nessuna delle precedenti	conosce gli stessi stati di ingresso Un circuito che riconosce un insieme diverso di stati di ingresso Nessuna delle precedenti Un consumatore che ha un handshake /dav-rfd con un produttore può prelevare il dato corretto quando:
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy Ritardato va a regime all'istante:	/dav=1, rfd=1 /dav=1, rfd=0 /dav=0, rfd=1 /dav=0, rfd=0
Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'ultima istruzione eseguita per intero Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza	
□ Dell'istruzione la cui fase di esecuzione sta per iniziare □ Nessuna delle precedenti	
La sequenza di bit 01010111 rappresenta: Un numero intero in base 2 Un numero naturale in base 2 Un numero naturale in base 10 e codifica BCD	
☐ Qualunque delle precedenti	

	Cognome e nome:	_
	Matricola:	
•	Consegna: Sì No	



Barrare **una sola risposta** per domanda

Se prendo un circuito in forma SP a due livelli di logica	reg [3:0] RR;
e sostituisco ciascuna porta AND e OR che lo compone	[]
con una porta NAND (senza cambiare i collegamenti)	S0: begin RR<=1; STAR<=S1; end
ottengo:	S1: begin RR<=RR+1;
☐ Un circuito a due livelli di logica che rico- nosce gli stessi stati di ingresso	STAR<=(RR==10)?S2:S1; end S2: begin
☐ Un circuito a più di due livelli di logica che ri-	
	Dato il pezzo di descrizione riportato sopra, per quanti
conosce gli stessi stati di ingresso Un circuito che riconosce un insieme diverso	clock la rete resta in S1?
di stati di ingresso	
□ Nessuna delle precedenti	□ 9
Una rete a due livelli di logica la cui uscita è presa da	□ Nessuna delle precedenti
una porta NOR	
□ Può essere soggetta ad alee statiche del	Detto t l'istante in cui si ha il fronte di salita del clock,
primo ordine soltanto sul livello 0	l'uscita di una rete sequenziale sincronizzata di Moore
☐ Può essere soggetta ad AS 1° ordine soltanto	va a regime:
sul livello 1	☐ All'istante t
☐ Può essere soggetta ad AS 1° ordine su en-	\Box All'istante t+T _{propagation}
trambi i livelli	☐ Un po' dopo t+T _{propagation}
□ Nessuna delle precedenti	☐ Nessuna delle precedenti
•	
Dato un sommatore a 1 cifra in base 3 il cui stato di	Un produttore che ha un handshake soc/eoc con un
ingresso è x=10, y=01 Cin=1, lo stato di uscita è:	consumatore deve tenere costante il proprio dato di
□ Cout=0, S=11	uscita quando:
□ Cout=1, S=00	\Box eoc=1
□ Cout=1, S=11	□ eoc=0
□ Nessuna delle precedenti	\square soc=0
1 ressuna dene precedenti	\square soc=1
La sequenza di bit 10110111 rappresenta:	
☐ Un numero intero positivo in base 4	Alla fine della fase di chiamata (o fetch, o prelievo) il
	registro IP contiene di norma l'indirizzo:
Un numero intero positivo in base 16	Dell'istruzione la cui fase di esecuzione sta
☐ Un numero naturale in base 10 e codifica	
BCD	per iniziare
□ Nessuna delle precedenti	□ Della prossima istruzione da eseguire, am-
	messo che il flusso del programma prose-
Sia dato un latch SR implementato a porte NAND, ini-	gua in sequenza
zializzato a 1 al reset asincrono. La sequenza di ingres-	☐ Dell'ultima istruzione eseguita per intero
si, fornita nel rispetto dei vincoli di temporizzazione, è	☐ Nessuna delle precedenti
sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla	
fine?	
\Box 0	
☐ Un valore casuale non prevedibile a priori	
☐ Oscilla continuamente	
E' sempre possibile realizzare una rete sequenziale	
asincrona che riconosca una sequenza di stati di ingres-	
so X(1),, X(N) distinti, tale che X(j) è adiacente ad	
X(j+1).	
□ Vero	
□ Falso	

Cognome e nome	e:				
Matrico	ola:				
(Consegna:	Sì 🗌	No 🗌		
	Matrico	Cognome e nome: Matricola: Consegna:		Matricola:	Matricola:



Barrare **una sola risposta** per domanda

Una rete a due livelli di logica la cui uscita è presa da una porta NAND	Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è
ordine su entrambi i livelli	sr=00, 10, 11, 01, 11, 10, 00. Quanto vale l'uscita <i>q</i> alla fine?
□ Può essere soggetta ad AS 1° ordine soltan- to sul livello 1	
☐ Può essere soggetta ad AS 1° ordine soltanto	_ · · · □ 1
sul livello 0	☐ Un valore casuale non prevedibile a priori
□ Nessuna delle precedenti	☐ Oscilla continuamente
reg [3:0] RR; []	Non è sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingres-
S0: begin RR<=10; STAR<=S1; end	so $X(1),, X(N)$ distinti.
S1: begin RR<=RR-1;	□ Vero
STAR<=(RR==0)?S2:S1; end S2: begin	□ Falso
Dato il pezzo di descrizione riportato sopra, per quanti clock la rete resta in S1?	Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:
□ 11	☐ Un circuito a due livelli di logica che rico
□ 9	nosce gli stessi stati di ingresso
□ Nessuna delle precedenti	Un circuito a più di due livelli di logica che ri- conosce gli stessi stati di ingresso
Dato un sommatore a 1 cifra in base 4 il cui stato di	Un circuito che riconosce un insieme diverso
ingresso è x=10, y=01 Cin=1, lo stato di uscita è:	di stati di ingresso
□ Cout=0, S=11	□ Nessuna delle precedenti
□ Cout=1, S=00	- Tressum defic procedent
\Box Cout=1, S=11	Un produttore che ha un handshake /dav-rfd con ur
□ Nessuna delle precedenti	consumatore è tenuto a mantenere fermo il dato in usci-
•	ta quando:
Detto t l'istante in cui si ha il fronte di salita del clock,	\Box /dav=0, rfd=0
l'uscita di una rete sequenziale sincronizzata di Mealy	\Box /dav=0, rfd=1
Ritardato va a regime:	\Box /dav=1, rfd=0
☐ All'istante t	\Box /dav=1, rfd=1
☐ All'istante t+T _{propagation}	
☐ Un po' dopo t+T _{propagation}	
□ Nessuna delle precedenti	
Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:	
☐ Dell'ultima istruzione eseguita per intero	
□ Della prossima istruzione da eseguire, am-	
messo che il flusso del programma prose-	
gua in sequenza	
□ Dell'istruzione la cui fase di esecuzione sta	
per iniziare	
□ Nessuna delle precedenti	
La sequenza di bit 10110111 rappresenta:	
☐ Un numero intero negativo in base 4	
☐ Un numero intero positivo in base 16	
☐ Un numero naturale in base 10 e codifica	
BCD ☐ Nessuna delle precedenti	
incosuna delle precedenti	

Cognome e nome:			
Matricola:			
Consegna:	Sì 🗌	No	
•			