Domande di Reti Logiche – compito del 6/6/2017



Barrare **una sola risposta** per ogni domanda

SO SO S1 SO SO S0 S1 S0 S1 S2 0 S2 S1 S2 SO 1
Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato. Uero Falso
$a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$ $\Box a$ $\Box 1$ $\Box 0$ $\Box b$
 Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene: □ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste
nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno □ <i>n</i> stati interni □ <i>n</i> +1 stati interni
□ n-1 stati interni□ Nessuna delle precedenti
 Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1<i>M</i>x8 connessa al bus, l'ingresso /<i>mw</i> va a zero: □ Prima della stabilizzazione degli ingressi a₁₉_a₀ □ Contemporaneamente alla stabilizzazione degli ingressi a₁₉_a₀ □ Dopo la stabilizzazione degli ingressi a₁₉_a₀ □ Non è importante, tanto funziona comunque

Domande di Reti Logiche – compito del 6/6/2017						
Cognome	e e nome:					
	Matricola:					
	Consegna:	Sì 🗌	No 🗌			

Domande di Reti Logiche - compito del 6/6/2017



Barrare **una sola risposta** per domanda

reg [3:0] RR;	X ₁ X ₀ 00 01 11 10 z
[] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	50 S1 S0 S2 0
STAR<=(RR==10)?S2:S1; end	S1 S0 S1 S0 - 0
S2: begin	
Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?	S2 S0 S0 S2 1
□ 9 □ 10	Nella rete sequenziale asincrona descritta dalla tabella
	di figura la codifica S0=00, S1=10, S2=01, introduce
□ Nessuna delle precedenti	corse delle variabili di stato.
Trossum done procedent	□ Vero
Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero:	□ Falso
☐ Contemporaneamente alla stabilizzazione degli	$x \cdot y + x \cdot y + x \cdot y + x \cdot y =$
ingressi a_{19} _a0	\Box x
Dopo la stabilizzazione degli ingressi a_{19} _ a_0	□ 1
Prima della stabilizzazione degli ingressi a_{19} _ a_0	\Box 0
□ Non è importante, tanto funziona comunque	\Box y
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:
va a regime all'istante:	□ Salvata automaticamente dall'hardware del
<u> </u>	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste.
va a regime all'istante:	☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
va a regime all'istante:	processore in accordo alle specifiche previste
va a regime all'istante:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
va a regime all'istante: t t+T _{hold} t+T _{propagation} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio □ Nessuna delle precedenti
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso ☐ Lasciato inalterato senza essere salvato ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio □ Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla
va a regime all'istante: $ \begin{array}{c c} & t \\ & t+T_{hold} \\ & t+T_{propagation} \\ \hline & Nessuna delle precedenti $ Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: $ \begin{array}{c c} & eoc=1 \\ & eoc=0 \\ & soc=1 \\ & soc=0 \end{array} $	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine?
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1
va a regime all'istante: □ t □ t+Thold □ t+Tpropagation □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori Oscilla continuamente
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori
va a regime all'istante: □ t □ t+Thold □ t+Tpropagation □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n-1 stati interni

Dor	nande di Reti Logich	e – compito d	el 6/6/2017	
Cognome e no	me:			-
Matri	icola:			
	Consegna:	Sì 🗌	No	

Domande di Reti Logiche - compito del 6/6/2017



Barrare **una sola risposta** per domanda

Sia dato un latch SR implementato a porte NAND, ini-	X ₁ X ₀
zializzato a 1 al reset asincrono. La sequenza di ingres-	00 01 11 10 2
si, fornita nel rispetto dei vincoli di temporizzazione, è	$so \mid (so) \mid si \mid (so) \mid (so) \mid o$
sr=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita q alla	
fine?	S1 S0 (S1) S2 0
\Box 0	
	S2 S1 S2 S0 1
☐ Un valore casuale non prevedibile a priori	S2 - S1 S2 S0 1
☐ Oscilla continuamente	
	Nella rete sequenziale asincrona descritta dalla tabella
reg [3:0] RR;	di figura la codifica S0=00, S1=10, S2=01, introduce
[]	corse delle variabili di stato.
S0: begin RR<=0; STAR<=S1; end	□ Vero
S1: begin RR<=RR+1;	□ Falso
STAR<=(RR==10)?S2:S1; end	
S2: begin	
Dato il pezzo di descrizione riportato sopra, quanto va-	$a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$
le il contenuto del registro RR nello stato S2?	\Box a
□ 10	□ 1
□ 11	\Box 0
□ 9	\Box b
□ Nessuna delle precedenti	
in Nessuna delle precedenti	Quando il processore accetta una richiesta di interru-
Detto t l'istante in cui si ha il fronte di salita del clock,	zione, il registro dei flag F viene:
l'uscita di una rete sequenziale sincronizzata di Moore	
	Li Salvato nella nila da lina istriizione PLISH incerita
	□ Salvato nella pila da una istruzione PUSH inserita
va a regime all'istante:	nel sottoprogramma di servizio
va a regime all'istante:	nel sottoprogramma di servizio Salvato automaticamente dall'hardware del
va a regime all'istante:	nel sottoprogramma di servizio Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste
va a regime all'istante: $ \Box t $ $ \Box t+T_{propagation} $ $ \Box t+T_{hold} $	nel sottoprogramma di servizio Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
va a regime all'istante:	nel sottoprogramma di servizio Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste
va a regime all'istante: $ \Box t $ $ \Box t+T_{propagation} $ $ \Box t+T_{hold} $	nel sottoprogramma di servizio Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
va a regime all'istante: t t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato
va a regime all'istante: t t+T _{propagation} t+T _{hold} Nessuna delle precedenti	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti
va a regime all'istante: t t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso
va a regime all'istante: □ t □ t+T _{propagation} □ t+T _{hold} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ soc=1	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno
va a regime all'istante: t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni
va a regime all'istante: t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni
va a regime all'istante: t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni
va a regime all'istante: t t+Tpropagation t+Thold Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni
va a regime all'istante: t t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni □ Nessuna delle precedenti
va a regime all'istante: t t+Tpropagation t+Thold Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni □ Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di
va a regime all'istante: t t+Tpropagation t+Thold Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni □ Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus,
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza	nel sottoprogramma di servizio □ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni □ Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus, l'ingresso /mw va a zero:
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza Dell'ultima istruzione eseguita per intero	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno □ <i>n</i> stati interni □ <i>n</i> +1 stati interni □ <i>n</i> -1 stati interni □ Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero: □ Prima della stabilizzazione degli ingressi <i>a</i> ₁₉ _ <i>a</i> ₀
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Nessuna delle precedenti Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n stati interni □ n+1 stati interni □ n-1 stati interni □ Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus, l'ingresso /mw va a zero: □ Prima della stabilizzazione degli ingressi a₁9_a₀ □ Contemporaneamente alla stabilizzazione degli
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza Dell'ultima istruzione eseguita per intero	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Nessuna delle precedenti Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno <i>n</i> stati interni <i>n</i> +1 stati interni <i>n</i> -1 stati interni Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero: Prima della stabilizzazione degli ingressi <i>a</i> ₁₉ _ <i>a</i> ₀ Contemporaneamente alla stabilizzazione degli ingressi <i>a</i> ₁₉ _ <i>a</i> ₀
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza Dell'ultima istruzione eseguita per intero	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Nessuna delle precedenti Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno n stati interni n+1 stati interni n-1 stati interni Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero: Prima della stabilizzazione degli ingressi a₁9_a₀ Contemporaneamente alla stabilizzazione degli ingressi a₁9_a₀ Dopo la stabilizzazione degli ingressi a₁9_a₀
va a regime all'istante: t+T _{propagation} t+T _{hold} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: soc=1 soc=0 eoc=1 eoc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: Dell'istruzione la cui fase di esecuzione sta per iniziare Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza Dell'ultima istruzione eseguita per intero	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Nessuna delle precedenti Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno n stati interni n+1 stati interni n-1 stati interni Nessuna delle precedenti Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero: Prima della stabilizzazione degli ingressi <i>a</i> ₁₉ _ <i>a</i> ₀ Contemporaneamente alla stabilizzazione degli ingressi <i>a</i> ₁₉ _ <i>a</i> ₀

	el 6/6/2017				
	Cognome e noi				
	Matri	icola:			
		Consegna:	Sì 🗌	No	

Domande di Reti Logiche - compito del 6/6/2017



Barrare **una sola risposta** per domanda

reg [3:0] RR;	X ₁ X ₀ 00 01 11 10 z
S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	so S0 S1 S0 S2 °
STAR<=(RR==10)?S2:S1; end S2: begin	S1 S0 S1 S0 - 0
Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?	S2 S0 S0 S2 1
□ 9	Nella rete sequenziale asincrona descritta dalla tabella
	di figura la codifica S0=00, S1=10, S2=01, introduce
□ 11 □ No. 1 11 11 11 11 11 11 11 11 11 11 11 11	corse delle variabili di stato.
□ Nessuna delle precedenti	□ Vero
Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1 <i>M</i> x8 connessa al bus, l'ingresso / <i>mw</i> va a zero:	□ Falso
☐ Contemporaneamente alla stabilizzazione degli	$x \cdot y + x \cdot y + x \cdot y + x \cdot y =$
ingressi a_{19} _a ₀	\Box x
□ Dopo la stabilizzazione degli ingressi a ₁₉ _a ₀	□ 1
\Box Prima della stabilizzazione degli ingressi $a_{19}_a_0$	\square 0
□ Non è importante, tanto funziona comunque	\Box y
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:
•	
va a regime all'istante:	☐ Salvato automaticamente dall'hardware del
va a regime all'istante: ☐ t	processore in accordo alle specifiche previste
va a regime all'istante:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
va a regime all'istante:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso ☐ Lasciato inalterato senza essere salvato
va a regime all'istante:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Salvato nella pila da una istruzione PUSH inserita
va a regime all'istante: t t+T _{hold} t+T _{propagation} Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso ☐ Lasciato inalterato senza essere salvato
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso ☐ Lasciato inalterato senza essere salvato ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio ☐ Nessuna delle precedenti
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso □ Lasciato inalterato senza essere salvato □ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio □ Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini-
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla
va a regime all'istante: $ \begin{array}{cccccccccccccccccccccccccccccccccc$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine?
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, ini- zializzato a 1 al reset asincrono. La sequenza di ingres- si, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'ultima istruzione eseguita per intero □ Dell'istruzione la cui fase di esecuzione sta per	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n-1 stati interni
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n-1 stati interni □ n stati interni
va a regime all'istante: □ t □ t+T _{hold} □ t+T _{propagation} □ Nessuna delle precedenti Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando: □ eoc=1 □ eoc=0 □ soc=1 □ soc=0 Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'istruzione la cui fase di esecuzione sta per iniziare	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso Lasciato inalterato senza essere salvato Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno □ n-1 stati interni

A	Domande di Reti Logiche – compito del 6/6/2017					
	Cognome e no					
	Matricola:					
		Consegna:	Sì 🗌	No		