

Cognome e Nome: _____ Matricola _____

Prima della consegna barrare una delle due caselle sottostanti. L'opzione scelta non può essere modificata dopo la consegna.

Chiedo che la mia prova scritta sia corretta e valutata subito, perché intendo sostenere la prova orale in questo appello. Prendo atto che, a seguito della mia decisione, la mia prova scritta cesserà di essere valida al termine di questo appello e non potrà essere usata per l'appello straordinario di Aprile.

☐

Chiedo che la mia prova scritta sia corretta e valutata dopo la fine dell'appello in corso, perché ho diritto a ed intenzione di rimandare la prova orale all'appello straordinario di Aprile. Prendo atto che il mio diritto a rimandare la prova orale sarà oggetto di verifica, e che dovrò ripetere l'intero esame da capo se la verifica darà esiti negativi (per qualunque motivo).

☐

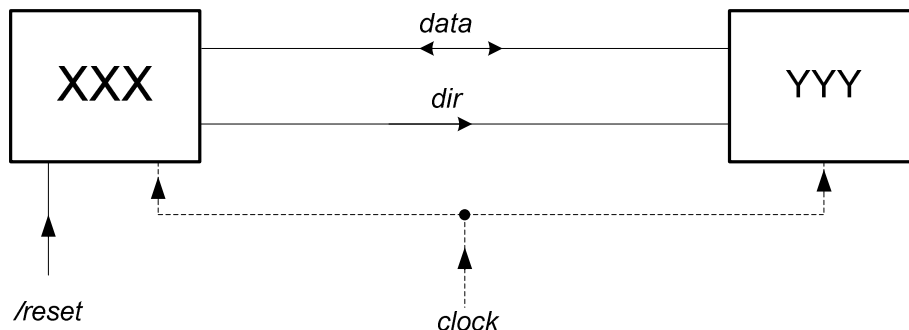
Esercizio 1

Descrivere e sintetizzare, secondo il modello strutturale con elementi neutri di ritardo, la rete sequenziale asincrona che riconosce la sequenza di stati di ingresso 10, 11. Sintetizzare le reti combinatorie in forma PS.

Esercizio 2

L'unità XXX comunica con l'unità YYY tramite 3 fili aventi la seguente funzione:

- Il filo *clock* è il clock comune a XXX e YYY.
- Il filo bidirezionale *data* serve a XXX e YYY per scambiarsi bit in seriale.
- Il filo *dir* comanda la direzione di scambio dei dati, mettendo in conduzione o in alta impedenza le uscite di XXX e di YYY. Quando *dir* vale 1, XXX utilizza *data* per trasmettere a YYY. Quando *dir* vale 0, XXX tiene l'uscita *data* in alta impedenza ed attende dati da YYY, che può a sua volta utilizzare l'uscita.



Più precisamente, un ciclo di comunicazione si svolge come segue:

- i) XXX invia all'unità YYY un numero naturale N a 8 bit e mette e tiene la linea *dir* a 1 mentre invia i bit costituenti il numero N ; i bit vengono emessi al ritmo di un bit per ogni periodo di clock.
- ii) XXX riporta la linea *dir* a 0 al clock successivo a quello in cui ha emesso l'ultimo degli N bit (in tal modo anche l'ultimo bit permane sulla linea *data* per un periodo di clock) ed entra in un ciclo da cui esce solo quando riceve una notifica da YYY.
- iii) YYY notifica, **dopo un tempo non noto** a XXX, di aver ricevuto gli 8 bit; la notifica consiste nel trasmettere (**dopo un tempo non noto**) il bit 1 sulla linea *data* e nel mantenerlo per tutto il tempo in cui *dir* permane a 0

Descrivere e sintetizzare il modulo XXX in modo che nella prima comunicazione invii il numero $N=0$ ad emetta, a ogni nuova comunicazione, il numero naturale successivo a quello precedentemente emesso, e così via all'infinito. **Nella sintesi di XXX si disegni con precisione** la porzione di parte operative inerente il registro ENNE di cui sotto

Suggerimento

```
module XXX(dir, data, clock, reset_);  
  input      clock, reset_;  
  output     dir;  
  inout     data;  
  reg       DIR; assign  dir=DIR;  
  reg [7:0] ENNE; always@(reset_==0) ENNE<=0;  
  reg      OUT;  
  assign ...  
  ...
```

Esercizio 1 – Soluzione

La tabella di flusso del riconoscitore è quella della figura a sinistra. Adottando le codifiche $S_0 = 00$, $S_1 = 01$, $S_2 = 11$, si rende necessario uno stato ponte fra S_2 e S_0 , nel passaggio dello stato d'ingresso da 'B11 a 'B01. Poiché per lo stato di ingresso 'B01 lo stato successivo corrispondente allo stato S_1 è non specificato, quest'ultimo può essere usato come stato ponte. La tabella diventa quindi quella a destra:

x_1x_0	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0	—	S_2	S_1	0
S_2	—	S_0	S_2	S_1	1

x_1x_0	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0	S_0	S_2	S_1	0
S_2	—	S_1	S_2	S_1	1

Con riferimento al modello strutturale con elementi neutri di ritardo, le mappe di Karnaugh relative alle uscite della rete CN1 sono riportate a lato. Le forme PS corrispondenti (esenti da alee statiche) sono:

$$a_1 = x_1 \cdot x_0 \cdot y_0,$$

$$a_0 = (x_1 + y_1) \cdot (\bar{x}_0 + y_0).$$

Per la rete CN2, è immediato verificare che:

$$z = y_1.$$

y_1y_0	x_1x_0	00	01	11	10	z
00	00	00	00	00	01	0
01	00	00	00	11	01	0
11	--	01	11	01	01	1
10	--	--	--	--	--	-

a_1a_0

Esercizio 2 – Soluzione

```

module XXX(dir, data, clock, reset_);
    input      clock, reset_;
    output     dir;
    inout      data;
    reg        DIR;    assign  dir=DIR;
    reg [7:0]   ENNE;
    reg        OUT;    assign  data=(DIR==1)?OUT:1'BZ;    //FORCHETTA
    reg [3:0]   COUNT;
    reg [2:0]   STAR; parameter S0=0, S1=1, S2=2, S3=3, S4=4, S5=5;
    always @(reset_==0) #1 begin DIR<=0; ENNE<=0; COUNT<=8; STAR<=S0; end
    always @(posedge clock) if (reset_==1) #3
        casex (STAR)
            S0: begin DIR<=1; COUNT<=COUNT-1; OUT<=ENNE[0];
                    ENNE<={ENNE[0],ENNE[7:1]}; STAR<=(COUNT==1)?S1:S0; end
            S1: begin DIR<=0; ENNE<=ENNE+1; COUNT<=8; STAR<=S2; end
            S2: begin STAR<=(data!=1)?S2:S0; end
        endcase
endmodule

```