

Reti Sequenziali

(nuovo programma)

Giovanni Stea
a.a. 2018/19

Ultima modifica: 12/09/2018

Prerequisiti

Gli studenti conoscono

- le reti combinatorie e le relative procedure di sintesi;

Sommario

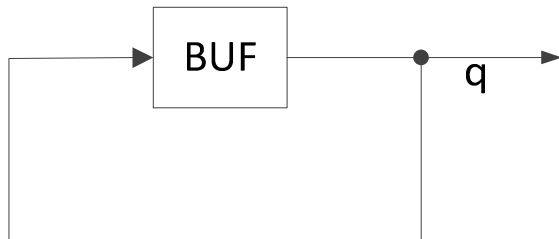
1	La funzione di memoria e le reti sequenziali asincrone.....	5
1.1	Il latch SR	6
1.2	Il problema dello stato iniziale.....	9
1.3	Tabelle di flusso e grafi di flusso	12
1.4	Il D-latch trasparente.....	14
1.5	Il D flip-flop	16
1.6	Le memorie RAM statiche.....	19
1.6.1	Montaggio “in parallelo”: raddoppio della capacità di ogni cella	23
1.6.2	Montaggio “in serie”: raddoppio del n. di locazioni.....	23
1.6.3	Collegamento al bus e maschere.....	24
1.7	Le memorie Read-only	25
1.7.1	ROM programmabili.....	28
2	Reti Sequenziali Sincronizzate	30
2.1	Registri.....	30
2.1.1	Descrizione in Verilog di registri.....	32
2.2	Prima definizione e temporizzazione di una RSS.....	33
2.3	Contatori	37
2.4	Registri multifunzionali	42
2.5	Modello di Moore	44
2.5.1	Esempio: il Flip-Flop JK.....	48
2.5.2	Esempio: riconoscitore di sequenze 11,01,10.....	49
2.5.3	Esercizio – Rete di Moore.....	54
2.5.4	Soluzione.....	54
2.6	Modello di Mealy.....	55
2.6.1	Esempio: sintesi del contatore espandibile in base 3	58
2.6.2	Esempio: riconoscitore di sequenza 11, 01, 10.....	60
2.6.3	Esercizio.....	62
2.6.4	Soluzione.....	62
2.7	Modello di Mealy ritardato	63
3	Descrizione e sintesi di reti sequenziali sincronizzate complesse	69
3.1	Linguaggio di trasferimento tra registri	69
3.1.1	Esempio: contatore di sequenze 00,01,10.....	71
3.1.2	Esempio: contatore di sequenze alternate 00,01,10 – 11,01,10	73

4	Riflessione conclusiva su descrizione e sintesi delle reti logiche.....	75
5	Esercizi.....	81
5.1	Esercizio.....	81
5.1.1	Descrizione della rete.....	81
5.1.2	Sintesi della rete a porte NOR	82
5.2	Esercizio.....	84
5.2.1	Soluzione.....	84

1 La funzione di memoria e le reti sequenziali asincrone

Le reti combinatorie sono **prive di memoria**: ad un dato stato di ingresso corrisponde (**a regime**) un dato stato di uscita. Per avere reti **sequenziali**, cioè reti la cui uscita dipende dalla **sequenza degli stati di ingresso** visti dalla rete fino a quel momento, è necessario dotare le reti di **memoria**, cioè della capacità di **ricordare** quella sequenza.

La memoria si implementa tramite **anelli di retroazione**. Prendiamo un esempio semplice:



In questo semplice anello esistono **due situazioni di stabilità**:

- 1) L'uscita vale 0 (e quindi va in ingresso al buffer, dove si rigenera)
- 2) L'uscita vale 1 (come sopra)

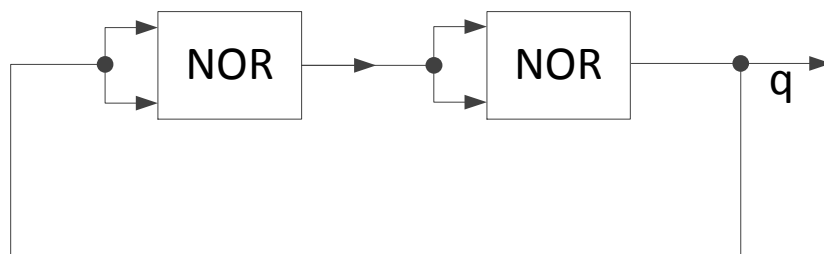
Possiamo dire che l'anello si può trovare **in due stati**, che possiamo chiamare S_0 , S_1 (i nomi sono arbitrari), e che corrispondono allo stato in cui l'uscita vale 0 ed 1 rispettivamente.

Si noti che **la presenza del buffer è fondamentale**, in quanto garantisce che a q sia associato un valore logico, impostato dal buffer medesimo. Se lo tolgo, q è connessa ad un filo staccato, quindi non ha un valore logico.

Una rete fatta così **non serve a niente in pratica**, perché non è possibile impostare né modificare il valore di q . Quando viene data tensione al sistema, questo si porterà in uno dei due stati S_0 , S_1 in maniera **casuale**, e lì resterà finché non tolgo la tensione. Non è quindi possibile che questo anello **memorizzi bit diversi in tempi diversi** (a meno di togliere e riattivare la tensione, e comunque sempre in modo casuale).

Vediamo di complicare un po' lo schema. Posso:

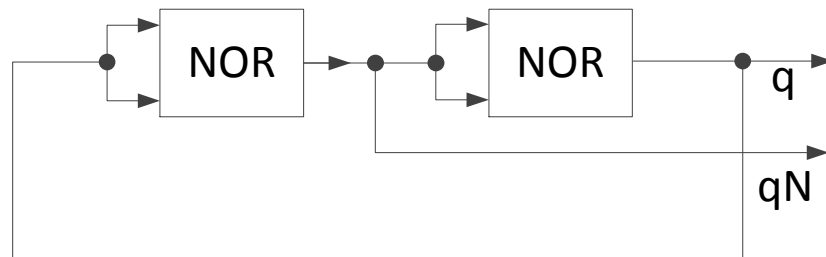
- a) Sostituire il buffer con una coppia di **NOT**
- b) Implementare ciascun NOT a porte **NOR** (per motivi che saranno chiari più avanti)



Nel circuito che ottengo sono presenti contemporaneamente **sia il bit 1 che il bit 0**. Infatti,

- se $q=1$, allora tra i due NOR c'è 0
- Se $q=0$, allora tra i due NOR c'è 1

Già che ci siamo, possiamo sfruttare questa caratteristica per **dotare il circuito di un'altra uscita**, che chiamo **qN** (negata). Per convenzione, si dice che il circuito **memorizza il bit il cui valore è quello di q**.

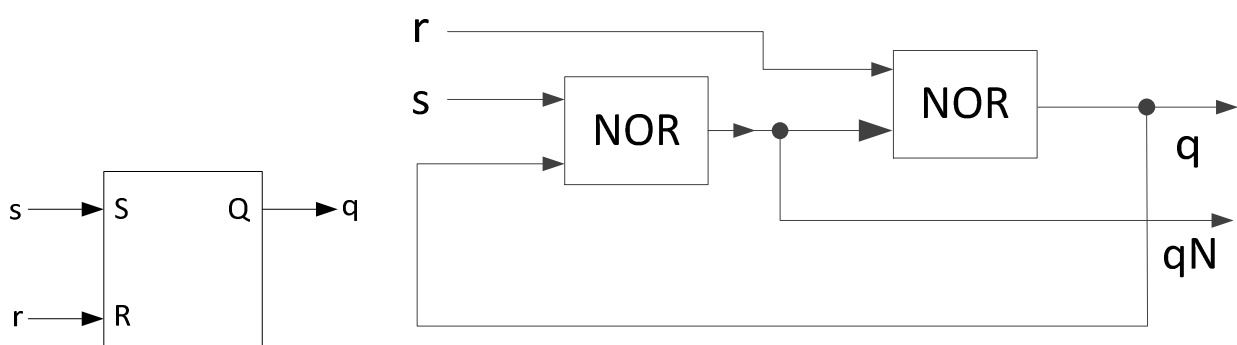


Vediamo cosa succede quando si **accende** questo circuito, connettendolo alla tensione. Se all'accensione **q e qN sono discordi**, la rete si trova già in uno dei due stati stabili, e lì resta. Se, invece, **q e qN sono concordi**, in teoria ciascuna delle due uscite oscilla all'infinito, con un tempo pari al tempo di accesso delle porte. In pratica, invece, la **rete si stabilizza velocemente**, perché comunque il tempo di risposta delle due porte sarà **diverso**, e quindi si creerà immediatamente una situazione in cui **q e qN sono discordi**, che rimane stabile.

Anche in questo anello non è possibile memorizzare **bit diversi in tempi diversi**. Vediamo però come quest'ultima proprietà si possa facilmente introdurre, data la struttura che abbiamo impostato.

1.1 Il latch SR

È chiaro che, per poter impostare un valore in uscita, è necessario che un circuito abbia **degli ingressi che si possano pilotare**. Prendiamo **un ingresso ci ciascun NOR** e consideriamolo come filo di ingresso:



La rete che si ottiene è detta **latch SR** o (comunemente, ma impropriamente) **flip-flop SR**. “S” sta per **set**, mentre “R” sta per **reset**. Entrambe le variabili di ingresso si dicono **attive alte**, a indicare che la funzione che è indicata dal loro nome viene eseguita quando il valore dell'ingresso è pari a 1. Quando s=1 sto dando un comando di set. In caso contrario, si direbbero **attive basse**.

Vediamo che succede quando forniamo alcuni stati di ingresso:

- $s=1, r=0$:

- la **prima** porta NOR ha **un ingresso a 1**, quindi mette l'uscita a 0 (qualunque sia il valore di q). Pertanto, $qN=0$.

- La **seconda** porta NOR ha in ingresso **00**, quindi mette l'uscita $q=1$.

La rete si porta, quindi, nello stato **S1**, in cui **memorizza il bit 1**. In altre parole, si **setta**.

- $s=0, r=1$:

- la **seconda** porta NOR ha **un ingresso a 1**, quindi mette l'uscita a 0 (qualunque sia il valore di qN). Pertanto, $q=0$.

- La **prima** porta NOR ha in ingresso **00**, quindi mette l'uscita $qN=1$.

La rete si porta, quindi, nello stato **S0**, in cui **memorizza il bit 0**. In altre parole, si **re-setta**.

- $s=0, r=0$:

- l'uscita della prima porta NOR **vale 0 se $q=1$, e vale 1 se $q=0$** . Pertanto, $qN = \bar{q}$.

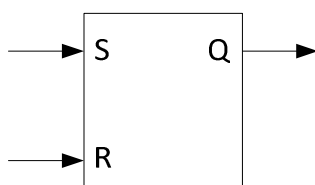
- La seconda porta NOR ha in ingresso **0 e qN** , quindi l'uscita q vale \overline{qN} .

La rete, quindi, **conserva l'uscita al valore che aveva precedentemente**.

Quest'ultima cosa rende la rete **una rete sequenziale**: quando lo stato di ingresso è $s=0, r=0$, la rete **rimane nello stato stabile, S0 o S1**, nel quale si è portata in precedenza. In altre parole, **ricorda** l'ultimo comando (set o reset) ricevuto. Peraltro, il nome "latch" in Inglese ricorda **la chiusura a scatto**, il che è appropriato.

Manca da capire cosa succeda quando diamo in ingresso **lo stato $s=1, r=1$** . In questo caso, **entrambe le uscite valgono 0**, e **contraddicono la regola** che vuole che siano l'una la versione negata dell'altra. Pertanto, questo stato di ingresso **non è permesso** in un corretto pilotaggio.

Un modo per descrivere il comportamento del latch SR è dato dalla **tabella di applicazione** (attenzione a non confonderla con una tabella di verità). In questa si riporta – a sinistra – il valore **attuale** della variabile (in questo caso, l'uscita q) e il valore **successivo** che si vuole che questa assuma. A destra, viene specificato il **comando da dare alla rete** perché l'uscita passi dal valore attuale a quello successivo.



q	q'	s	r
0	0	0	-
0	1	1	0
1	0	0	1
1	1	-	0

- Se l'uscita è a zero, e voglio che ci rimanga, basta che **non dia un comando di set**. Posso o resettare (01), o conservare (00).
- Se l'uscita è a uno e voglio che ci rimanga, basta che **non dia un comando di reset**. Posso o settare (10) o conservare (00).
- Se voglio che l'uscita passi da 0 a 1, devo necessariamente **settare (10)**
- Se voglio che l'uscita passi da 1 a 0, devo necessariamente **resettare (01)**

Parliamo adesso delle **regole di pilotaggio** di un latch SR. Per le reti combinatorie ne conosciamo due:

- 1) Pilotaggio in modo fondamentale: cambiare gli ingressi soltanto quando la rete è a regime
- 2) Stati di ingresso consecutivi devono essere adiacenti

Nel nostro caso, la regola 1) deve essere rispettata. Quando avremo le idee più chiare sulle reti sequenziali asincrone saremo in grado di **quantificare il tempo che ci vuole** perché una rete vada a regime. Per adesso, facciamo finta che per queste reti conosciamo una misura **analoga al tempo di attraversamento**, dalla quale possiamo desumere quando variare gli ingressi.

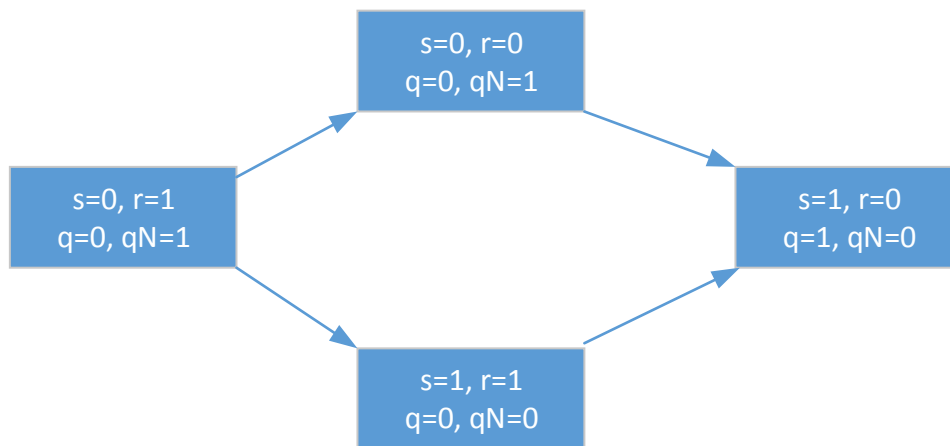
Per quanto riguarda la regola 2), in generale nelle RSA è di **importanza fondamentale**. Infatti, se non la rispetto, possono presentarsi in ingresso degli stati spuri, che mi fanno evolvere la rete in modo del tutto diverso. Però **nel solo caso del latch SR**, posso evitare di rispettarla.

Il latch SR è **robusto a pilotaggi scorretti**, ed è un bene, perché – come vedremo nel corso delle lezioni – è la rete che sta alla base dei registri e di tutti gli elementi di memoria.

s=1, r=0	q=1, qN=0
s=0, r=1	q=0 qN=1

Supponiamo che sia presente in ingresso lo stato **s=1, r=0**, e che si passi a **s=0, r=1**. Visto che non è possibile che entrambe le variabili cambino valore **contemporaneamente**, si passerà **o dallo stato intermedio 00 o da quello 11**.

- Se si passa dallo stato 00 non ci sono problemi. In quello stato, infatti, il latch SR **conserva** l'uscita al valore precedente.
- Se si passa dallo stato 11 **non ci sono problemi lo stesso**. Infatti, per un breve periodo entrambe le uscite saranno a 0, ma non potrebbe essere altrimenti, in quanto **anche due uscite non possono cambiare contemporaneamente**, e quindi delle due una varia prima in ogni caso.



Le stesse considerazioni si applicano anche alla **transizione opposta**.

Quello che **non deve mai succedere** è che si dia in ingresso $s=1, r=1$ (che peraltro è uno stato di ingresso che chi pilota la rete si deve ricordare di non impostare), e si passi a $s=0, r=0$. In questo caso, il **primo dei due ingressi che transisce a zero determina lo stato in cui il latch SR si stabilizza**. Fare questo implica, di fatto, generare un bit a caso in uscita.

Il **tempo** che ci mette un **latch SR a stabilizzarsi** è di pochi ns.

1.2 Il problema dello stato iniziale

Abbiamo cominciato ad assorbire l'idea che il latch SR è l'elemento **alla base dei circuiti di memoria**. Abbiamo visto che, **all'accensione, il bit contenuto nell'SR** (o, se si preferisce, il suo **stato interno**) è **casuale**. All'accensione del calcolatore, alcuni elementi di memoria **possono** avere un **contenuto casuale** (esempio tipico: le celle della memoria RAM), ma altri no (ad esempio, i **registri del processore**, F e IP). Serve quindi un modo per **inizializzare un elemento di memoria** al valore voluto.

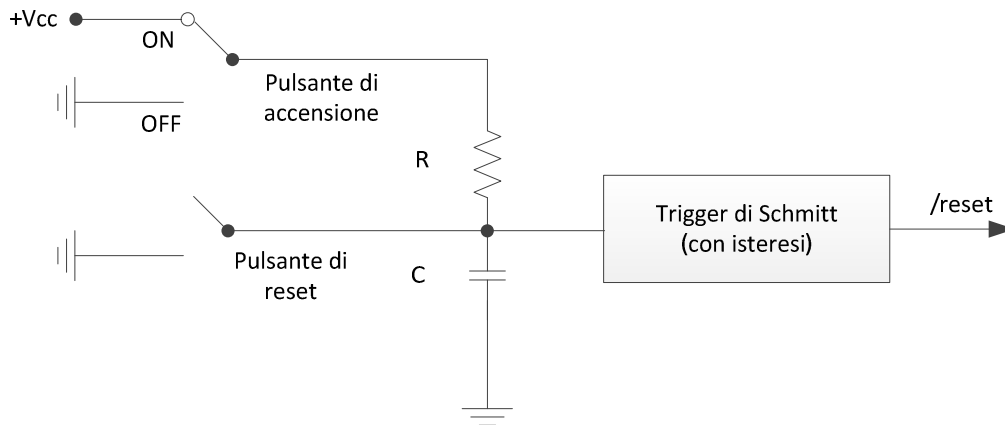
L'inizializzazione avviene **tutte le volte che si preme il pulsante di reset del calcolatore**. Il suo effetto è quello di inserire in tutti gli elementi di memoria (o meglio, in tutti quelli per cui mi interessa avere un valore iniziale) il contenuto iniziale desiderato.

In un calcolatore si definisce **fase di reset iniziale** una fase distinta da quella di **normale operatività**, nella quale si inizializzano gli elementi di memoria. Si tenga presente un problema di **nomenclatura**: con il nome **reset** si intendono due cose:

- Un **comando che mette a zero** l'uscita del latch SR;
- La **fase di ritorno ad una condizione iniziale** di un sistema di elaborazione.

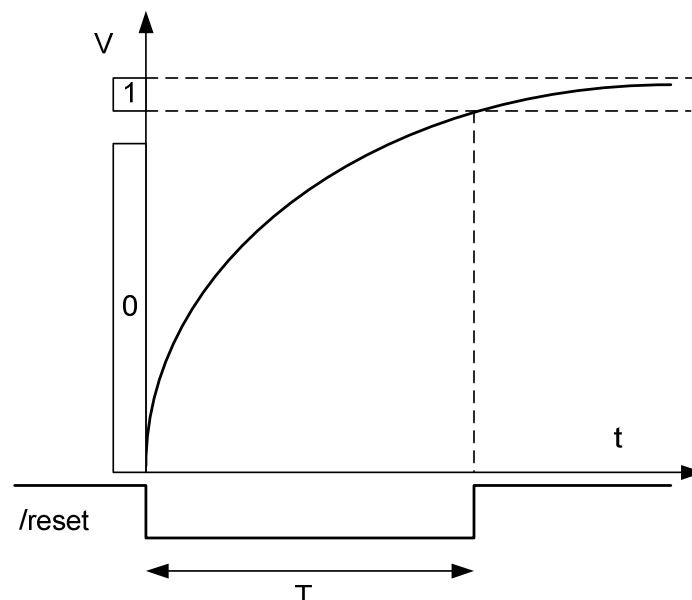
Dal che le persone sono portate a pensare che la condizione iniziale di un calcolatore è quella in cui in tutti gli elementi di memoria c'è scritto zero, che non è assolutamente vero.

Vediamo come è fatta la circuiteria per l'inizializzazione al reset dentro a un sistema di elaborazione.



Il circuito RC sulla sinistra si **carica in tempi dell'ordine del microsecondo**, e la tensione ai capi del condensatore diventa prossima a V_{cc} . Quando viene **premuto il pulsante di reset**, il condensatore **si scarica a massa**. La scarica non è istantanea, ma il contatto del pulsante di reset dura abbastanza perché essa avvenga. Non appena il pulsante di reset viene rilasciato, il condensatore ricomincia a caricarsi come fa all'accensione.

La tensione ai capi del condensatore viene fatta passare attraverso **uno squadratore di tensione**, detto trigger di Schmitt, che dà in uscita il valore 1 oppure 0, a seconda che la tensione sia sopra una soglia alta o sotto una soglia bassa. Pertanto, quello che succede quando si preme il pulsante di reset è che l'uscita di questo circuito resta bassa per un bel po' (nell'ordine dei microsecondi).



La variabile **/reset** è una variabile **attiva bassa**, e quindi si scrive con uno “/” davanti (che non è un operatore). In Verilog, visto che non si può usare “/” nei nomi di variabile, si conviene di indicare le variabili attive basse con un **simbolo di underscore** in fondo (nel caso, “**reset_**”).

La variabile logica /reset , quindi, può essere usata per inizializzare gli elementi di memoria. La prassi a cui ci atterremo è:

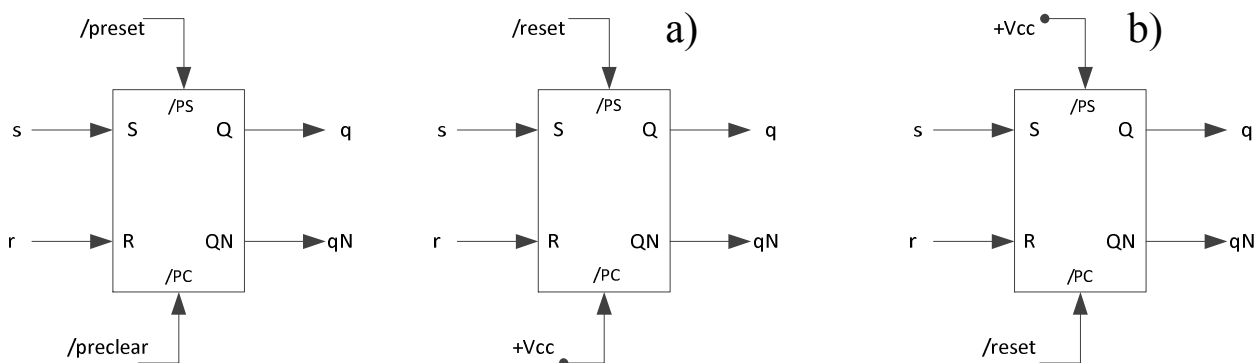
- quando $\text{/reset}=0$, l'elemento di memoria si porta nello stato interno iniziale desiderato, **indipendentemente dal valore dei suoi altri ingressi**.
- quando $\text{/reset}=1$, l'elemento di memoria funziona normalmente.

Per poterla applicare è necessario dotare un latch SR di **due ingressi aggiuntivi**, detti /preset e /preclear , entrambi attivi bassi, tali per cui:

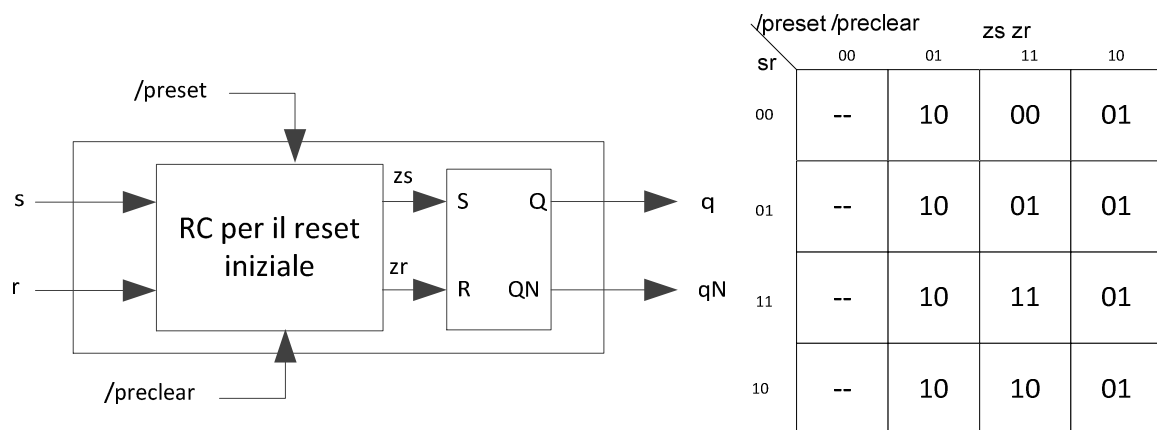
- se $\text{/preset}=\text{/preclear}=1$, la rete si comporta come un latch SR;
- se $\text{/preset}=0$, la rete si porta nello stato S1 (indipendentemente dal valore degli ingressi s e r);
- se $\text{/preclear}=0$, la rete si porta nello stato S0 (indipendentemente dal valore degli ingressi s e r)
- /preset e /preclear non sono mai contemporaneamente a 0.

Con queste specifiche, è abbastanza chiaro cosa si debba fare:

- Se si vuole **inizializzare a 1** l'elemento di memoria, si connette /preset a /reset e /preclear a V_{cc} .
- Se si vuole **inizializzare a 0** l'elemento di memoria, si connette /preclear a /reset e /preset a V_{cc} ;



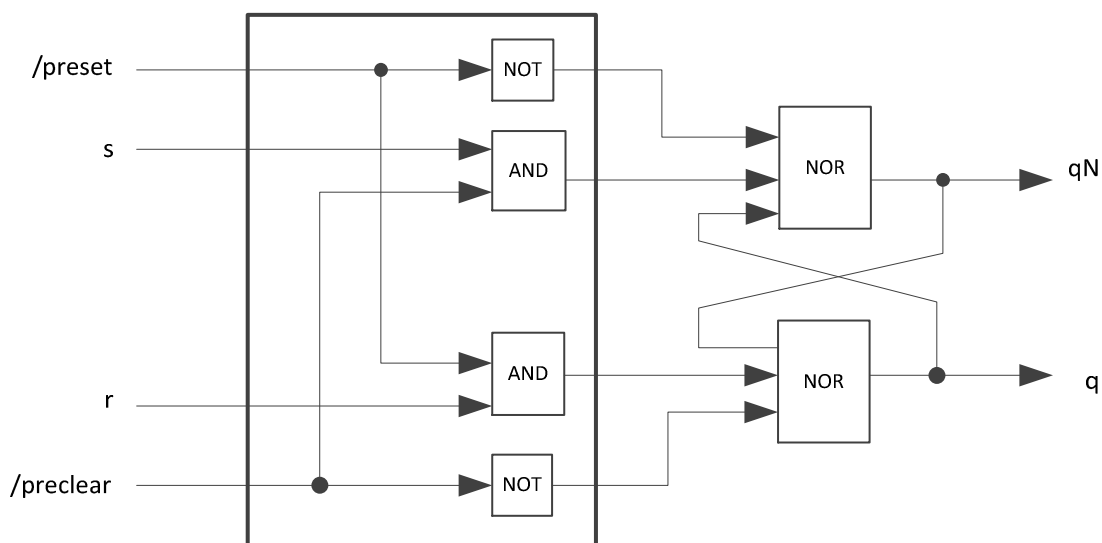
L'unica cosa che manca di fare è capire come **si deve modificare** il latch SR rispetto all'implementazione già vista. Conviene **mettergli davanti una rete combinatoria**, che ha come ingresso s,r, /preset e /preclear , ed in uscita due variabili z_r , z_s , che è facile da sintetizzare in forma SP.



$$z_s = \overline{\text{/preset}} + (\text{/preclear} \cdot s)$$

$$z_r = \overline{\text{/preclear}} + (\text{/preset} \cdot r)$$

La struttura che si ottiene può essere ulteriormente **ottimizzata**: basta rendersi conto che la porta OR della rete che genera zr , zs **non è necessaria**. Infatti, il latch SR è fatto a NOR, che sono delle OR seguite da una negazione. Pertanto, si verrebbero a trovare due porte OR in cascata. Quindi, gli ingressi della porta OR si possono portare direttamente alla porta NOR, risparmiando un livello.



1.3 Tabelle di flusso e grafi di flusso

Il latch SR è stato descritto **a parole**, oppure usando la **tabella di applicazione**. In realtà le RSA si descrivono usando **tabelle di flusso** o **grafi di flusso**. I due formalismi sono equivalenti, e verranno descritti in modo dettagliato quando parleremo delle RSA in modo generale. Per adesso fa comodo introdurre informalmente queste due modalità di descrizione, esemplificandole sul latch SR.

Una **tabella di flusso** è una tabella che descrive come si evolvono **lo stato interno** e **l'uscita** al variare degli stati di ingresso. È una matrice che ha:

- In **riga**, gli **stati interni** della rete (nel nostro caso sono **due**, $S_0 \ S_1$)

- In **colonna**, gli **stati di ingresso** (sono quattro: $\{s=0, r=0\}$, 01, 10, 11). Nello stato di ingresso **non vengono mai contate** le variabili per l'inizializzazione al reset, in quanto il loro ruolo è ininfluente durante la normale operatività della rete (sono entrambe ad 1, e quindi la rete combinatoria che le sente si comporta da corto circuito).
- Nelle celle, dei nomi di **stati interni della rete**.

E si interpreta come segue: lo stato scritto in colonna è lo **stato interno presente (SIP)**, e quello scritto nelle celle è lo **stato interno successivo (SIS)**, nel quale la rete transisce quando sono presenti contemporaneamente:

- Lo stato interno presente della riga
- Lo stato di ingresso della colonna.

Ad esempio, relativamente al funzionamento del latch SR, so che “**se sono nello stato S0 e l'ingresso s è a 0, rimango nello stato S0 (qualunque cosa faccia r)**”. Posso quindi riempire alcune caselle della tabella.

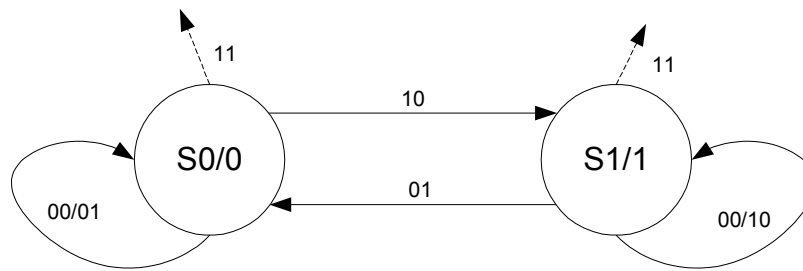
		sr				q
		00	01	11	10	
s	S0	S0	S0	-	S1	0
	S1	S1	S0	-	S1	1

In genere, si aggiunge a destra anche il **valore dell'uscita q** (o di entrambe), che dipende in questo caso soltanto dallo **stato interno presente**.

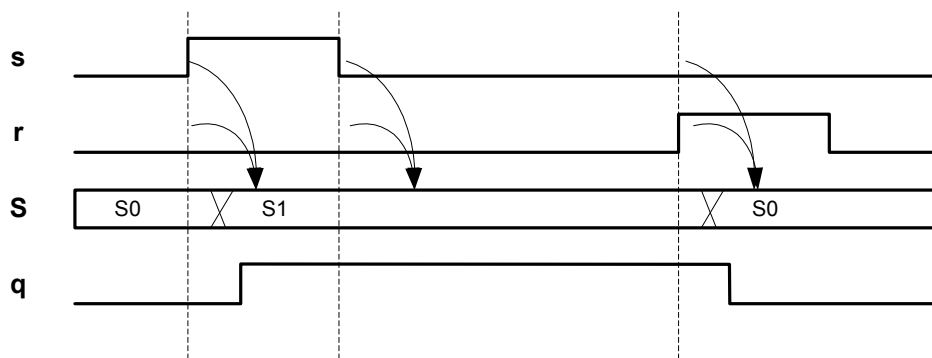
Una RSA evolve (cioè **modifica il proprio stato interno e/o la propria uscita**) a seguito di **cambiamenti dello stato di ingresso**. Non è difficile vedere che, se mi trovo nello stato (ad esempio) **S0** con ingresso 00, la rete **non evolve** (a meno che non cambi lo stato di ingresso). L'uscita rimane costante a 0, la variabile d'anello mantiene costante il proprio valore. Si dice, in questo caso, che **la rete ha raggiunto la stabilità (è a regime)**, oppure che **lo stato interno S0 è stabile con stato di ingresso 00**. In tutti i casi in cui ciò succede, si mette **un cerchio** intorno allo stato interno stabile (è **errore** non metterlo).

Per lo stato di ingresso **11** il comportamento della rete è **non specificato**. Per questo motivo, si mette un trattino nella tabella di flusso.

Una maniera **del tutto equivalente** di rappresentare una rete sequenziale asincrona è quella dei **grafi di flusso**. Un grafo di flusso è un insieme di **nodi**, che rappresentano ciascuno uno **stato interno**, ed di **archi**, etichettati con uno **stato di ingresso**, diretti da uno stato ad un altro.



Gli archi che si perdono all'infinito sono relativi a stati di ingresso che non si possono (o non si debbono) verificare in corrispondenza di determinati stati interni. Gli archi che fanno “orecchio” indicano il fatto che uno stato interno è stabile per quegli stati di ingresso. Visto che l'uscita è funzione soltanto dello stato interno, posso scriverla direttamente **dentro il cerchio**.



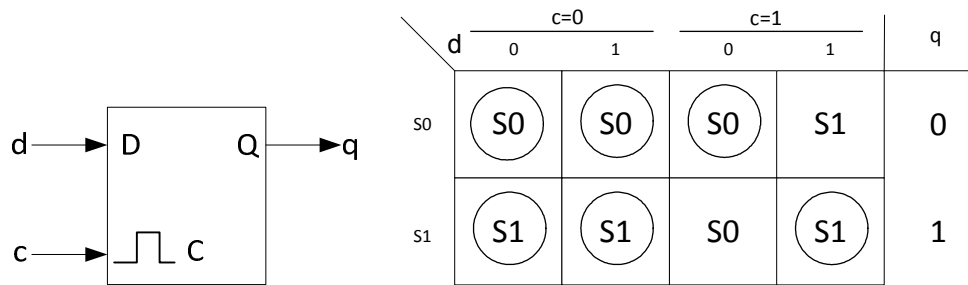
Questo è un **diagramma di temporizzazione**, il quale mi fa vedere che lo stato interno cambia (quando cambia) solo al variare dello stato di ingresso, e poi si stabilizza. L'uscita varia quando varia lo stato interno.

1.4 Il D-latch trasparente

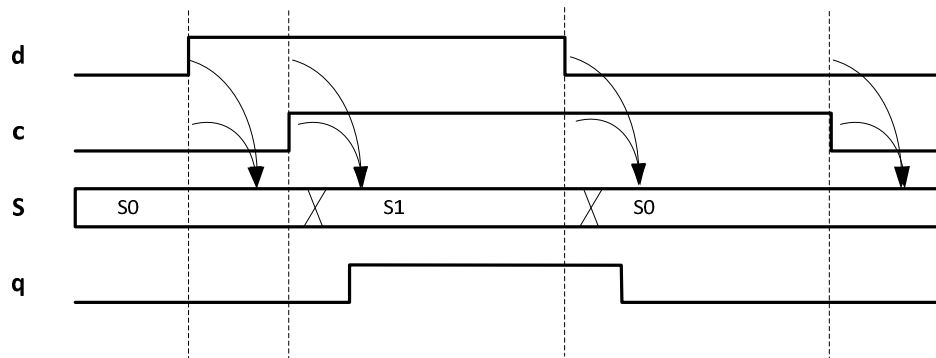
Abbiamo visto che il latch SR può memorizzare 1 o 0 a seconda del comando che gli viene dato (set, reset, conserva).

Il D-latch è una RSA con due variabili di ingresso, d (data) e c (control), ed una uscita q (vedremo poi che, come per il latch SR, in realtà è sempre disponibile anche l'uscita qN). La sua descrizione (a parole) è la seguente:

Il **D-latch memorizza l'ingresso d** (quindi, **memorizza un bit**) quando **c vale 1 (trasparenza)**. Quando **c vale 0**, invece, è **in conservazione**, cioè mantiene in uscita (**memorizza**) l'ultimo valore che d ha assunto quando c valeva 1. Quindi, sarà una rete che può trovarsi **in due stati**, uno nel quale ha memorizzato 0 ed uno nel quale ha memorizzato 1. Per questo, la tabella di flusso la posso disegnare come nella figura:



Quando c vale 0, la variazione di d non è influente (non può cambiare lo stato della rete). Quando c vale 1, la variazione di d fa cambiare stato alla rete.



Quindi, per memorizzare un bit, basta

- Portare c ad 1
- Impostare d al valore da memorizzare
- Riportare c a 0.

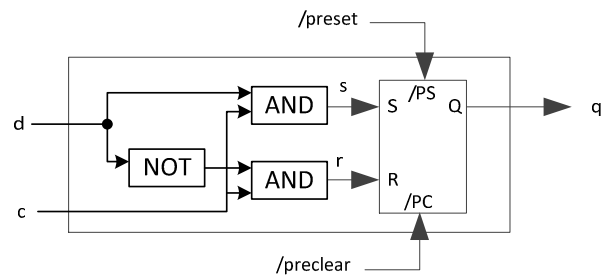
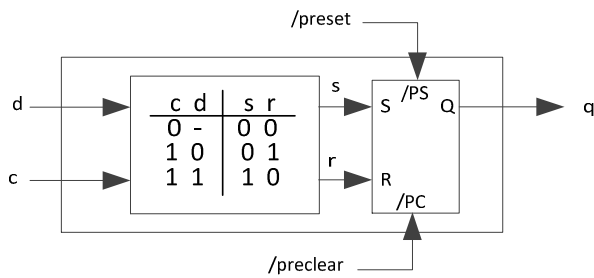
Una sintesi del D-latch si può ottenere facilmente a partire da quella di un latch SR. Supponiamo di avere un latch SR, a mettiamoci davanti una **rete combinatoria** che ha:

- Come ingressi, le due variabili d e c
- Come uscite, le due variabili s , r

E cerchiamo di capire come sintetizzare quest'ultima.

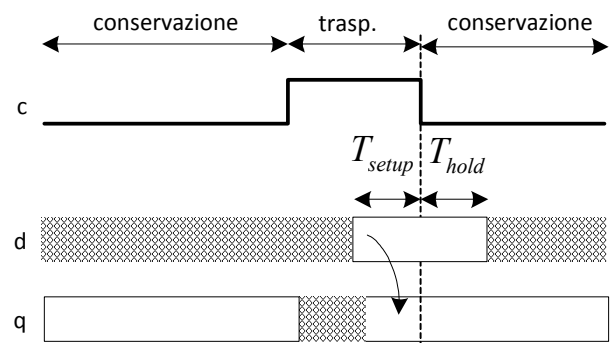
- Quando $c=0$, qualunque sia il valore di d , il D-latch dovrà mantenere l'uscita costante (è in **conservazione**). Pertanto, darò all'SR un comando di *conservazione* $s=0$, $r=0$.
- Quando $c=1$, il D-latch è in **trasparenza**, e quindi l'uscita deve adeguarsi a d . Pertanto,
 - o Se $d=0$, darò un comando di **reset**, $s=0$, $r=1$
 - o Se $d=1$, darò un comando di **set**, $s=1$, $r=0$

Scritta la tabella di verità, si vede abbastanza bene che $s = c \cdot d$, $r = c \cdot \bar{d}$. Si noti che, avendo usato un latch SR come stadio finale, viene gratis che anche il D-latch ha **la variabile di uscita diretta e negata**. Inoltre, posso sfruttare gli ingressi di /preset e /preclear del latch SR per inizializzare il D-latch al reset.



Le regole di pilotaggio di questa rete stabiliscono che si debba tenere **d** costante a cavallo della transizione di **c** da 1 a 0. I tempi per cui deve essere costante (prima e dopo) sono chiamati T_{setup} e T_{hold} , rispettivamente, e sono dati di progetto della rete. Entrambi servono a garantire che la rete non veda **transizioni multiple di ingresso**, e che quindi si stabilizzi in modo prevedibile.

Quando il D-latch è in **trasparenza**, l'ingresso è "direttamente connesso" all'uscita (in senso logico: dal punto di vista fisico ci sono comunque delle porte logiche in mezzo). Pertanto, se **q** e **d** sono collegati in **retroazione negativa**, quando **c** è ad 1 l'uscita balla, e quando **c** va a 0 si stabilizza ad un valore casuale.



Il D-Latch è una rete **trasparente**, cioè **la sua uscita cambia mentre la rete è sensibile alle variazioni di ingresso**.

In pratica, non si può memorizzare in un D-Latch (né in nessuna rete trasparente) **niente che sia funzione dell'uscita q**, altrimenti potrebbero verificarsi problemi di pilotaggio. Tutte le reti che abbiamo visto finora, ed in particolare:

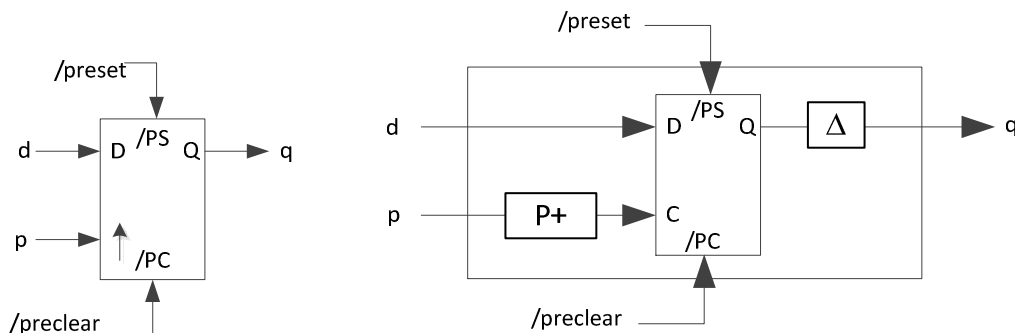
- Reti combinatorie
- latch SR
- D-latch

Sono reti trasparenti.

1.5 Il D flip-flop

Esistono anche reti (ed, in particolare, elementi di memoria) **non trasparenti**. In generale, elementi di memoria trasparenti si chiamano **latch**, mentre quelli non trasparenti si chiamano **flip-flop**. Uno

piuttosto comune si chiama **positive edge-triggered D flip-flop**, ed è una rete con due variabili di ingresso, d e p , che si comporta come segue: “quando p ha un fronte in salita, memorizza d , attendi un po’ e adegua l’uscita”.



Uno schema **concettuale** per realizzare una rete che si comporti in questo modo è il seguente: si prende un D-latch, e si premette alla variabile c un **formatore di impulsi**, in modo tale che, al fronte di salita di p , il D-latch **vada brevemente in trasparenza** e memorizzi d . Inoltre (**fondamentale**) si **ritarda l’uscita** di un ritardo Δ **maggiore dell’intervallo del $P+$** . In questo modo, quando q cambia adeguandosi a d , **la rete non è più in trasparenza, ma in conservazione**.

L’uscita q viene adeguata al valore campionato di d dopo che la rete ha smesso di essere sensibile al valore di d .

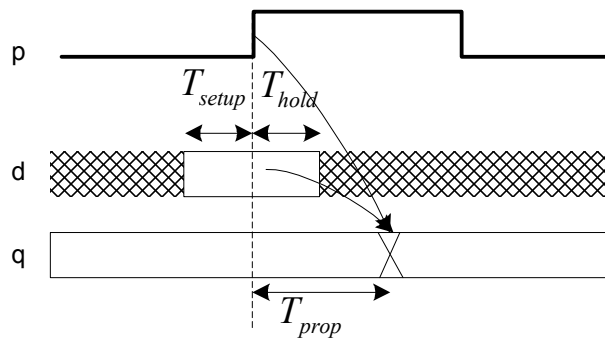
Il **pilotaggio** del D-FF deve avvenire nel rispetto di alcune regole:

- A cavallo del fronte di salita di p , la variabile d **deve rimanere costante**. I tempi per cui deve rimanere costante prima e dopo il fronte di salita si chiamano T_{setup} , T_{hold} . I nomi sono gli stessi del D-latch, ma i tempi **non sono gli stessi**, e dipendono da come è progettata la rete. Vedremo più avanti altre implementazioni (commerciali) del D-FF.
- Tra due transizioni in salita della variabile p deve passare abbastanza tempo perché l’uscita si possa adeguare.

Il ritardo con cui si adegua l’uscita, misurato a partire dal fronte di salita di p , si chiama T_{prop} , ed è

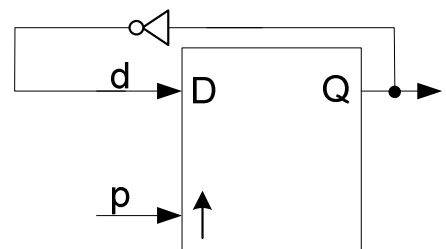
$T_{\text{prop}} > T_{\text{hold}}$. Quest’ultima disuguaglianza garantisce che la rete è **non trasparente**.

Il tutto si vede bene con un diagramma di temporizzazione:

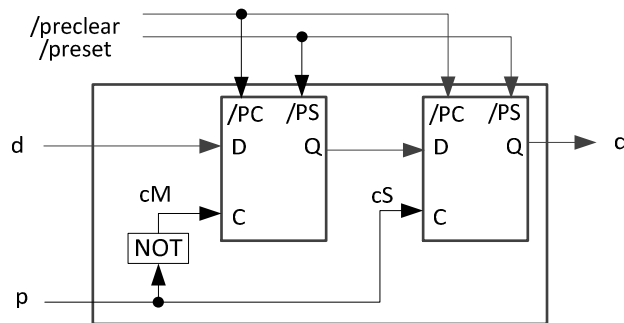


L'uscita di un D-FF **non oscilla mai** (a differenza di quella del D-latch), in quanto viene adeguata in modo **secco** ad un istante ben preciso, e non è mai “direttamente connessa” con l'ingresso d . Ciò comporta che si possono montare i D-FF in qualunque modo si voglia, tanto **non succede niente**.

Ad esempio, in questo caso non succede assolutamente niente. Ogni volta che arriva un fronte di salita di p , l'uscita cambia valore (con il debito ritardo). Posso mettere in ingresso a d **qualsunque funzione dell'uscita q** , senza che ci siano problemi di sorta.



Esiste un'altra possibilità per la sintesi del D-FF. Si può usare una struttura **master/slave**, fatta da **due D-latch in cascata**.



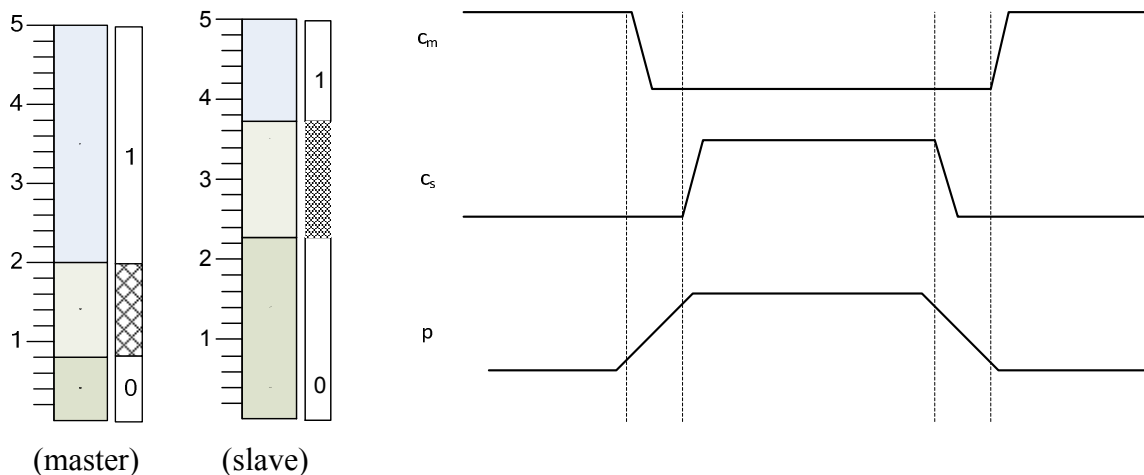
Quando:

- $p=0$, **il master campiona, e lo slave conserva** (quindi non ascolta il proprio ingresso d);
- $p=1$, **il master conserva, e lo slave campiona** (quindi insegue l'uscita del master).

Quindi, sul fronte di salita di p , il master memorizza l'ultimo valore di d che ha letto, e lo slave presenta (con un certo ritardo T_{prop}) quell'ultimo valore come uscita della rete globale.

L'adeguamento dell'uscita avviene sul fronte di salita di p , ma, più o meno contemporaneamente, il master isola l'uscita dall'ingresso.

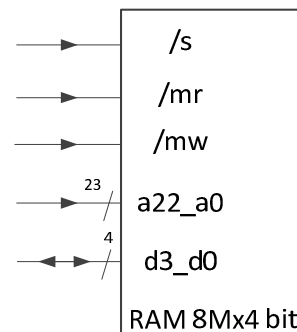
In teoria funziona tutto. Ci possono essere problemi, però, per quanto riguarda il funzionamento **transitorio**. In particolare, può succedere che il master e lo slave siano **contemporaneamente in trasparenza**, anche se per un transitorio. Per evitare questo, normalmente, si agisce per via **elettronica**. Si fa in modo che l'ingresso *c* dello slave riconosca la tensione di ingresso come 1 soltanto quando questa è prossima al fondo scala, e riconosca come 0 un maggior range di tensioni.



In questo modo si riesce a far sì che non siano mai entrambi in trasparenza.

1.6 Le memorie RAM statiche

Le RAM statiche, o S-RAM (esistono anche quelle **dinamiche**, ma sono fatte in modo del tutto differente) sono batterie di D-Latch montati a **matrice**. Una riga di D-Latch costituisce una **locazione di memoria**, che può essere **letta o scritta** con un'operazione di lettura o scrittura. Le operazioni di lettura e scrittura **non possono essere simultanee**.



Dal punto di vista dell'utente, una memoria è dotata dei seguenti collegamenti:

- un certo numero di **fili di indirizzo**, che sono **ingressi**, in numero sufficiente ad indirizzare tutte le celle della memoria. In questo esempio, la memoria contiene 2^{23} celle di 4 bit, e ci vogliono 23 fili di indirizzo
- un certo numero di **fili di dati**, che sono fili di **ingresso/uscita** (come tali, andranno **forchettati con porte tri-state**, come visto a suo tempo). In questo esempio sono 4.
- Due segnali **attivi bassi** di **memory read e memory write**. Non dovranno mai essere attivi contemporaneamente. Servono a dare il comando di lettura o scrittura della cella il cui indirizzo è trasportato sui fili a22_a0.
- Un segnale (attivo basso) di **select**, che viene attivato quando la memoria è selezionata. Quando /s vale 1, la memoria è insensibile a tutti gli ingressi. Quando vale 0, la memoria è selezionata, e

reagisce agli ingressi (fare il parallelo con **ingresso di enabler in un decoder**). Ciò consente di realizzare una memoria “**grande**” (in termini di n. di locazioni) mettendo insieme più banchi di memoria “**piccoli**”. Basta che ne selezioni **uno alla volta**, e poi posso mandare in parallelo tutto il resto (lo vediamo più avanti).

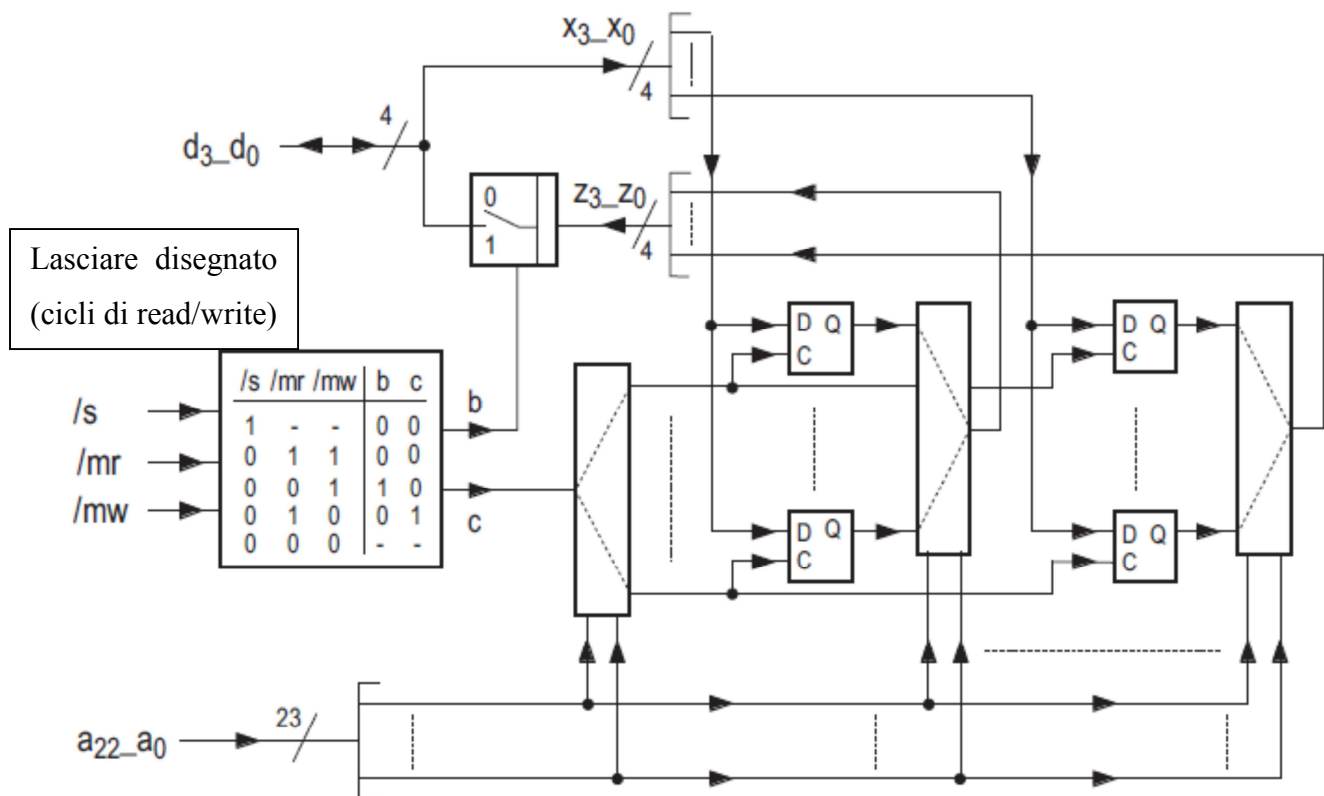
Il comportamento della memoria è quindi **deciso da /s, /mw, /mr**. Vediamo in che modo:

/s	/mr	/mw	Azione	b	c
1	-	-	Nessuna azione (memoria non selezionata)	0	0
0	1	1	Nessuna azione (memoria selezionata, nessun ciclo in corso)	0	0
0	0	1	Ciclo di lettura in corso	1	0
0	1	0	Ciclo di scrittura in corso	0	1
0	0	0	Non definito	-	-

b e c
dopo

Vediamo adesso come è realizzata una RAM statica.

- 1) Disegnare la matrice di D-latch. Una riga è una **locazione**, bit 0 a destra, bit 3 a sinistra.
- 2) Le uscite dei D-latch dovranno essere selezionate **una riga alla volta**, per finire sui fili di dati in uscita. Ci vuole un **multiplexer per ogni bit**, in cui
 - a. gli ingressi sono le uscite dei D-latch
 - b. le variabili di comando sono **i fili di indirizzo**
- 3) Le uscite di ciascuno dei (4) multiplexer vanno **bloccate** con (4) tri-state. Queste dovranno essere abilitate **quando sto leggendo dalla memoria**. Ci vuole una RC che mi produca l’enable (chiamiamolo **b**) come funzione di /s, /mw, /mr. (disegnare la tabella di verità).
- 4) Per quanto riguarda gli ingressi: posso portare a ciascuna **colonna** di D-latch i fili di dati sull’ingresso **d**. Basta che faccia in modo che, quando voglio **scrivere**, **soltanto una riga di d-latch** sia abilitata, cioè abbia **c ad 1**. Quindi, ciascuna **riga** di D-latch avrà l’ingresso **c** prodotto da un **demultiplexer**, comandato dai fili di indirizzo. Questo demultiplexer **commuterà sulla riga giusta** il comando di lettura, attivando solo una riga di **c** alla volta. In questo modo, anche se i fili di dati vanno in ingresso contemporaneamente a tutti i D-latch, solo una riga li sentirà. Il comando di lettura (chiamiamolo **c**) è funzione di /s, /mw, /mr. (disegnare la tabella di verità).

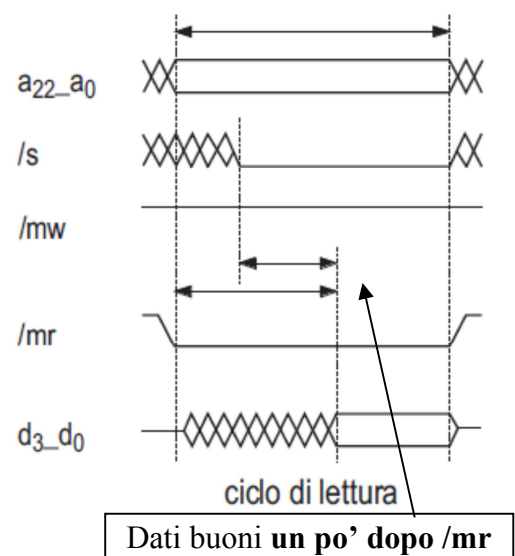


Le RAM statiche sono **molto veloci** (pochi ns di tempo di risposta). Infatti, il loro tempo di attraversamento è quello di **pochi livelli di logica**. Questa tecnologia è usata per realizzare **memorie cache** (le memorie RAM montate nel computer come memoria principale sono RAM **dinamiche**, e sono fatte diversamente).

Descriviamo adesso la **temporizzazione** del ciclo di **lettura** della memoria.

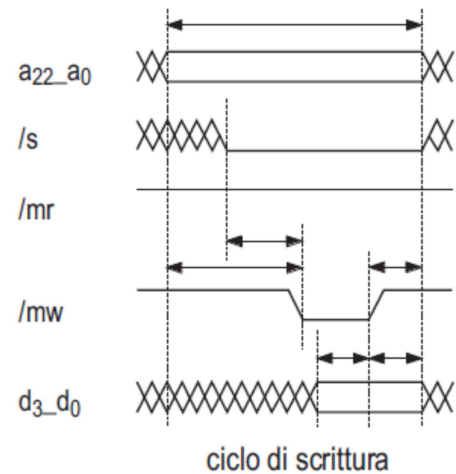
Ad un certo istante, gli indirizzi si stabilizzano al valore della cella che voglio leggere ed arriva il comando di **/mr**. Per motivi che saranno chiari fra un minuto, il comando di **/s** arriva con un po' di ritardo, e **balla** nel frattempo, in quanto è funzione combinatoria di altri bit di indirizzo.

Quando sia **/s** che **/mr** sono a 0, dopo un pochino le porte tri-state vanno in conduzione, così come i multiplexer sulle uscite vanno a regime. Da quel punto in poi i dati sono buoni, e chi li ha richiesti li può prelevare. Quando **/mr** viene ritirato su (il che verrà fatto quando **chi voleva leggere i dati li ha già prelevati**), i dati tornano in alta impedenza. A quel punto gli indirizzi e **/s** possono ballare a piacere, tanto non succede niente.



Descriviamo adesso la **temporizzazione** del ciclo di **scrittura** della memoria.

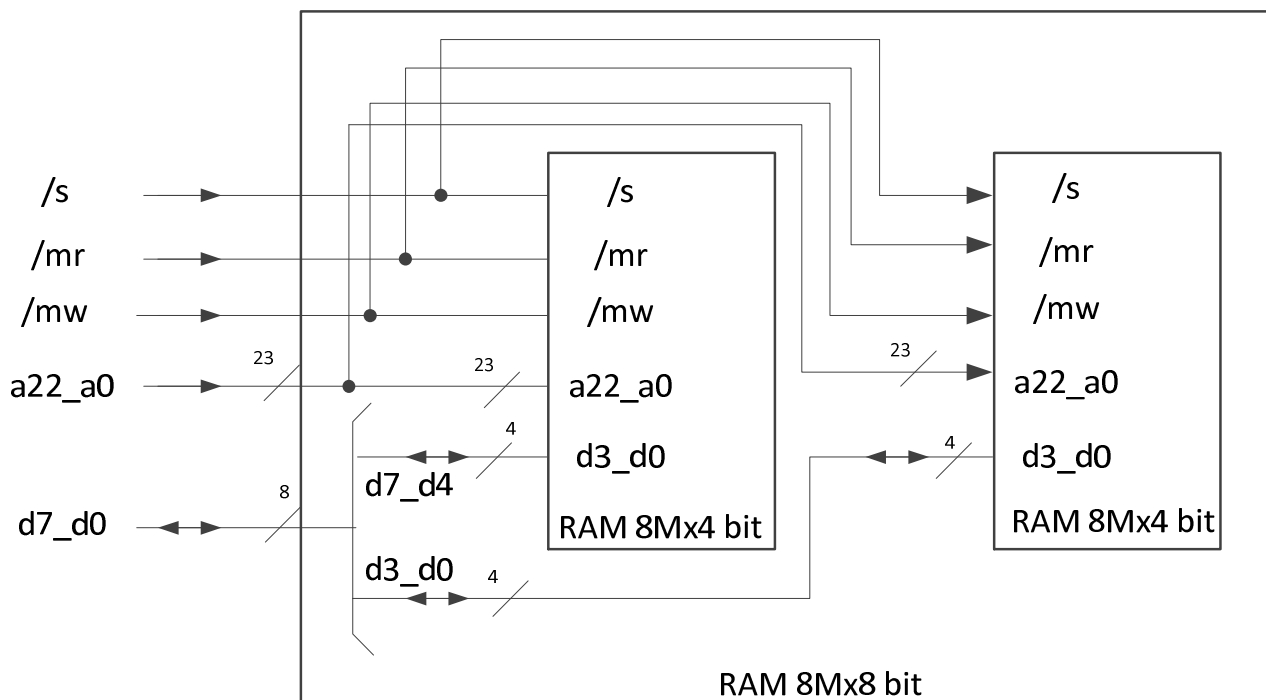
Qui le cose vanno diversamente. Visto che la **scrittura è distruttiva** (in quanto quando scrivo i D-latch sono in trasparenza), devo **attendere che /s e gli indirizzi siano stabili** prima di portare giù **/mw**. I dati, invece, possono ballare a piacimento (anche quando **/mw** vale 0), ma devono **essere buoni a cavallo del fronte di salita di /mw**. Tale fronte, infatti, corrisponde (con un minimo di ritardo dovuto alla rete C ed al demultiplexer), al fronte di discesa di *c* sui D-latch. [Il tempo per cui devono essere tenuti buoni *dopo* il fronte di salita di **/mw** è maggiore di T_{hold} , in quanto c'è dell'altra logica davanti.]



1.6.1 Montaggio “in parallelo”: raddoppio della capacità di ogni cella

Come si fa ad ottenere una memoria **8Mx8** usando banchi **8Mx4**? È facile. Basta connettere in parallelo tutti quanti i fili ed affastellare i dati.

NB: partire dal bus a sinistra, e disegnare due scatolette con gli ingressi. Connettere dopo.

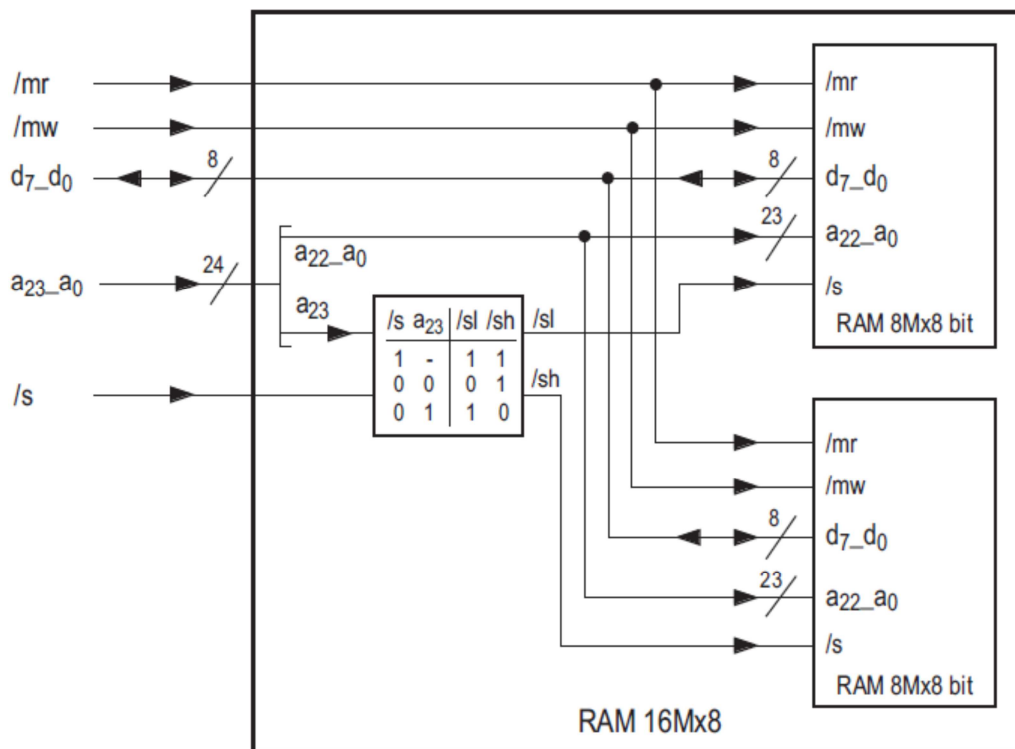


1.6.2 Montaggio “in serie”: raddoppio del n. di locazioni

Come si fa ad ottenere una memoria **16Mx8** usando banchi **8Mx8**? È facile, anche se richiede un po' di logica in più. Per indirizzare 16M ci vogliono **24 fili di indirizzo**, uno in più. Si dividono le locazioni in questo modo:

- parte “alta” ($a_{23}=1$) in un blocco
- parte “bassa” ($a_{23}=0$) nell'altro

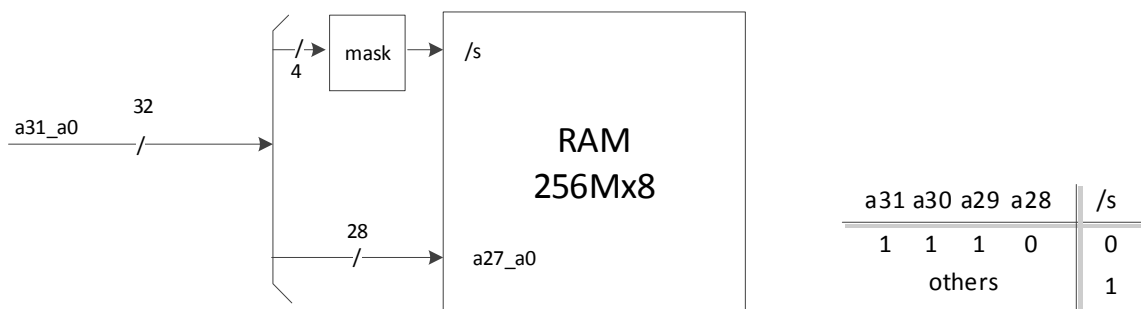
Quindi, si **genera** il segnale di **select** per i due blocchi usando il **valore di a_{23}** . Se il modulo di memoria che si vuole creare deve essere inserito in uno spazio di indirizzamento più grande, fa comodo poter fornire all'esterno un segnale globale di *select*, che dovrà quindi essere messo in OR con il bit di indirizzo **a_{23}** . Tutto il resto viene portato **in parallelo** ai due blocchi.



1.6.3 Collegamento al bus e maschere

I fili di indirizzo della memoria provengono da un **bus indirizzi**, dove il processore (e, talvolta, altri moduli) ne impostano il valore. Il piedino /s di un modulo di RAM serve appunto a poter **realizzare uno spazio di memoria grande usando moduli di memoria più piccoli**. Ad esempio, supponiamo di avere un bus indirizzi a **32 bit** (capace, quindi, di indirizzare 2^{32} celle di memoria), e di voler montare un modulo di RAM 256Mx8 bit **a partire dall'indirizzo 'HE0000000**. Ciascuno di questi moduli avrà 28 fili di indirizzo ($2^8=256$, $2^{20}=1M$), ed un filo di select /s. Pertanto, il modulo di RAM dovrà rispondere agli indirizzi nell'intervallo **'HE0000000-'HEFFFFFFF**. Per poterlo fare:

- I 28 fili di indirizzo meno significativi del bus andranno in ingresso al modulo di RAM.
- I restanti 4 fili di indirizzo più significativi andranno in ingresso ad una **maschera**, che genera il select per il modulo di RAM.



La maschera deve riconoscere la configurazione di bit richiesta ('HE='B1110). Pertanto, deve essere $/s = \overline{a_{31}} + \overline{a_{30}} + \overline{a_{29}} + a_{28}$.

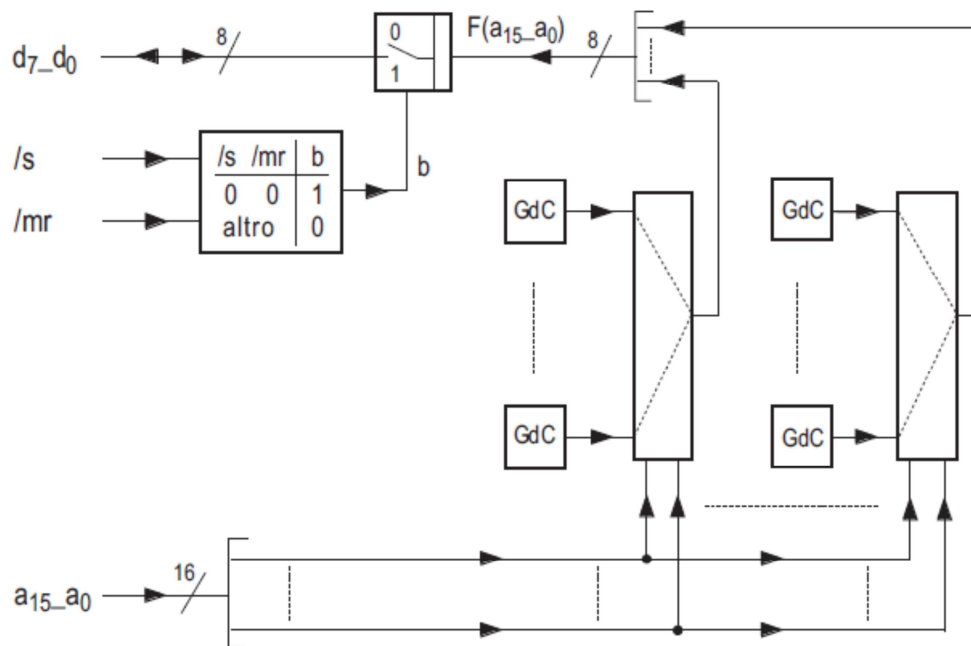
Chi progetta la maschera? Colui che assembla il sistema. Progettare la maschera significa decidere a che intervallo di indirizzi saranno associate le celle di un modulo di RAM. Quanto appena scritto giustifica il fatto che il filo di **select** normalmente si stabilizza **con un certo ritardo rispetto ai fili di indirizzo**, perché è comunque funzione di (altri) fili di indirizzo.

Come ultima nota, osserviamo che quelli visti finora sono **montaggi rigidi**. Sono cioè montaggi in cui si decide direttamente in **fase di progetto** quale deve essere il tipo di accesso (se a 4 o a 8 bit, ad esempio). Se si vuole mantenere **flessibilità**, cioè consentire in tempi diversi di fare accessi a 4 e ad 8 bit (si noti che, nel calcolatore, la memoria può essere letta a **byte, word, dword**) c'è bisogno di **altra logica** oltre quella (poca) che ci abbiamo messo noi. Montaggi del genere li vedrete (forse) nel corso di Calcolatori Elettronici.

1.7 Le memorie Read-only

Le memorie ROM (read-only memory) sono in realtà dei circuiti **combinatori**. Infatti, ciascuna locazione contiene dei valori **costanti**, inseriti in modo **indelebile** e **dipendente dalla tecnologia**. Sono montate insieme alle memorie RAM nello spazio di memoria, e costituiscono la parte **non volatile** dello spazio di memoria (cioè quella che **mantiene l'informazione in assenza di tensione**).

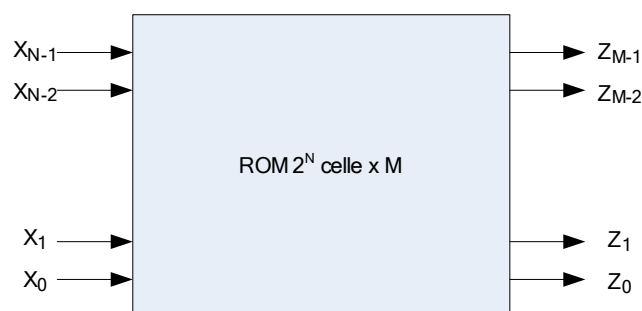
Possono essere descritte per **semplificazione** delle memorie RAM, togliendo tutta la parte necessaria alla scrittura. Anche se sono reti combinatorie, le loro uscite devono essere supportate da **porte tri-state**, in quanto devono poter coesistere su bus condivisi con altri dispositivi (ad esempio, processore e memorie RAM).



I D-latch sono sostituiti da (qualcosa di logicamente equivalente a) **generatori di costante**, la cui natura dipende dalla tecnologia. Si distinguono PROM, EPROM, EEPROM, a seconda che i generatori di costante possano essere “**programmati**” usando particolari apparecchiature. La programmazione **non può avvenire durante il funzionamento** (altrimenti sarebbero memorie RAM).

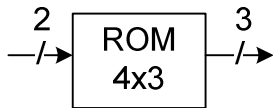
Il comando di lettura, unito al comando di select, mette in **conduzione le tri-state**, consentendo ai generatori di costante della riga selezionata dagli indirizzi di inserire sul bus il contenuto della cella.

Se si eccettua la presenza delle porte tri-state, una memoria ROM di 2^N celle di M bit ciascuna è una **rete combinatoria, con N ingressi ed M uscite**. Infatti, ad ogni possibile stato di ingresso (2^N possibili) deve corrispondere sempre lo stesso stato di uscita (contenuto della cella di memoria, M bit). Vediamo un esempio.



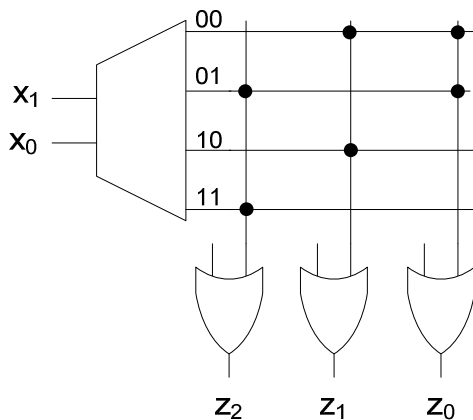
Dal punto di vista logico, una ROM di 2^N celle di M bit ciascuna è una **rete combinatoria, con N ingressi ed M uscite**. Infatti, ad ogni possibile stato di ingresso (2^N possibili) deve corrispondere sempre lo stesso stato di uscita (contenuto della cella di memoria, M bit). Vediamo un modo diverso di sintetizzarla.

Esempio: memoria 4x3



x_1	x_0	z_2	z_1	z_0
0	0	0	1	1
0	1	1	0	1
1	0	0	1	0
1	1	1	0	0

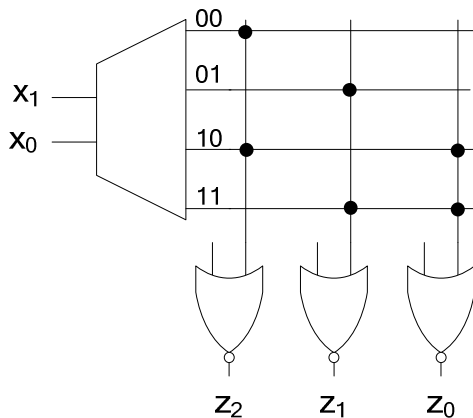
Come realizzo una simile rete? Facendo riferimento al **modello strutturale universale** descritto in precedenza. Bisogna che l'uscita z_0 riconosca gli stati 00 e 01, etc... Quindi:



Si connettono le uscite del decoder alla porta OR quando la cella che corrisponde a quella porta ha il corrispondente bit a 1, e non si connettono se il bit è a zero.

In generale, quindi, una ROM è un decoder N to 2^N , ed una batteria di M porte OR. Il contenuto della ROM è dato da come connetto le porte OR alle uscite del decoder.

Posso pensare di usare come stadio finale anche delle **porte NOR**.

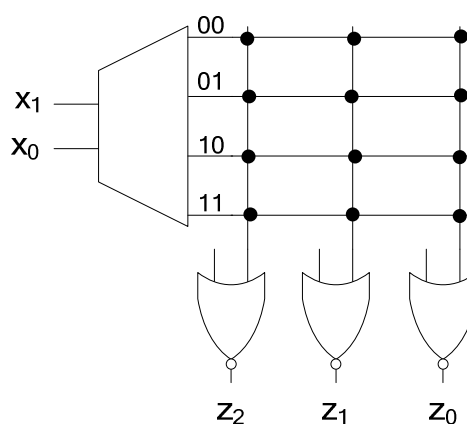


Si connettono le uscite del decoder alla porta NOR quando la cella che corrisponde a quella porta ha il corrispondente bit a 0, e non si connettono se il bit è a 1.

Una ROM è realizzata su un singolo chip di silicio, e deve uscire dalla fabbrica **già programmata** (cioè con i contatti già stabiliti), in quanto il processo di programmazione è parte integrante del processo di fabbricazione del chip. Visto che preparare lo “stampo” per una ROM ha un costo fisso molto elevato, la realizzazione di una ROM si giustifica soltanto con scale molto larghe, nell’ordine delle centinaia di migliaia di pezzi. È chiaro che dovrò trovare qualcosa di alternativo per le basse tirature, perché potrei non di meno aver bisogno di memorie non volatili. Vediamo le possibili alternative.

1.7.1 ROM programmabili

Pensiamo alla seguente possibilità: fornisco uno schema del genere, in cui i contatti tra le uscite degli AND e gli ingressi dei NOR ci sono tutti. Ciò vuol dire che il contenuto di ogni cella è **zero**. Se però posso “**bruciare**” qualcuno di questi contatti, posso **programmare la ROM** perché ciascuna cella contenga un contenuto arbitrario.



Bruciare un contatto significa mettere un bit ad 1.

- **PROM** (Programmable ROM). La matrice di connessione è fatta da **fusibili**, che possono essere fatti saltare in modo selettivo in modo da inserire in ciascuna cella il valore desiderato. Il chip viene venduto con tutti i fusibili a posto, e viene **successivamente** programmato dall’utente. È chiaro che la programmazione è **distruttiva**, non può cioè essere ripetuta.
- **EPROM** (Erasable Programmable ROM) Le connessioni sono fatte non con fusibili, ma con dispositivi elettronici (**field-effect transistors**), che sono programmabili per via elettrica e cancellabili tramite esposizione a raggi ultravioletti. Possono pertanto essere **cancellate** e riprogrammate più volte.
 - Probabilmente qualcuno ha già visto un chip EPROM su una scheda del PC. Avrete fatto caso che hano un “buco” sul dorso, tappato da un adesivo. È infatti attraverso quel foro che si cancellano, sottoponendole ai raggi ultravioletti. Ovviamente, per cancellarle bisogna toglierle da dove sono. Le EPROM si programmano con un apposito **programmatore di EPROM**.

La scarica di una EPROM prende qualche minuto (una decina, se sottoposta a lampada ad ultravioletti), ed è non selettiva. Non può essere fatta un numero infinito di volte, ed i dati che vengono memorizzati si degradano nel tempo, anche se molto lentamente:

- **endurance**: capacità di sopportare riprogrammazioni (nell'ordine delle 10K-100K volte)
- **data retention**: periodo per il quale si può far affidamento sul contenuto di una EPROM (nell'ordine dei 10-100 anni)
- **EEPROM (E²PROM)**: (Electrically Erasable Programmable ROM). Possono essere programmate e cancellate tramite **segnali elettrici** appositi (**diversi** da quelli del normale funzionamento a regime, ovviamente). Quindi possono essere riprogrammate direttamente **on chip**. Esempio: quando cambiate le impostazioni del BIOS, le salvate su un dispositivo dove:
 - In assenza di tensione vengono mantenute
 - Le potete modificare successivamente.

Tale dispositivo è appunto una EEPROM.

Anche per questi esistono parametri simili a quelli delle EPROM (data retention, endurance). A ben guardare, una EEPROM è un dispositivo programmabile. Lo si continua a chiamare ROM (invece che RAM) in quanto la programmazione è un modo operativo differente da quello della normale attività della memoria. Infatti:

- il numero di volte in cui si può riprogrammare una EEPROM è comunque limitato
- il tempo che ci vuole a riprogrammare una EEPROM è molto maggiore (ms) del tempo che ci vuole a leggerla
- le **tensioni** che si usano non sono le stesse (12-18V, contro 5)
- le memorie continuano ad essere non volatili.

2 Reti Sequenziali Sincronizzate

Le RSS sono quelle che si evolvono **soltanto in corrispondenza di istanti temporali ben precisi**, detti appunto **istanti di sincronizzazione**. Tali istanti devono essere opportunamente distanziati (non possono essere troppo ravvicinati). Non sono i **cambiamenti di ingresso** che fanno evolvere una RSS, come era invece per le RSA: le RSS si evolvono **all'arrivo del segnale di sincronizzazione**.

Come si **realizza fisicamente** la sincronizzazione? Portando alle reti un **segnale di ingresso particolare, detto clock**. Tale segnale scandisce, con le sue transizioni, la sincronizzazione della rete.



Il clock ha, normalmente, una forma d'onda **periodica**, di **frequenza nota** $1/T$. Non necessariamente il **duty-cycle** τ/T è del 50%, ma non può essere troppo piccolo (né, ovviamente, troppo grande). L'evento che **sincronizza** la rete che riceve questo segnale è, normalmente, il **fronte di salita del clock**.

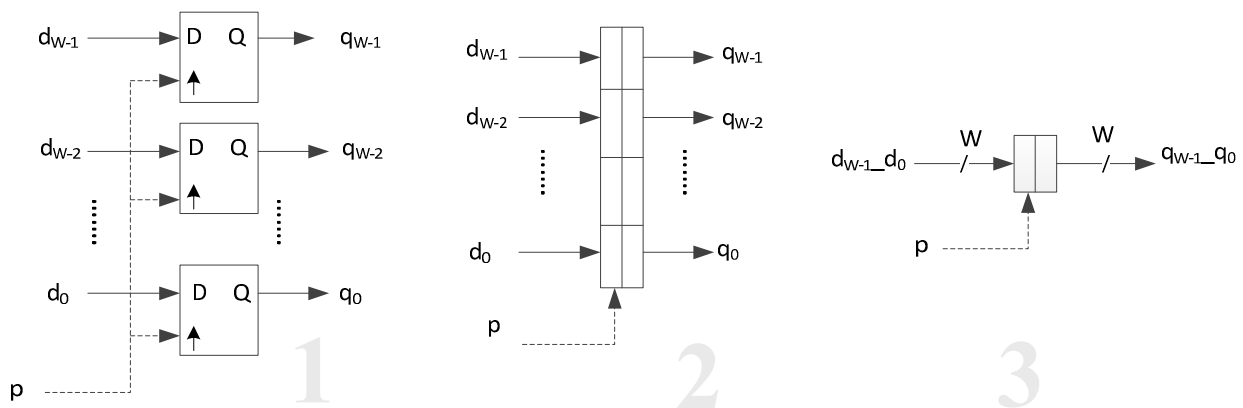
2.1 Registri

Definisco un **registro a W bit** come una **collezione di W D-Flip-Flop Positive-Edge-Triggered**, che hanno:

- a) ingressi d_i ed uscite q_i separati (cioè indipendenti)
- b) **ingresso p a comune**

Un registro può essere visto come una **rete sequenziale sincronizzata**, in cui l'ingresso p funge da **segnale di sincronizzazione**.

Quindi, d'ora in poi, useremo i registri (basati su D-FF) come **elemento base** per la sintesi di RSS. Pur essendo il D-FF una rete sequenziale **asincrona**, se considero i due ingressi d e p nella loro generalità, niente mi vieta di attribuire all'ingresso p un **valore speciale**, appunto quello di **segnale di sincronizzazione**, e vedere il D-FF come una rete sequenziale **sincronizzata**.



Visto che p non specifica più, in quest'ottica, **un valore di ingresso, posso smettere di annoverarlo tra gli ingressi**: non mi interessa, infatti, il suo valore, ma soltanto l'istante in cui transisce da 0 ad 1. Dirò, d'ora in avanti, che il registro a W bit **ha W ingressi e W uscite**, sottintendendo che ha anche un ulteriore ingresso di clock, dedicato però a portare il segnale di sincronizzazione. Lo stato di uscita del registro (W bit, detti **capacità** del registro) ad un certo istante verrà anche chiamato **contenuto** del registro stesso in quell'istante. L'utilizzo di tale contenuto (ad esempio per fornire ingresso ad una rete combinatoria) verrà detto **lettura del registro**. La memorizzazione dei W bit in ingresso ad un certo istante di sincronizzazione verrà detta **scrittura** del registro.

Infine, se mi interessa impostare un **valore iniziale** per il registro, collegherò i piedini **/preset** e **/preclear** di ciascun D-FF alla variabile di /reset o ad 1 in modo da impostare lo stato desiderato.

L'unico requisito di **pilotaggio** per un registro è che gli ingressi d si mantengano **stabili** intorno al fronte di salita del clock, per un tempo T_{setup} prima e T_{hold} dopo. L'uscita, come sappiamo, cambia dopo $T_{prop} > T_{hold}$. **Tutto ciò che accade ai suoi ingressi al di fuori di questo intervallo è irrilevante, e non verrà memorizzato**. Posso montare un registro nei modi più barbari senza che si perda la prevedibilità dell'evoluzione del suo stato.

È fondamentale capire **bene** che **i registri memorizzano il proprio stato di ingresso al fronte di salita del clock**. Il fatto che **due stati di ingresso ai registri**, presentati su istanti di clock (fronti di salita) **consecutivi**, siano **identici, adiacenti o non adiacenti non riveste alcuna importanza**. Quindi:

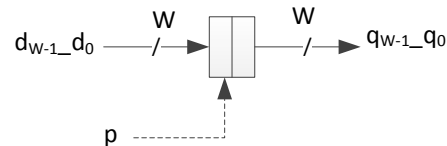
Tra due fronti di salita del clock, **lo stato di ingresso ai registri può cambiare in qualunque modo (o non cambiare affatto)**. Al nuovo fronte di salita del clock, lo stato di ingresso presente verrà memorizzato (come se fosse un nuovo stato, anche se identico al precedente).

Inoltre, le **uscite cambiano T_{prop} dopo il fronte di salita del clock, e restano costanti per tutto un periodo**.

2.1.1 Descrizione in Verilog di registri

È il caso di iniziare ad utilizzare il linguaggio **Verilog** per descrivere reti sequenziali sincronizzate. Lo facciamo in parallelo ad **altri** formalismi (tipo tabelle di flusso, etc.) perché finiremo a descrivere RSS di **notevole complessità**, per le quali gli altri formalismi sono assolutamente inefficienti (pensate ad **una rete con 50 stati e 20 ingressi**, e vedete se con le tabelle ve la cavate). Non che tale linguaggio fosse inadatto a descrivere, ad esempio, le reti combinatorie o le RSA. Però finora ce l'abbiamo fatta senza, e tanto bastava.

Descriviamo in Verilog questa semplice rete:



Var **attiva bassa** (non posso mettere "/" nel nome

```
// Dichiarazione di due variabili a W bit, dw-1_d0 e qw-1_q0 da usarsi,
// rispettivamente, come variabile di ingresso e come variabile di uscita
// e impostazione di quest'ultima come effettiva variabile di uscita
reg [W-1:0] REGISTRO;
wire clock, reset_;
wire [W-1:0] dw-1_d0;
wire [W-1:0] qw-1_q0; assign qw-1_q0=REGISTRO;
```

Dichiarazione registri
(**reg**) e fili (**wire**)

Blocco **assign** – assegnamento
continuo (aggiornamento uscite)

Blocco **always** – assegnamento
procedurale
(scrittura registri)

```
// Immissione nel registro del contenuto_iniziale al reset_
// della variabile dw-1_d0 all'arrivo di ogni segnale di sincronizzazione
always @(reset_==0) #1 REGISTRO<=contenuto_iniziale;
always @(posedge clock) if (reset_==1) #Tpropagation REGISTRO<=dw-1_d0;
```

@: Controllo degli eventi

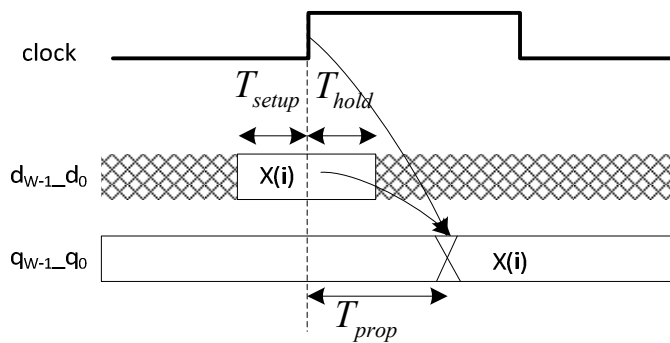
Tempo di propagazione. D'ora in avanti ci metteremo "3". Conviene che sia >0, perché sennò nelle simulazioni non si capisce cosa succede.

Assegnamento procedurale
non bloccante "<="

Si noti (è **importante**) la distinzione tra **assegnamento procedurale non bloccante** "<=" e **assegnamento continuo** "=". Il primo descrive la **scrittura in un registro**, che avviene in un **preciso momento** (vedasi condizione @...). Il secondo è una cosa diversa, e descrive qualcosa che è vero continuamente, ad ogni istante t . È necessario ricordare che:

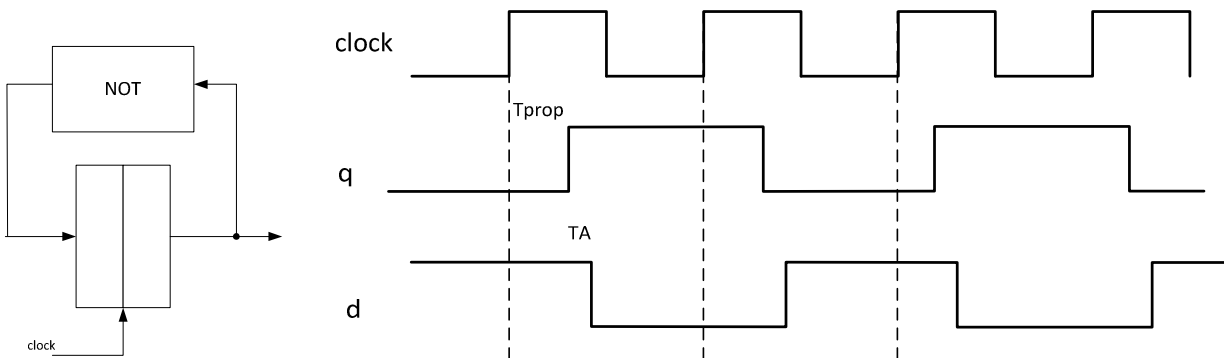
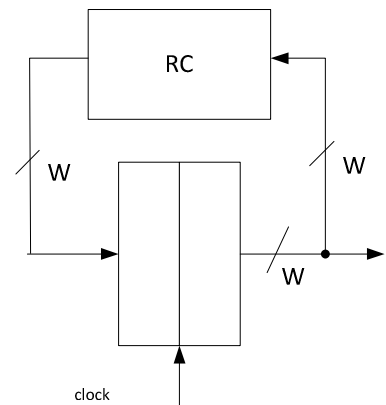
- gli assegnamenti **ai fili di uscita** vanno messi in statement **assign** da scrivere in cima (assegnamenti continui).
- Le scritture **dei registri** vanno messi nel blocco **always** da scrivere in fondo (assegnamenti procedurali).

La **temporizzazione** del registro è scritta nella pagina successiva.



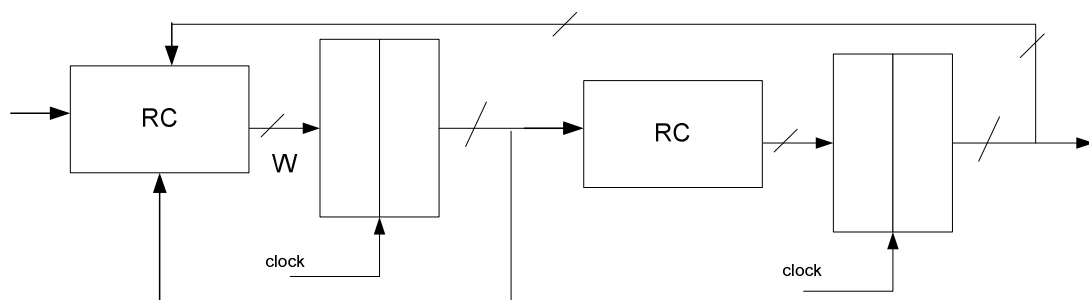
2.2 Prima definizione e temporizzazione di una RSS

Una **rete sequenziale sincronizzata** è, in prima approssimazione (daremo in seguito definizioni più precise), una **collezione di registri e di reti combinatorie**, montati in qualunque modo si vuole, purché non ci siano **anelli di reti combinatorie** (che invece darebbero vita ad una **rete sequenziale asincrona**), e purché i **registri abbiano tutti lo stesso clock**. Ci possono essere, invece, anelli che **abbiano registri al loro interno**, in quanto questo non crea alcun problema. Ad esempio:

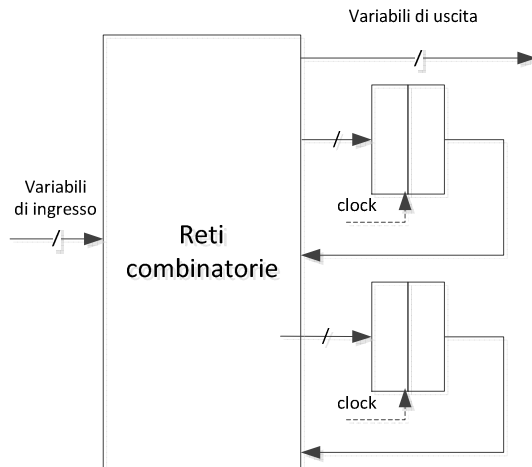


Nonostante l'uscita sia reazionata sull'ingresso, non ci sono oscillazioni incontrollate.

Posso montare registri e reti combinatorie anche così:



Lo stesso disegno lo posso fare, più in generale, come scritto sotto:



L'unica regola di pilotaggio che dobbiamo garantire (e dalla quale discende tutto il resto) è che

Detto t_i l' i -esimo fronte di salita del clock, lo stato di ingresso ai registri deve essere stabile in $[t_i - T_{setup}, t_i + T_{hold}]$, per ogni i .

Vediamo dove ci porta questa regola. Non posso fare il clock **veloce quanto voglio**. In particolare, se voglio che uno stato di ingresso, attraverso le reti combinatorie, concorra a formare gli ingressi ai registri, dovrò **dare il tempo a chi pilota la rete**: a) di produrre un nuovo stato di ingresso, b) di farlo arrivare, attraverso le reti combinatorie, fino in ingresso ai registri. Definiamo i seguenti **ritardi**:

- $T_{in_to_reg}$: il tempo di attraversamento della più lunga catena fatta di **sole** reti combinatorie che si trovi tra **un piedino di ingresso fino all'ingresso di un registro**
- $T_{reg_to_reg}$: (... ..) **l'uscita di un registro e l'ingresso di un registro**
- $T_{in_to_out}$: (... ..) **un piedino di ingresso e un piedino di uscita**
- $T_{reg_to_out}$: (... ..) **l'uscita di un registro e un piedino di uscita**

Ho i ritardi sopra scritti, e ho **tre vincoli temporali**

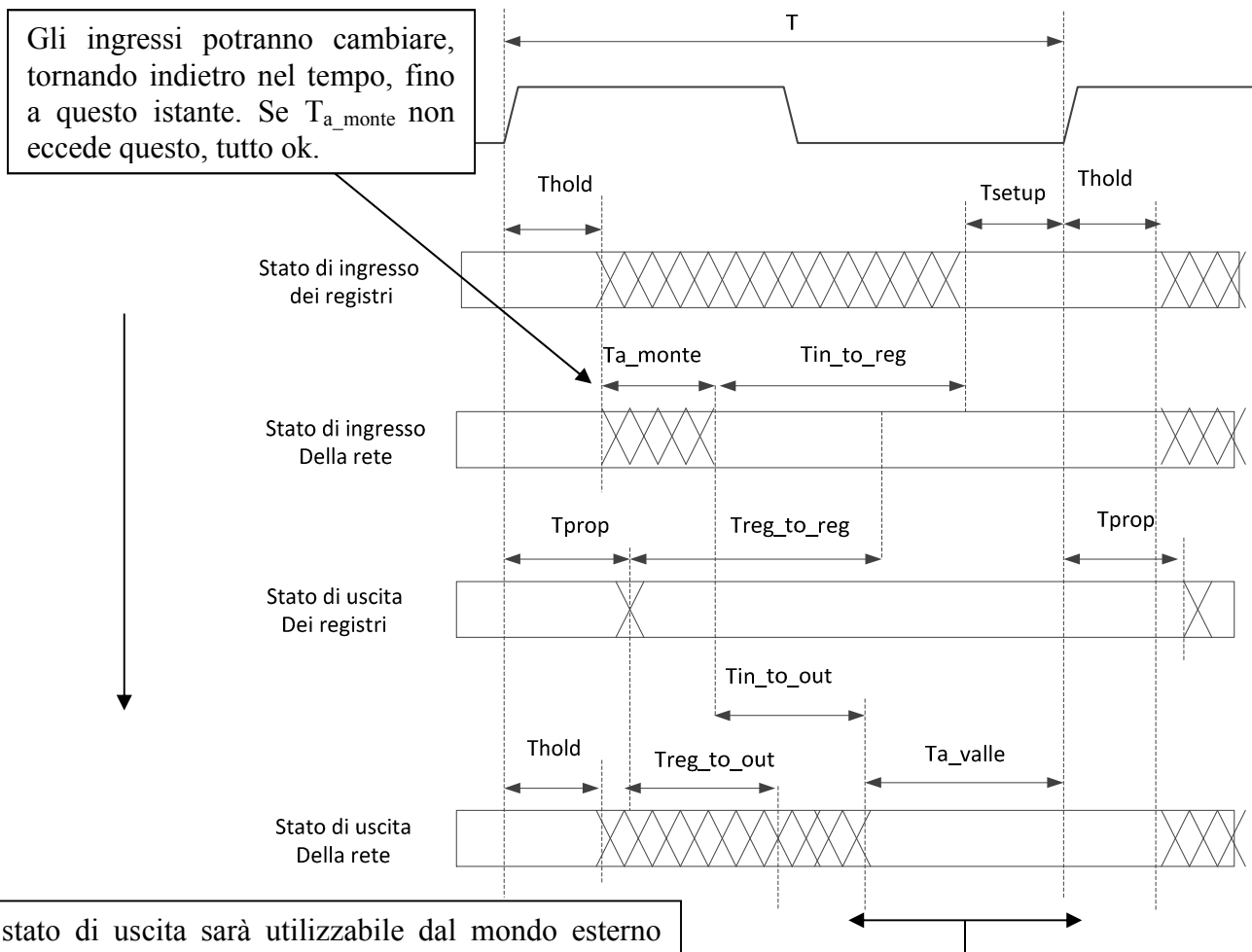
- a) ingressi costanti in $[t_i - T_{setup}, t_i + T_{hold}]$ (vincolo costruttivo dei registri)
- b) vincolo di pilotaggio in ingresso: chi pilota gli ingressi (chi sta "a monte" della RSS) deve avere almeno un tempo T_{a_monte} per poterli cambiare. Al netto di tutti i ritardi sopra scritti, dovrò lasciare una finestra larga almeno T_{a_monte} in ogni periodo di clock per il pilotaggio della rete.
- c) vincolo di pilotaggio in uscita: chi usa le uscite (chi sta "a valle" della RSS) deve averle stabili per un tempo T_{a_valle} per poterci fare qualcosa. Al netto di tutti i ritardi sopra scritti, dovrò lasciare una finestra larga almeno T_{a_valle} in ogni periodo di clock perché si possano usare le uscite.

Ciò detto, posso **dimensionare il periodo di clock** in modo da tener conto dei tre vincoli sopra scritti, noti i ritardi che abbiamo definito.

(**chiave di lettura:** all'istante 0 il clock ha il fronte. Da lì elenco tutti i tempi che mi ci vogliono.

Disegnare con riferimento alla figura di temporizzazione di sotto)

- | | |
|--|-----------------------------------|
| 1) $T \geq T_{hold} + T_{a_monte} + T_{in_to_reg} + T_{setup}$ | (percorso da ingresso a registro) |
| 2) $T \geq T_{prop} + T_{reg_to_reg} + T_{setup}$ | (percorso da registro a registro) |
| 3) $T \geq T_{hold} + T_{a_monte} + T_{in_to_out} + T_{a_valle}$ | (percorso da ingresso a uscita) |
| 4) $T \geq T_{prop} + T_{reg_to_out} + T_{a_valle}$ | (percorso da registro a uscita) |



Lo stato di uscita sarà utilizzabile dal mondo esterno dopo che:

- 1) Lo stato dei registri avrà attraversato le RC per arrivare in uscita ($T_{reg_to_out}$)
- 2) Lo stato di ingresso della rete avrà attraversato le RC fino all'uscita ($T_{in_to_out}$)

Le uscite saranno utilizzabili per tutto questo tempo. Se T_{a_valle} non eccede questo intervallo, tutto ok.

Ci sono alcune sottigliezze da tenere in conto:

- T_{sfas} il **massimo sfasamento tra due clock**. Se voglio portare un clock comune a elementi diversi, non posso che aspettarmi che, per via dei ritardi sulle linee, a qualche registro arrivi prima e a qualche altro dopo.
- T_{reg} : sappiamo che lo stato di un D-FF cambia dopo T_{prop} dal fronte di salita. Se un registro è formato da $W > 1$ bit, è impensabile che cambino **tutti contemporaneamente**. Ci sarà, quindi, un tempo in più da attendere dopo T_{prop} per essere certi che lo stato di uscita di un registro sia cambiato **per intero**. Possiamo quindi scrivere $T_{prop}' = T_{prop} + T_{reg}$ e dimenticarcelo

Quindi, ad essere precisi, le disequazioni dovrebbero essere riscritte in questa maniera

1) $T \geq T_{sfas} + T_{hold} + T_{a_monte} + T_{in_to_reg} + T_{setup}$	(percorso da ingresso a registro)
2) $T \geq T_{sfas} + T_{prop}' + T_{reg_to_reg} + T_{setup}$	(percorso da registro a registro)
3) $T \geq T_{sfas} + T_{hold} + T_{a_monte} + T_{in_to_out} + T_{a_valle}$	(percorso da ingresso a uscita)
4) $T \geq T_{sfas} + T_{prop}' + T_{reg_to_out} + T_{a_valle}$	(percorso da registro a uscita)

In generale, però, T_{sfas} è **molto piccolo**, e quindi lo supporremo nullo d'ora in avanti.

Se rendiamo il modello disegnato in figura **un po' meno generale**, magari vietando qualche cammino, è probabile che le cose si semplifichino. In particolare, la condizione 3) rischia di essere la più vincolante, perché costringe a tenere conto contemporaneamente delle esigenze di chi sta “a monte” e di chi sta “a valle”. Se, ad esempio, impongo che **le uscite siano soltanto funzione combinatoria del contenuto dei registri**, e che quindi **non ci sia mai connessione diretta tra ingresso e uscita** (cioè, non esista mai una via **combinatoria** tra ingresso e uscita), la terza condizione scompare. Reti così fatte si chiamano **reti (su modello) di Moore**, e le vedremo in dettaglio più in là. Se, invece, impongo che le uscite siano prese direttamente dalle uscite dei registri (senza reti combinatorie nel mezzo), nella disequazione 4) scompare il termine $T_{reg_to_out}$. Reti così fatte si chiamano **reti (su modello) di Mealy ritardato**.

È difficile, se non impossibile, che **chi interagisce con una RSS** possa rispettare vincoli di temporizzazione (e.g., cambiare gli ingressi a monte soltanto durante la finestra consentita) se non è a conoscenza del **clock della rete a valle**. Se vogliamo far interagire due reti, delle due l'una:

- Le due reti devono avere un clock a comune
- Le due reti devono implementare meccanismi di sincronizzazione, detti *handshake*, che vedremo più avanti nel corso.

Esistono tecniche formali e diversi modelli per la sintesi di RSS. Come al solito, prima vediamo qualche esempio semplice, sintetizzato in maniera **euristica**, per acquisire dimestichezza.

Considerazione importante

Nelle RSS, **lo stato di ingresso** (opportunamente modificato dalle reti combinatorie) viene campionato **all'arrivo del clock**. Cosa faccia lo stato di ingresso **tra due clock non ha alcuna importanza**, purché si stabilizzi in tempo. Non ci interessa:

- se cambia di n bit, con $n > 1$
- se non cambia affatto, e rimane identico per due fronti di salita del clock.

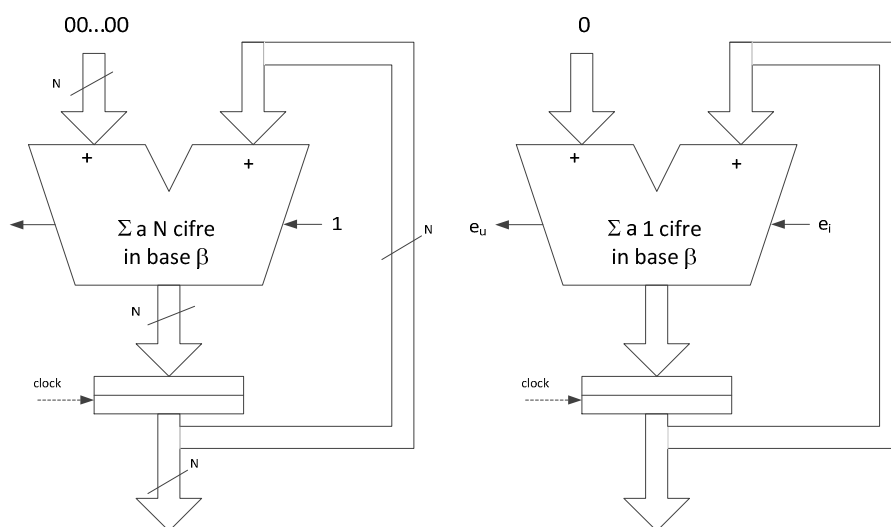
In quest'ultimo caso sarà **comunque** visto come due stati di ingresso **differenti** (perché presentati ad istanti differenti). Le RSS **evolvono all'arrivo del clock** (per essere più precisi: **ad ogni fronte di salita**, ma non lo diremo più per semplicità), **non quando cambiano gli ingressi**.

2.3 Contatori

Un **contatore** è una RSS il cui stato di uscita può essere visto come un **numero naturale ad n cifre in base β** , secondo una qualche codifica. Ad esempio, potremo parlare di **contatori a 2 cifre in base 10 BCD**, o di **contatori a n cifre in base 2**.

Ad ogni clock, il contatore fa la seguente cosa:

- **incrementa di uno** (modulo β^n , ovviamente), il valore in uscita (**contatore up**);
- **decrementa di uno** (modulo β^n , ovviamente), il valore in uscita (**contatore down**);
- **incrementa o decrementa** a seconda del valore di una **variabile di comando** (contatore up/down).



Posso realizzare un **contatore up** con un **modulo sommatore** ed un **registro**. Il sommatore sarà una **rete combinatoria** che lavora in base β , capace di sommare n cifre. Visto che devo incremen-

tare sempre di uno, tanto vale che uno dei due ingressi sia 0, ed il riporto entrante sia uguale ad 1.

Dal punto di vista Verilog, la descrizione sarà di questo tipo:

```
module ContatoreUp_Ncifre_BaseBeta(numero, clock, reset_);
input clock, reset_;
output [W-1:0] numero;
reg [W-1:0] OUTR; assign numero=OUTR;
always @(reset_==0) #1 OUTR<=0;
always @(posedge clock) if (reset_==1) #3
    OUTR<= Inc_N_cifre_beta(OUTR);
endmodule
```

Assumendo che **W bit uguali a 0** siano una codifica buona per un numero ad n cifre in base beta

Supponiamo che n cifre in base beta possano essere rappresentate su W bit

Ed il **sommatore** lo descrivo come una rete combinatoria:

```
function [W-1:0] Inc_N_cifre_beta;
input [W-1:0] numero;
case (numero)
<cod_0> : Inc_N_cifre_beta = <cod_1>;
<cod_1> : Inc_N_cifre_beta = <cod_2>;
...
default : Inc_N_cifre_beta = 'BXXX...XXX;
endcase
endfunction
```

Se poi il contatore è **in base 2, e soltanto in quel caso**, in Verilog posso scrivere tutto in modo più semplice, in quanto in Verilog è **definito l'operatore di somma +**, che descrive una rete combinatoria che fa da **sommatore ad N cifre in base 2**. Ovviamente la cosa funziona soltanto in base 2.

```
module ContatoreUp_Ncifre_Base2(numero, clock, reset_);
input clock, reset_;
output [N-1:0] numero;
reg [N-1:0] OUTR; assign numero=OUTR;
always @(reset_==0) #1 OUTR<=0;
always @(posedge clock) if (reset_==1) #3 OUTR<=numero+1;
endmodule
```

N bit uguali a 0 sono una codifica buona per un numero naturale ad n cifre in base due.

N cifre in base due sono N bit

Anche:
OUTR<=OUTR+1

Fin qui ho parlato di contatori **up**. Se voglio fare contatori **down**,

- scrivo “-” al posto di “+” nel caso di base 2
- cambio la funzione “sommatore” scritta prima in qualcos’altro (in base β generica)

Un contatore può essere dotato di un **ingresso di abilitazione e_i** , in modo che:

- se l’ingresso e_i vale 1, all’arrivo del clock **conta** (up o down, a seconda di come lo faccio)
- se l’ingresso e_i vale 0, all’arrivo del clock **conserva** l’ultimo valore.

Come si fa a fare questa cosa? Basta che l’ingresso e_i sia **collegato al riporto entrante del sommatore**. In questo caso, la descrizione Verilog per la base 2 verrebbe in questo modo:

```

module ContatoreUp_Ncifre_Base2 (numero, clock, reset_, ei)
input      clock, reset_, ei;
[...]
always @(posedge clock) if (reset==1) #3 OUTR<=OUTR+{'B00...00,ei};
endmodule

```

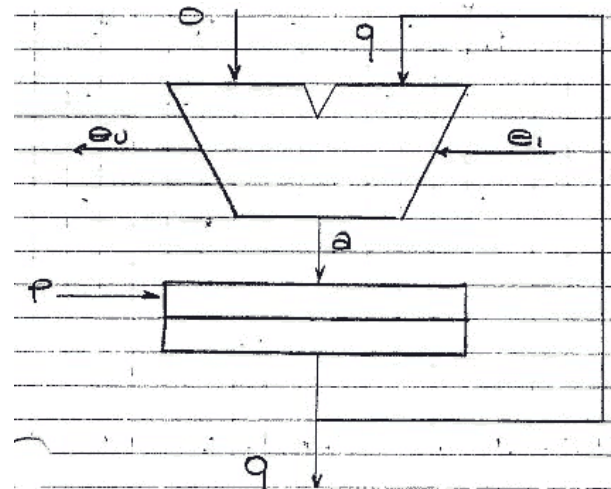
Mentre per la base generica *beta* avrei scritto:

```

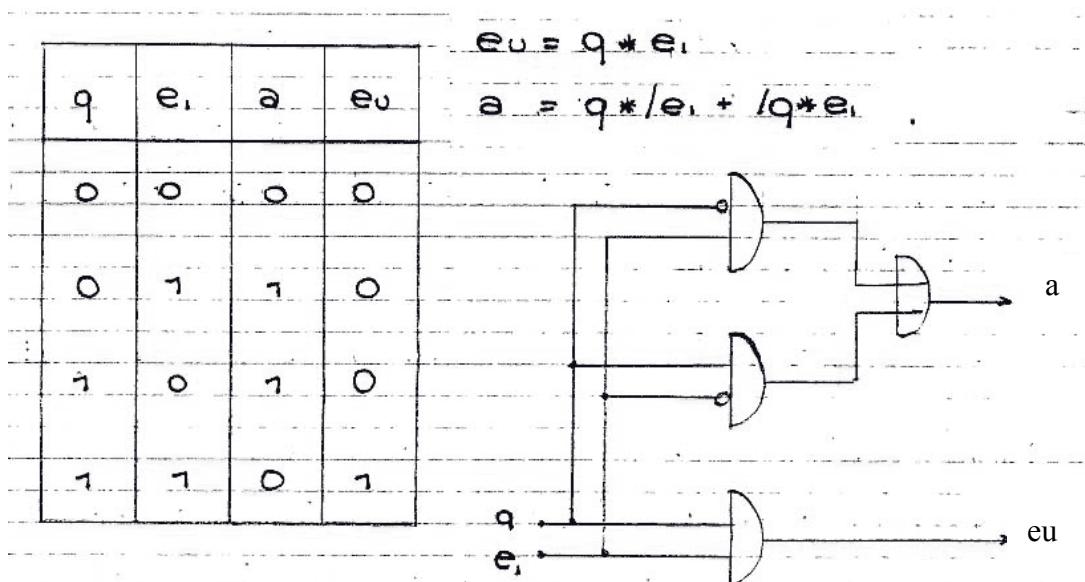
always @(posedge clock) if (reset==1) #3
  casex(ei)
    0: OUTR<=OUTR;
    1: OUTR<=Inc_N_cifre_beta(OUTR)
  endcase

```

Un contatore ad N cifre, qualunque sia la sua base, può sempre essere scomposto come una serie di contatori **ad una cifra collegati mediante catena dei riporti** (*ripple carry*, o, se ce lo mettiamo, con *carry lookahead*). In questo caso il registro è costituito dalla giustapposizione di tutti i D-FF che reggono una cifra, D-FF che hanno tutti lo stesso clock.



Nel caso di base 2, la sintesi che viene fuori è quella che conoscete dell'**incrementatore ad 1 cifra in base 2** (o **semisommatore, half-adder**), la cui tabella di verità è la seguente:



Una corrispondente descrizione in Verilog è la seguente:

```

module Elemento_Contatore_Base_2(eu,q,ei,clock,reset_);
input clock,reset_;
input ei;
output eu,q;
reg OTR; assign q=OTR;
wire a; // variabile di uscita dell'incrementatore
assign {a,eu}=
        ({q,ei}=='B00) ?'B00:
        ({q,ei}=='B10) ?'B10:
        ({q,ei}=='B01) ?'B10:
        /* ({q,ei}=='B11) */'B01;
always @(reset_==0) #1 OTR<=0;
always @(posedge clock) if (reset_==1) #3 OTR<=a;
endmodule

```

Ci sono 1000 modi diversi per scrivere l'**assign**, tra cui:

```

assign a=(q!=ei)?1:0;
assign eu=(q&ei);

```

Oppure, usando lo XOR (^)

```
assign a=q^ei;
```

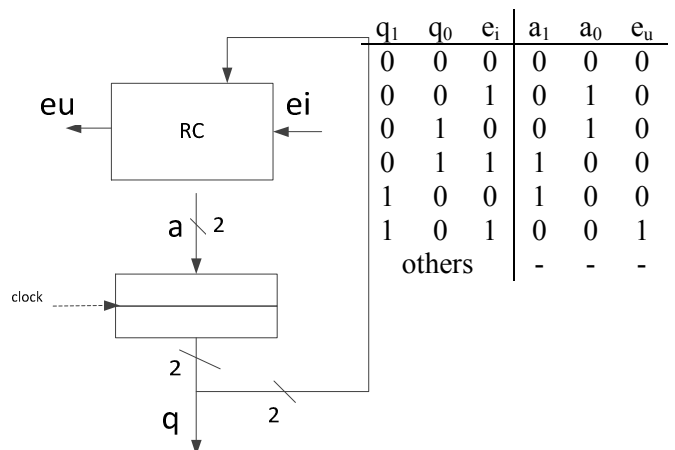
Questa, però, è una **descrizione**, non una **sintesi**.

Descriviamo e sintetizziamo il contatore **ad una cifra in base 3**. In base 3 ci vogliono 2 bit per codificare una cifra, e possiamo assumere la seguente codifica delle cifre: **0='B00**, **1='B01**, **2='B'10**. Quindi ci vorrà un registro **a due bit**, ed una rete che:

- ha in ingresso i 2 bit che escono dal registro ed un riporto entrante
- ha in uscita i due bit che vanno in ingresso al registro ed il riporto uscente

Per la **descrizione**, dovrò fare una delle due seguenti cose:

- un disegno come quello in figura, con tanto di tabella di verità
- una descrizione in Verilog



```

module Elemento_Contatore_Base_3(eu,q1_q0,ei,clock,reset_);
input clock,reset_;
input ei;
output eu;
output [1:0] q1_q0;
reg [1:0] OTR; assign q1_q0=OTR;
wire [1:0] a1_a0; // variabile di uscita dell'incrementatore
assign {a1_a0,eu}=
        ({q1_q0,ei}=='B000)?'B000:
        ({q1_q0,ei}=='B010)?'B010:
        ({q1_q0,ei}=='B100)?'B100:
        ({q1_q0,ei}=='B001)?'B010:
        ({q1_q0,ei}=='B011)?'B100:
        ({q1_q0,ei}=='B101)?'B001:
        /* default */ 'BXXX;
always @(reset_==0) #1 OTR<='B00;
always @(posedge clock) if (reset_==1) #3 OTR<=a1_a0;
endmodule

```


Per quanto riguarda la sintesi, l'unica cosa che rimane da fare è scrivere espressioni algebriche ottimizzate per le tre uscite:

le cifre 0,1,2 possono essere codificate nel seguente modo.

q_1	q_0	e_1	a_1	a_0	e_u
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
1	0	0	1	0	0
1	0	1	0	0	1
others		-	-	-	-

da cui vediamo

$$e_u = q_1 * e_1$$

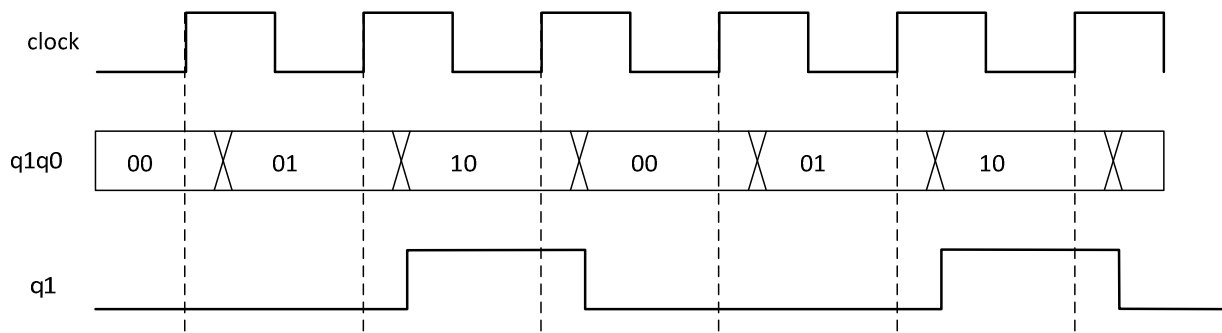
$$a_1 = q_0 * e_1 + q_1 * /e_1$$

$$a_0 = /q_1 * /q_0 * e_1 + q_0 * /e_1$$

Inoltre:

$q_1 q_0$	e_1	a_1	a_0	e_u
00	0	0	0	0
01	0	0	1	0
11	1	0	1	1
10	0	1	0	0

I contatori “**dividono in frequenza**”. Possono essere usati per **dividere la frequenza del clock** per un certo valore. Ad esempio, posso usare il **bit più significativo** dell'uscita del contatore in base 3 per ottenere un clock che va 3 volte più lento del clock del contatore.



Analogamente, la **cifra più significativa** di un contatore ad N cifre b2 che riceve clock a periodo T può essere usata come clock a periodo $2^N \cdot T$. Si noti che, per generare un clock in questo modo, si possono usare solo **uscite di registri, mai quelle di reti combinatorie** (e.g., il riporto uscente e_u). Infatti, le uscite di combinatorie possono ballare, mentre un clock deve essere assolutamente stabile.

Alcune note sui contatori

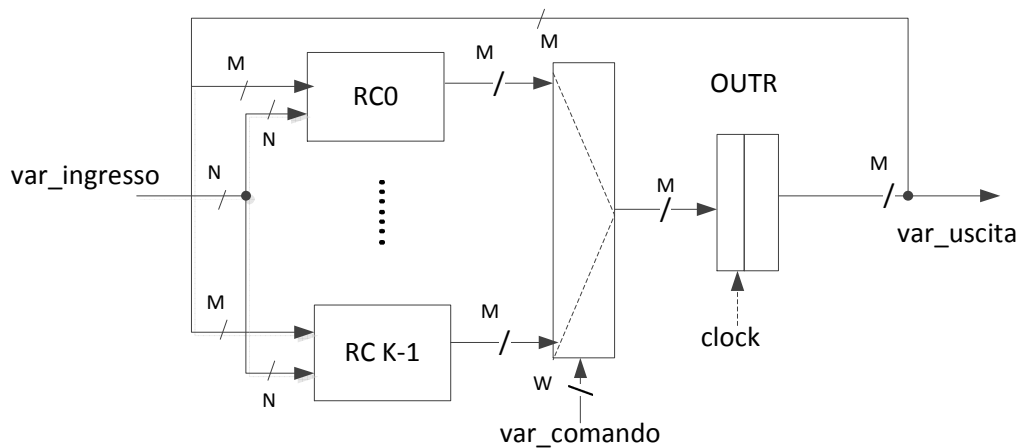
- Esistono contatori **up/down**, in cui c'è un'ulteriore variabile di comando che dice se contare up o down. Si implementano con **sommatori/sottrattori**, la cui sintesi avete visto a suo tempo.
- Nei contatori ad una cifra, il clock potrebbe essere dimensionato sulla base del solo ritardo della rete combinatoria che implementa il **semisommatore**. In realtà, bisogna osservare che, se molti di questi elementi vengono messi **in cascata** (per fare un contatore ad N cifre), **la catena dei riporti fa una rete combinatoria unica**, e quindi il clock va dimensionato tenendo conto anche di quella. Il “tempo a monte” e “tempo a valle” è in questo caso dato dal tempo che ci mette il resto del contatore ad andare a regime. I circuiti di *lookahead* servono appunto ad evitare che la catena dei riporti rallenti troppo il clock.

Descrizione del contatore espandibile ad 1 cifra in base 10

```
module Elemento_Contatore_Base_10(eu,q3_q0,ei,clock,reset_);
input clock,reset_;
input ei;
output eu;
output [3:0] q3_q0;
reg [3:0] OUTR; assign q3_q0=OUTR;
wire [3:0] a3_a0;
assign {a3_a0,eu}= ({q3_q0,ei}=='B00000')?'B00000:
                   ({q3_q0,ei}=='B00010')?'B00010:
                   ({q3_q0,ei}=='B00100')?'B00100:
                   ({q3_q0,ei}=='B00110')?'B00110:
                   [...];
                   ({q3_q0,ei}=='B10010')?'B10010:
                   ({q3_q0,ei}=='B00001')?'B00010:
                   [...];
                   ({q3_q0,ei}=='B10011')?'B00001:
                   /* default */ 'BXXXXXX;
always @(reset_==0) #1 OUTR<='H0;
always @(posedge clock) if (reset_==1) #3 OUTR<=a3_a0;
endmodule
```

2.4 Registri multifunzionali

Un **registro multifunzionale** è una rete che, all'arrivo del clock, memorizza nel registro stesso **una tra K funzioni combinatorie possibili**, scelte impostando un certo numero di **variabili di comando** ($W = \lceil \log_2 K \rceil$). Tali funzioni combinatorie potranno essere fatte in un modo qualunque, ad esempio potranno avere in ingresso l'uscita del registro stesso (ed altre variabili logiche). Si realizza con un **multiplexer a K ingressi**, alcune reti combinatorie ed un registro.



Dal punto di vista della descrizione Verilog, abbiamo:

```

module Registro_Multifunzionale(var_uscita,var_ingresso,
var_comando,clock,reset_);
input clock,reset_;
input [N-1:0] var_ingresso;
input [W-1:0] var_comando;
output [M-1:0] var_uscita;

reg [M-1:0] OUTR; assign var_uscita=OUTR;

always @(reset_==0) #1 OUTR<=contenuto_iniziale;
always @(posedge clock) if (reset_==1) #3
casex(var_comando)
    0 : OUTR<=F0(var_ingresso,OUTR);
    ...
    ...
    K-1: OUTR<=FK-1(var_ingresso,OUTR);
endcase
endmodule

```

$F_0(\dots)$

...

$F_{K-1}(\dots)$

Saranno **reti combinatorie**, che eventualmente descriveremo come **funzioni**, come sempre.

Un esempio semplice di registro multifunzionale è il caso (**bifunzionale**) di caricamento/traslazione. Un registro che, in base ad una variabile di comando **b0**,

- **carica** un nuovo valore, cioè memorizza M bit ex novo, oppure
- **trasla** a sinistra il proprio contenuto, cioè **butta via** il bit più significativo, fa scorrere gli altri di una posizione a sinistra, ed inserisce **zero** come bit meno significativo. Nel caso $M=4$ abbiamo:

```

module Registro_CaricaParallelo_TraslaSinistro(z3_z0,x3_x0,b0,
clock,reset_);
input clock,reset_;
input [3:0] x3_x0;
input b0;
output [3:0] z3_z0;

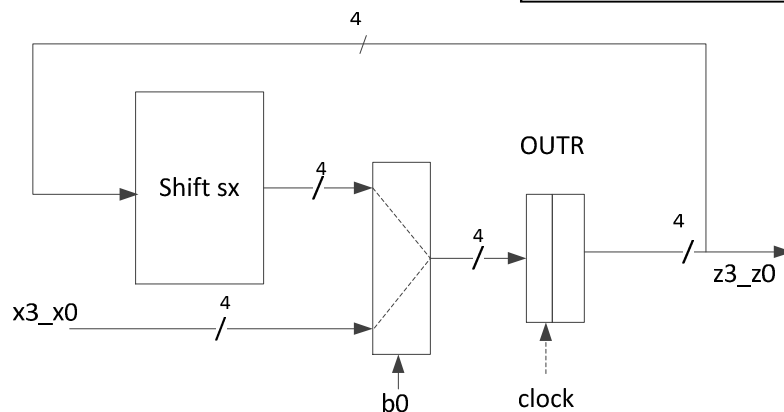
reg [3:0] OTR; assign z3_z0=OTR;

always @(reset_==0) #1 OTR<='B0000;
always @(posedge clock) if (reset_==1) #3
case(b0)
'B0: OTR<=x3_x0;
'B1: OTR<={OTR[2:0],1'B0};
endcase
endmodule

```

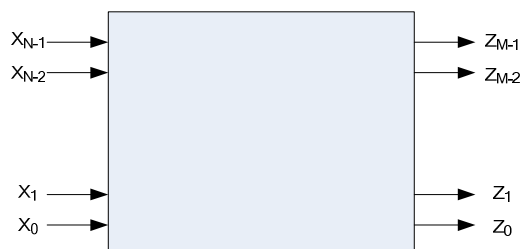
NB: Mentre **a destra di** `<=` ci può stare qualunque espressione (che può coinvolgere anche bit del registro), **a sinistra** ci deve stare **un registro intero**. Non ha senso scrivere `OTR[2]<='B1`

Il clock, infatti, arriva **contemporaneamente** a tutti i bit del registro.



Dopo aver visto alcuni esempi semplici di RSS, passiamo a descrivere i modelli **formali** per la loro sintesi. Vedremo che ce ne sono **tre**, e sono: il modello di **Moore**, il modello di **Mealy**, quello di **Mealy ritardato**. Partiamo dal più semplice dei tre.

2.5 Modello di Moore



Una **RSS di Moore** è rappresentata come segue:

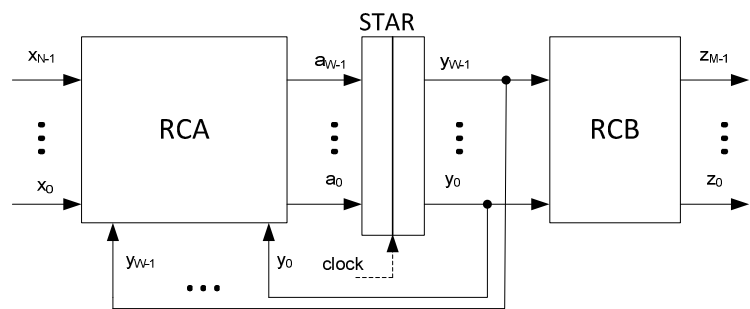
1. un insieme di N variabili logiche di ingresso.
2. un insieme di M variabili logiche di uscita.
3. Un **meccanismo di marcatura**, che ad ogni istante marca uno **stato interno presente**, scelto tra un insieme **finito** di K stati interni $S \equiv \{S_0, \dots, S_{K-1}\}$

4. Una **legge di evoluzione nel tempo** del tipo $A: X \times S \rightarrow S$, che mappa quindi una coppia (stato di ingresso, stato interno) in un nuovo stato interno.
5. Una **legge di evoluzione nel tempo** del tipo $B: S \rightarrow Z$, che decide lo stato di uscita basandosi sullo stato interno. (Nota: tale legge **non** è più generale, del tipo $B: X \times S \rightarrow Z$. Se fosse più generale saremmo **fuori dal modello**).
6. La rete riceve **segnali di sincronizzazione**, come transizioni da 0 a 1 del segnale di clock
7. Si adegua alla seguente **legge di temporizzazione**:

“Dato S, stato interno marcato ad un certo istante, e dato X ingresso ad un certo istante immediatamente **precedente l’arrivo di un segnale di sincronizzazione**,

- a) individuare il **nuovo stato interno da marcare** $S' = A(S, X)$
- b) **attendere l’arrivo del segnale di sincronizzazione**
- c) **promuovere S’ al rango di stato interno marcato, quando il registro non è più sensibile all’ingresso**
- d) **individuare continuamente $Z = B(S)$ e presentarlo in uscita**

Una rete di Moore può sempre essere sintetizzata secondo il modello di figura. STAR è lo **status register**, cioè il registro che memorizza lo **stato interno presente (marcato)**.



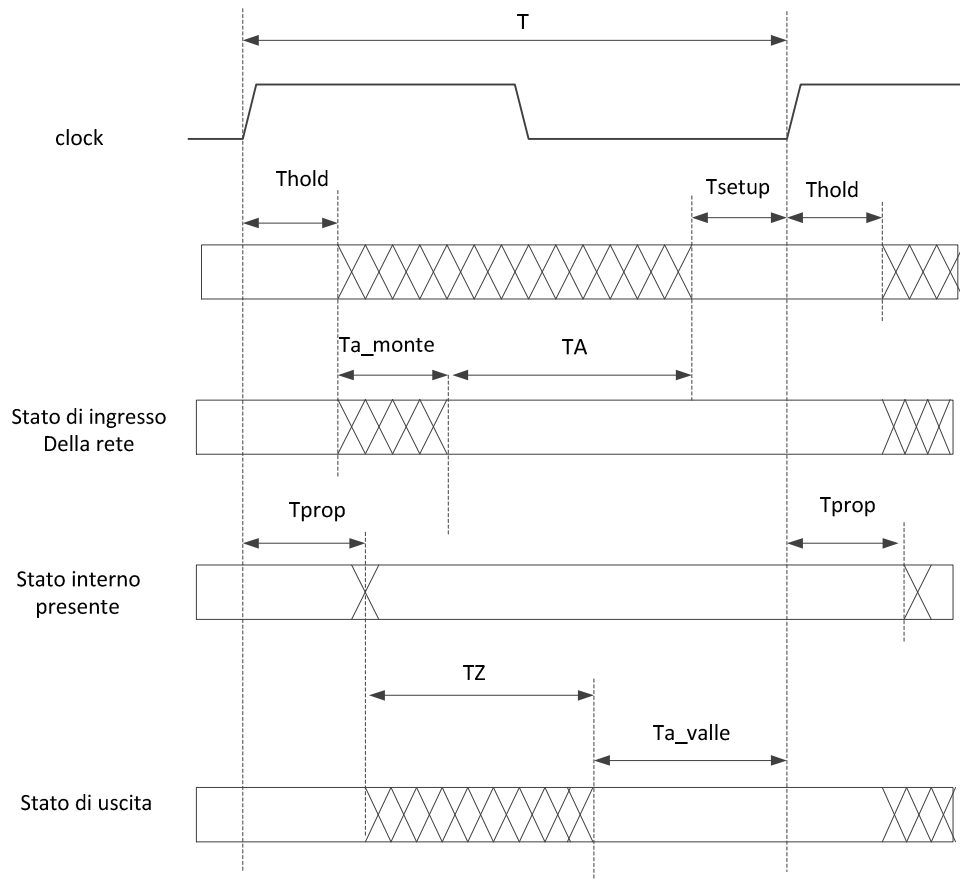
Si noti che:

- Lo **status register** è, ovviamente, una **batteria di D-FF**, che sono **non trasparenti**. Pertanto, il nuovo stato interno verrà presentato alla rete RCB dopo T_{prop} dal fronte del clock. A questo punto, la rete **non sarà più sensibile all’ingresso**, e quindi non ci sono problemi di nessun tipo.
- Il nuovo stato interno delle RSS è lo stato di uscita della rete RCA, che ha in ingresso sia gli ingressi della RSS che le variabili di stato.
- Tutto questo sottende una **codifica degli stati interni** in termini di variabili logiche.

In questo caso posso osservare che

- a) lo stato interno marcato rientra quando il registro non è più sensibile. Stati interni consecutivi possono essere arbitrariamente distanti senza che sorgano problemi di pilotaggio.
- b) Stati di ingresso consecutivi possono essere arbitrariamente distanti, purché sia in grado di tenere l’uscita di RCA stabile in $[t_i - T_{setup}, t_i + T_{hold}]$.

L'unica cosa alla quale devo stare attento, allora, è **la temporizzazione (cioè il pilotaggio)**. Una temporizzazione che garantisce il rispetto delle regole già viste per una rete di Moore è la seguente:



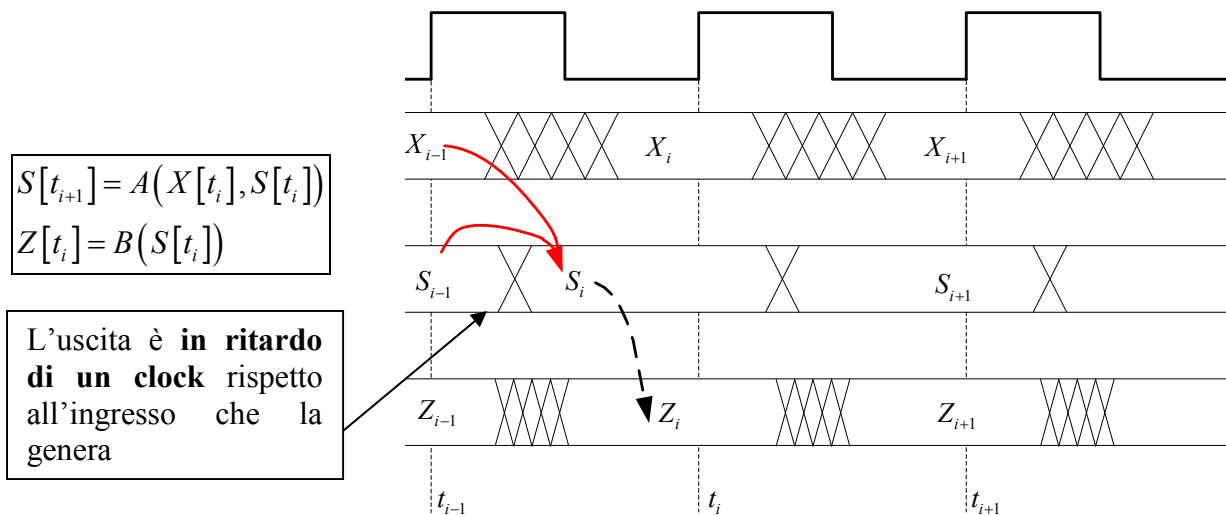
Le equazioni che ne derivano sono le seguenti:

$T \geq T_{hold} + T_{a_monte} + T_A + T_{setup}$	(percorso da ingresso a STAR)
$T \geq T_{prop} + T_A + T_{setup}$	(percorso da STAR a STAR)
$T \geq T_{prop} + T_Z + T_{a_valle}$	(percorso da STAR a uscita)

Di queste, la seconda è certamente meno restrittiva della prima, in quanto $T_{prop} \approx T_{hold}$, e $T_{a_monte} \gg T_{prop}$. Quindi può essere **ignorata**, in quanto implicata dalla prima.

NB: nelle domande per l'orale **ce le mettete tutte e tre**, e **poi** scrivete che la 2a si può trascurare.

Se le condizioni di temporizzazione sono rispettate, una rete di Moore si evolve in modo **deterministico** (cioè prevedibile). Detti t_i , $i \geq 0$, gli **istanti di sincronizzazione**, e detti $X[t_i], S[t_i], Z[t_i]$ gli stati di **ingresso, interno e di uscita** all'istante t_i , sarà:



Si dice che la rete di Moore approssima **un automa ideale sincrono a stati finiti**. Si può osservare che lo stato di uscita all'istante t_i è funzione, attraverso lo stato interno, della **storia degli stati di ingresso e dello stato interno iniziale** (quello impostato al reset), **fino allo stato di ingresso precedente all'ultimo clock**.

Una rete di Moore si **descrive** dando la specifica delle leggi combinatorie A e B, in uno qualunque dei modi consueti: **tabella di flusso, grafo di flusso**, descrizione in **Verilog**.

Una rete di Moore si può descrivere in Verilog come segue:

```

module Rete_di_Moore(zM-1, ..., z0, xN-1, ..., x0, clock, reset_);
input clock, reset_;
input xN-1, ..., x0;
output zM-1, ..., z0;
reg [W-1:0] STAR; parameter S0=codifica0, ..., SK-1=codificaK-1;
assign {zM-1, ..., z0} =
    (STAR==S0) ? ZS0 :
    (STAR==S1) ? ZS1 :
    ...
    /* (STAR==SK-1) */ ZSK-1;
always @(reset_==0) #1 STAR<=stato_interno_iniziale;
always @(posedge clock) if (reset_==1) #3
case (STAR)
  S0 : STAR<=AS0(xN-1, ..., x0);
  S1 : STAR<=AS1(xN-1, ..., x0);
  ...
  SK-1: STAR<=ASK-1(xN-1, ..., x0);
endcase
endmodule
  
```

Dichiarazione di costante

Legge B

Legge A

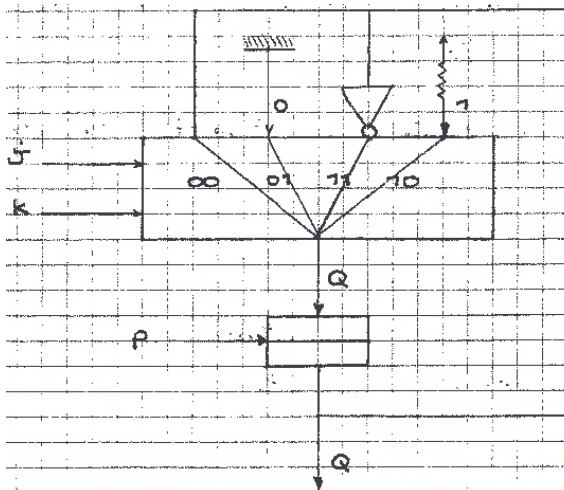
Avrei potuto anche scrivere
STAR<=legge_A(xN-1, ..., x0, STAR);
 Così scrivo K espressioni combinatorie diverse, corrispondenti al caso in cui il contenuto di STAR vale S0, S1, ... SK-1.

Questa descrizione è **consistente** con il modello strutturale che abbiamo visto prima.

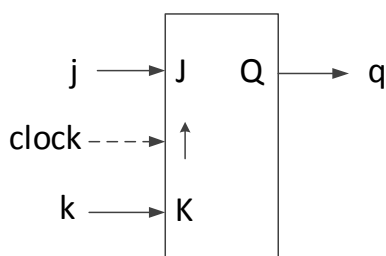
2.5.1 Esempio: il Flip-Flop JK

Il FF JK è una **rete sequenziale sincronizzata** con due ingressi ed un'uscita che, all'arrivo del clock, valuta i suoi due ingressi **j** e **k**, e si comporta come segue:

<i>jk</i>	Azione in uscita
00	Conserva
10	Setta
01	Resetta
11	Commuta



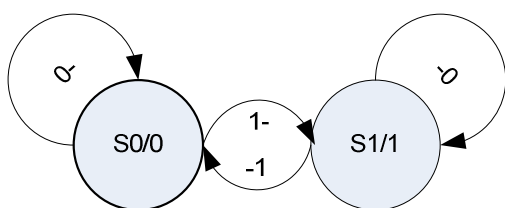
Un modo (non ottimizzato) di vedere questa rete è come **registro multifunzionale ad un bit**. Il multiplexer a 4 vie prende in ingresso *j* e *k*, e commuta l'uscita, la sua negata, e due costanti. Posso dare, per questa rete, una **tabella di applicazione** simile a quella del Latch SR. Visto che ci si può avvalere dell'ingresso 11, stavolta lecito, finirà che **uno dei due ingressi è sempre non specificato**.



Attenzione: questa tabella vuol dire: *se quando arriva il clock voglio che la variabile di uscita vada a...*

q	q'	j	k
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

Il FF JK è una rete di Moore. Infatti, non c'è una via combinatoria dagli ingressi all'uscita, che è invece funzione soltanto del contenuto del registro. Possiamo quindi sintetizzarlo come **rete di Moore**. Il FF JK serve a **memorizzare un bit**, e quindi posso associargli **due stati**, S0 e S1, nei quali memorizzo rispettivamente 0 e 1. Codificherò questi stati interni con **una variabile di stato** che varrà 0 e 1 nei due casi, così **RCB diventa un cortocircuito**. Posso disegnare la tabella di flusso (o il grafo di flusso), che è uno dei modi con cui si descrivono gli automi a stati finiti.



		<i>jk</i>				
		00	01	11	10	<i>q</i>
<i>jk</i>	S0	S0	S0	S1	S1	0
	S1	S1	S0	S0	S1	1

Attenzione a cosa vuol dire la tabella di flusso (o il grafo di flusso) in questo caso: vuol dire che la rete si evolve, cambiando il proprio stato interno marcato, **quando arriva il clock**.

Domanda: la rete oscilla (o, detto in altro modo, è instabile)?

Risposta: **certo che NO**. Anche se nella colonna 11 ho due stati che rimandano l'uno all'altro, le transizioni avvengono **quando arriva il clock**, e non quando cambiano gli ingressi. È chiaro che, se mantengo entrambi gli ingressi a 11, la rete ad ogni clock cambia uscita (di fatto, così pilotata, darebbe in uscita un clock con periodo $2T$).

Per questo motivo nelle RSS **non ha senso cerchiare gli stati e parlare di stati stabili**: il concetto di stabilità è legato alla presenza di **anelli combinatori**. In una rete di Moore non ci sono anelli combinatori. Tutti gli stati sono stabili per un periodo di clock, se la rete è pilotata correttamente, e ad ogni clock ho una **nuova transizione**, che in alcuni casi può concretizzarsi nella marcatura dello **stesso stato** dove mi trovavo, come nel caso di S0 con ingresso 0-.

A livello di Verilog, possiamo dare una descrizione di questa rete **semplificando** quella generale vista prima per le reti di Moore.

```
module FlipFlop_JK
    (q, j, k, clock, reset_);
input clock, reset_;
input j, k;
output q;
reg STAR; parameter S0='B0, S1='B1;
assign q=(STAR==S0)?0:1;

always @(reset_==0) #1 STAR<=S0;
always @(posedge clock) if
(reset_==1) #3
casex(STAR)
    S0: STAR<=(j==0)?S0:S1;
    S1: STAR<=(k==0)?S1:S0;
endcase
endmodule
```

Si può ovviamente procedere alla **sintesi** di RCA.

	jk				q
	00	01	11	10	
s0	S0	S0	S1	S1	0
s1	S1	S0	S0	S1	1

y0	jk			
	00	01	11	10
0	0	0	1	1
1	1	0	0	1

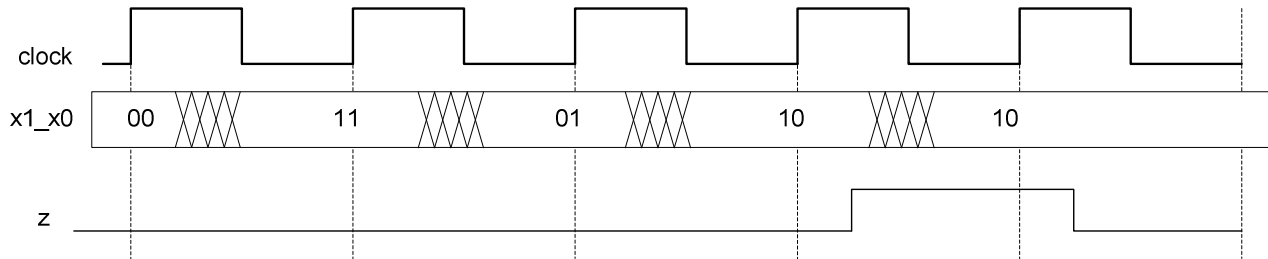
$$a_0 = j \cdot \overline{y_0} + \overline{k} \cdot y_0, \quad q = y_0.$$

2.5.2 Esempio: riconoscitore di sequenze 11,01,10

Un riconoscitore di sequenza è una rete che ha N ingressi (in questo caso $N=2$, sono sequenze di 2 bit), ed un'uscita. A parole, l'evoluzione della rete è la seguente:

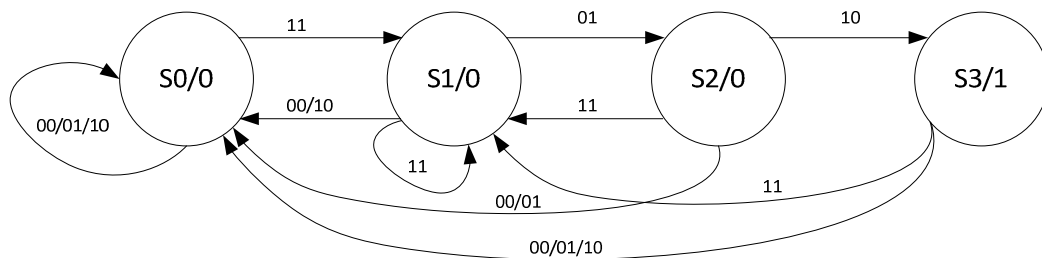
“l'uscita è ad 1 soltanto quando si è presentata la sequenza degli stati di ingresso voluta (11,10,01), ed è a zero altrimenti”

È, se vogliamo, la rete che sblocca la serratura di una cassaforte in cui la combinazione è data da una sequenza di parole di N bit, che si devono presentare **in tre clock consecutivi**. Se un valore permane per più di un ciclo di clock, la sequenza è **diversa**. Un esempio di quello che deve succedere è scritto nella temporizzazione sottostante:



È ovvio che è una rete **con memoria**, in quanto deve ricordare una data sequenza di stati di ingresso. In particolare, ciò che va memorizzato è **il numero di passi di sequenza corretti consecutivi** visti finora, quindi sono richiesti **$K+1$ stati interni per una sequenza di K stati di ingresso da riconoscere** (ciascuno stato interno corrispondente a 0, 1, ..., K passi riconosciuti). L'ultimo di questi stati interni avrà un'uscita ad 1, gli altri a 0.

S0: Supponiamo che al reset iniziale la rete si trovi in uno **stato interno iniziale S0** (vedremo più avanti come si fa a imporre uno stato interno iniziale), che corrisponde alla nozione che non è ancora iniziata nessuna sequenza corretta. Ovviamente, in questo stato l'uscita dovrà valere 0, in quanto non devo sbloccare la cassaforte finché non ho ricevuto tutta la sequenza.



Dallo stato iniziale non esco finché non ho visto in ingresso il primo passo **corretto** della sequenza che voglio riconoscere, cioè 11. Quando arriva 01, **devo cambiare stato**, perché devo memorizzare che la sequenza è cominciata. Se in S_0 memorizzavo il fatto che la sequenza non era ancora iniziata, adesso ci vuole un altro stato. Chiamiamolo S_1 .

S1: In S_1 valuto il nuovo stato di ingresso, e prendo la seguente decisione.

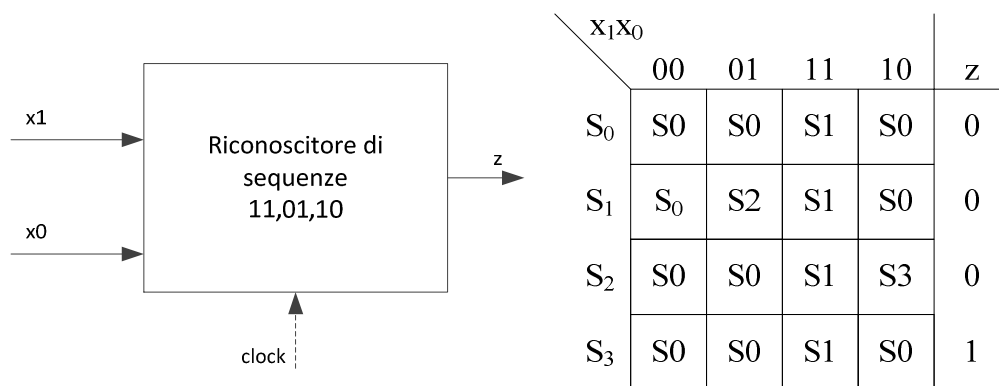
- Se il nuovo stato di ingresso è 01, vuol dire che ho ricevuto **due passi di sequenza corretta**, e devo memorizzare questo nuovo avvenimento. Mi serve un **nuovo stato interno**, perché gli altri due che ho usato memorizzavano “0 passi corretti” (S_0) e “1 passo corretto” (S_1).

- Il nuovo stato di ingresso potrebbe anche essere 11, nel qual caso devo restare in S1, perché la sequenza 11, 11 non è corretta, ma il secondo 11 potrebbe essere l'inizio di una sequenza corretta. In tutti gli altri casi si deve ripartire da capo, tornando in S0

S2: memorizza il fatto che ho ricevuto **due passi corretti** di sequenza. Ci sono arrivato con ingresso 01. Al successivo clock, devo comunque uscire da S2. Se arriva 11, la sequenza corrente è **errata**, ma **potrebbe esserne cominciata una nuova**, e quindi devo andare in S1. Se invece arriva 01, **ho terminato la sequenza corretta**, e quindi devo andare in uno stato **diverso dai precedenti**. In tutti gli altri casi torno in S0.

S3: in questo stato **dovrò porre l'uscita ad 1**, perché devo sbloccare la cassaforte. Al prossimo clock, o vado in S1 (se vedo in ingresso 11) o, per qualunque altro stato di ingresso, **devo ripartire da S0**, in quanto non vedo l'inizio di una sequenza corretta.

In maniera automatica, posso costruire la *tabella* di flusso dal *grafo* di flusso. Le due descrizioni sono **equivalenti**, ma alcune proprietà si vedono meglio su una, altre sull'altra.



Nota importante: siamo d'accordo che lo stato di ingresso può cambiare come vuole tra due clock successivi, fatto salvo che rimanga stabile a cavallo del fronte di salita. Va però tenuto conto del fatto che, se devo riconoscere una sequenza di stati di ingresso con una RSS, il vincolo è che la sequenza di **N stati dovrà presentarsi in N clock**. Non potrà presentarsi **più velocemente**, altrimenti ne perdo qualcuno per strada. Se ho un clock al secondo, e gli ingressi mi variano ogni 10mo di secondo, di sicuro ne perdo 9 tra un clock e l'altro. Non potrà presentarsi **più lentamente**, perché altrimenti devo **cambiare la descrizione del riconoscitore**. Si può descrivere e sintetizzare (**fare per casa**) una rete che riconosce la sequenza di stati di ingresso 11, 01, 10, ciascuno tenuto in ingresso per un numero arbitrario (ma non inferiore ad 1) di clock. In una RSS, il concetto di **tempo** gioca un ruolo chiave. **In una RSA, invece, il tempo non esiste** (esistono solo le transizioni di ingresso).

```
module Riconoscitore_di_Sequenza(z,x1_x0,clock,reset_);
input clock,reset_;
input [1:0] x1_x0;
output z;
reg [1:0] STAR; parameter S0='B00, S1='B01, S2='B10, S3='B11;
```

```

assign z=(STAR==S3)?1:0;
always @(reset==0) #1 STAR<=S0;
always @(posedge clock) if (reset==1) #3
case (STAR)
  S0: STAR<=(x1_x0=='B11')?S1:S0;
  S1: STAR<=(x1_x0=='B01')?S2:(x1_x0=='B11')?S1:S0;
  S2: STAR<=(x1_x0=='B10')?S3:(x1_x0=='B11')?S1:S0;
  S3: STAR<=(x1_x0=='B11')?S1:S0;
endcase
endmodule

```

NB: abituatevi a scrivere descrizioni Verilog:
`assign z0=STAR[1]&STAR[0]`
 è una sintesi.

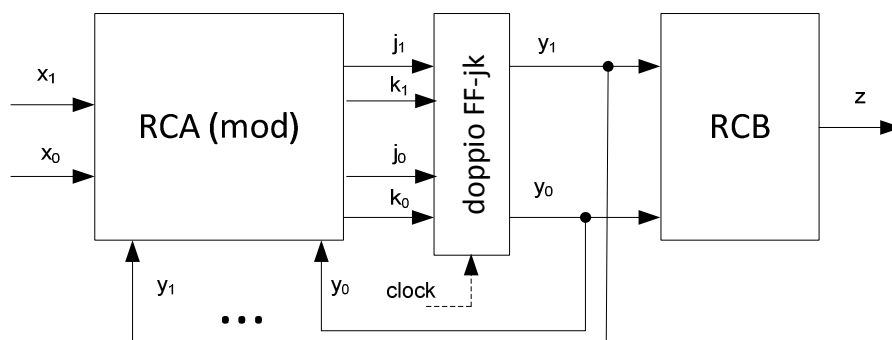
Posso sintetizzare il riconoscitore usando il modello strutturale visto prima.

x_1x_0						z	Sint		y_1y_0		x_1x_0						z
		00	01	11	10								00	01	11	10	
S_0	S_0	S0	S0	S1	S0	0	Sint	S_0	00	y_1y_0	y_1y_0	00	00	00	01	00	0
	S_1	S0	S2	S1	S0	0		S_1	01			01	00	10	01	00	0
	S_2	S0	S0	S1	S3	0		S_2	10			11	00	00	01	00	1
	S_3	S0	S0	S1	S0	1		S_3	11			10	00	00	01	11	0

a_1a_0

La sintesi sarà: $a_1 = \overline{x_1} \cdot x_0 \cdot \overline{y_1} \cdot y_0 + x_1 \cdot \overline{x_0} \cdot y_1 \cdot \overline{y_0}$, $a_0 = x_1 \cdot x_0 + x_1 \cdot y_1 \cdot \overline{y_0}$, $z = y_1 \cdot y_0$.

Visto che i **FF-JK** servono, appunto, a **memorizzare dei bit**, posso usare questi come elementi di memorizzazione. Ne viene fuori un altro modello:



Sempre di una rete di Moore si tratta. In questo caso, la sintesi della rete combinatoria `RC_A` richiede di produrre **un numero doppio** di variabili di uscita. Tali variabili non codificano più il **nuovo stato interno**, ma l'ingresso da dare ai **FF-JK** affinché marchino il nuovo stato interno. Sembra che mi stia complicando la vita. Visto che sintetizzo le uscite una per volta, adesso **dovrei fare il doppio del lavoro**, usando all'incirca **il doppio delle porte**. In realtà no, perché - con questo

modello - le mappe che sintetizzano ciascuna delle uscite saranno **piene di non specificati**, e quindi le sintesi che ne risultano sono spesso addirittura **più semplici** che nel caso del modello con D-FF.

$y_1 y_0$		$x_1 x_0$			
		00	01	11	10
00	00	00	00	01	00
01	00	00	10	01	00
11	00	00	00	01	00
10	00	00	00	01	11

$a_1 a_0$

$y_1 y_0$		$x_1 x_0$			
		00	01	11	10
00	00	0	0	0	0
01	00	0	1	0	0
11	00	0	0	0	0
10	00	0	0	0	1

a_1

$y_1 y_0$		$x_1 x_0$			
		00	01	11	10
00	00	0	0	1	0
01	00	0	0	1	0
11	00	0	0	1	0
10	00	0	0	1	1

a_0

Partiamo dalla sintesi di a_1 . Guardo **la tabella di applicazione** del FF-JK, e considero il **nuovo stato interno** (a_1) come la nuova uscita q' , e lo stato interno presente (y_1) come l'uscita corrente (q), e posso facilmente dedurre che:

- se y_1 valeva 0 e deve continuare a valere 0 (cella 1,1), devo pilotare il latch SR con $s=0$, $r=-$ (**o resetto o conservo**, tanto è lo stesso)
- se y_1 valeva 0 e deve valere 1 (cella 2,2), devo **settare** il latch SR, cioè pilotarlo con $s=1$, $r=-$ (**setto o commuto**)
- se y_1 valeva 1 e deve continuare a valere 1 (cella 3,1), devo pilotare il latch SR con $s=-$, $r=0$ (**setto oppure conservo**)
- se y_1 valeva 1 e deve valere 0 (cella 4,4), devo **resettare** il latch SR, cioè pilotarlo con $s=-$, $r=1$ (**resetto o commuto**).

Lo stesso faccio con la sintesi di a_0 . Le mappe che vengono fuori sono piene di non specificati.

$q \ q'$		jk	$y_1 y_0$		$x_1 x_0$			
					00	01	11	10
0 0	0 0	0-	00	00	0-	0-	0-	0-
0 1	0 1	1-	01	01	0-	1-	0-	0-
1 0	1 0	-1	11	11	-1	-1	-1	-1
1 1	1 1	-0	10	10	-1	-1	-1	-0

$j_1 k_1$

$y_1 y_0$		$x_1 x_0$			
		00	01	11	10
00	00	0-	0-	1-	0-
01	01	-1	-1	-0	-1
11	11	-1	-1	-0	-1
10	10	0-	0-	1-	1-

$j_0 k_0$

$y_1 y_0$		z
00	00	0
01	01	0
10	10	0
11	11	1

$$j_1 = \overline{x_1} \cdot x_0 \cdot y_0, \quad k_1 = \overline{x_1} + x_0 + y_0, \quad j_0 = x_1 \cdot y_1 + x_1 \cdot x_0, \quad k_1 = \overline{x_1} + \overline{x_0}, \quad z = y_1 \cdot y_0.$$

2.5.3 Esercizio – Rete di Moore

- 1 Descrivere una rete sequenziale sincronizzata di Moore ad 1 ingresso che riconosce la sequenza **0,0,1,0,1,1,0**. Si presti particolare attenzione a non perdere nessuna sequenza, e non si considerino valide sequenze interallacciate.
- 2 Sintetizzare la rete descritta al punto precedente. La sintesi delle reti RCA e RCB deve essere a costo minimo in forma SP.

2.5.4 Soluzione

1) La sequenza consta di 7 stati di ingresso consecutivi. Devo pertanto prevedere $7+1=8$ stati interni, l'ultimo dei quali avrà un'uscita pari ad 1. La rete può essere descritta come in figura (gli stati in neretto nella tabella corrispondono all'evoluzione degli stati conseguente al riconoscimento di una sequenza).

x	x		z
	0	1	
S0	S1	S0	0
S1	S2	S0	0
S2	S2	S3	0
S3	S4	S0	0
S4	S2	S5	0
S5	S1	S6	0
S6	S7	S0	0
S7	S1	S0	1

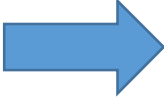
2) Per quanto riguarda la sintesi, si può osservare quanto segue:

- adottando la codifica degli stati $S_i = (i)_{b2}$, la rete RCB è

$$z = y_2 \cdot y_1 \cdot y_0$$
, a costo minimo.
- la rete RCA ha 4 ingressi (3 variabili di stato y_2, y_1, y_0 , 1 variabile di ingresso).

Decido di adottare un modello di sintesi con D-FF come elementi di marcatura. Per svolgere la sintesi metto la variabile di stato più significativa come variabile in colonna insieme agli ingressi:

x	x		z
	0	1	
y2y1y0			
000	001	000	0
001	010	000	0
010	010	011	0
011	100	000	0
100	010	101	0
101	001	110	0
110	111	000	0
111	001	000	1

x \ y2	y2=0		y2=1			y2x \ y1y0	a2a1a0			
	0	1	0	1			00	01	11	10
00	001	000	010	101		00	001	000	101	010
01	010	000	001	110		01	010	000	110	001
10	010	011	111	000		11	100	000	000	001
11	100	000	001	000		10	010	011	000	111

Per la sintesi di tutte e tre le variabili di uscita tutti gli implicant sono essenziali.
Si ottiene quanto segue:

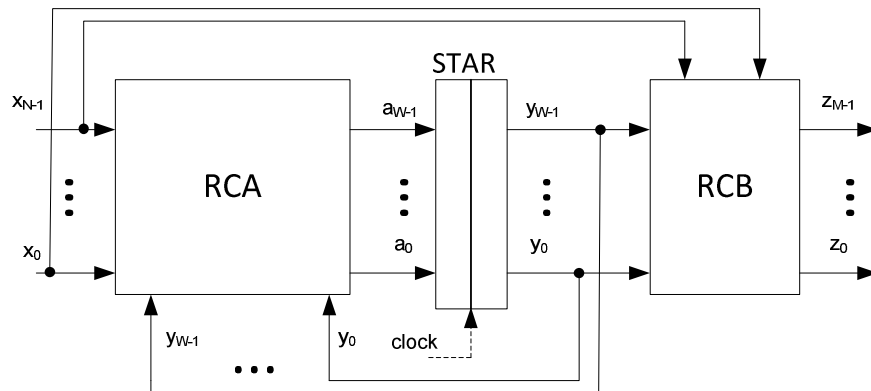
$$a_2 = y_2 \cdot \overline{y_1} \cdot x + \overline{y_2} \cdot y_1 \cdot y_0 \cdot \overline{x} + y_2 \cdot y_1 \cdot \overline{y_0} \cdot \overline{x}$$

$$a_1 = \overline{y_2} \cdot y_1 \cdot \overline{y_0} + y_2 \cdot \overline{y_0} \cdot \overline{x} + y_2 \cdot \overline{y_1} \cdot y_0 \cdot x + \overline{y_2} \cdot y_1 \cdot y_0 \cdot \overline{x}$$

$$a_0 = \overline{y_2} \cdot \overline{y_1} \cdot \overline{y_0} \cdot \overline{x} + y_2 \cdot \overline{y_1} \cdot \overline{y_0} \cdot x + \overline{y_2} \cdot y_1 \cdot \overline{y_0} \cdot x + y_2 \cdot y_1 \cdot \overline{x} + y_2 \cdot y_0 \cdot \overline{x}$$

2.6 Modello di Mealy

Nel modello di Moore, l'uscita è funzione **soltanto dello stato interno presente**, tramite la legge $B : S \rightarrow Z$. Se si consente a tale legge di essere più generale, scrivendo $B : X \times S \rightarrow Z$, si ottengono reti realizzate secondo il **modello di Mealy**.



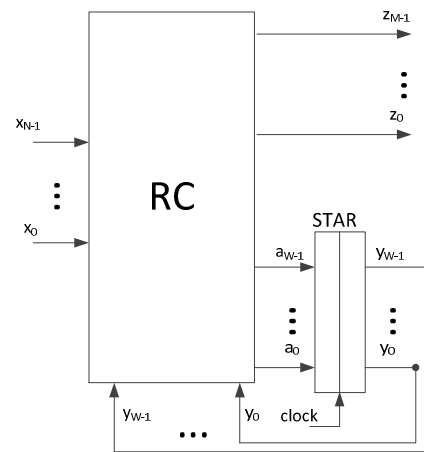
Le reti RCA e RCB hanno, secondo questo modello, **gli stessi ingressi**. Pertanto poso disegnare una rete di Mealy anche in questo modo. Riprendiamo le leggi di temporizzazione viste a suo tempo:

$$T \geq T_{hold} + T_{a_monte} + T_{RC} + T_{setup}$$

$$T \geq T_{prop} + T_{RC} + T_{setup}$$

$$T \geq T_{hold} + T_{a_monte} + T_{RC} + T_{a_valle}$$

$$T \geq T_{prop} + T_{RC} + T_{a_valle}$$



(percorso da ingresso a registro)

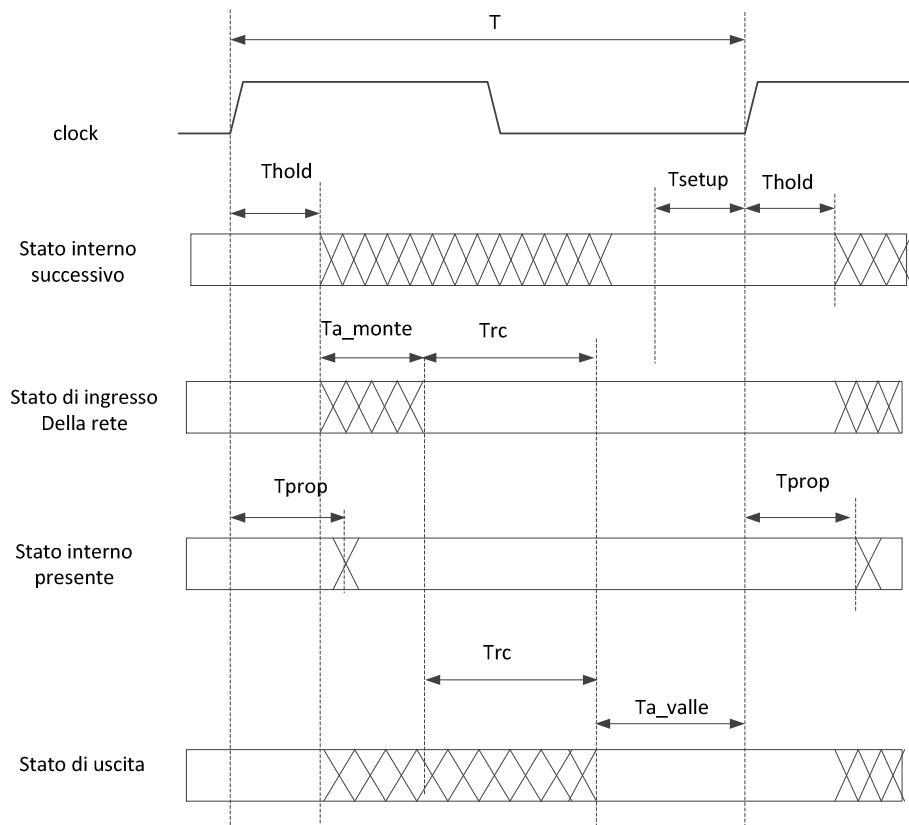
(percorso da registro a registro)

(percorso da ingresso a uscita)

(percorso da registro a uscita)

Come in precedenza, la seconda disuguaglianza è praticamente implicata dalla prima, e possiamo trascurarla. Allo stesso modo, la **quarta è (praticamente) implicata dalla terza**. Delle due che rimangono, di sicuro la **terza** è la **più vincolante**, in quanto somma i **tre tempi più lunghi**: quelli della rete combinatoria **RC** e quelli del mondo esterno “**a monte**” e “**a valle**”. In una rete di Moore, se ricordate, questi tempi si trovavano nelle equazioni, ma al massimo sommati a due a due (mai tutti e tre insieme). Ciò comporta che, in genere, una rete di Mealy, **il clock debba andare più lentamente che in una rete di Moore** (a parità di condizioni sulla temporizzazione imposte dal mondo esterno).

Nelle disequazioni di temporizzazione si è indicato con T_{RC} il tempo di attraversamento della rete combinatoria, senza distinguere tra i diversi percorsi. Se la RC è sintetizzata in modo ottimizzato, infatti, i tempi di attraversamento dovrebbero essere più o meno uguali tra ogni coppia di morsetti.



```

module Rete_di_Mealy(zM-1,...,z0,xN-1,...,x0,clock,reset_);
input clock,reset_;
input xN-1,...,x0;
output zM-1,...,z0;
reg [W-1:0] STAR; parameter S0=codifica0,...,SK-1=codificaK-1;
assign {zM-1,...,z0} = (STAR==S0)? ZS0(xN-1,...,x0) :
...
...
/* (STAR==SK-1) */ ZSK-1(xN-1,...,x0);
always @(reset_==0) #1 STAR<=stato_interno_iniziale;
always @(posedge clock) if (reset_==1) #3
casex(STAR)
  S0 : STAR<=AS0(xN-1,...,x0);
  ...
  ...
  SK-1 : STAR<=ASK-1(xN-1,...,x0);
endcase
endmodule

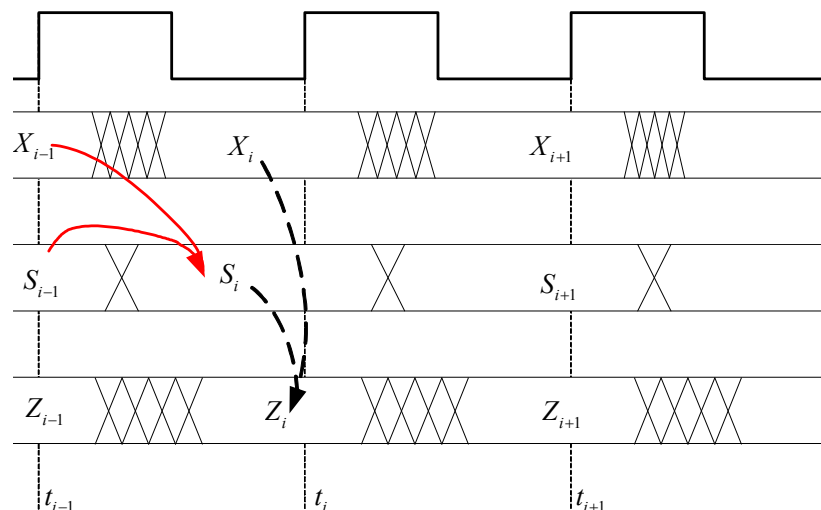
```

La legge B ha una struttura diversa da quella di una rete di Moore

Il vantaggio di questo modello, rispetto al precedente modello di Moore, è che **al variare dell'ingresso** posso produrre un **nuovo stato di uscita** senza dover aspettare il successivo fronte del clock. Nelle reti di Moore l'uscita varia quando arriva il clock (in realtà un po' dopo, per via del tempo di propagazione), perché dipende **solo dallo stato interno**, nelle reti di Mealy varia **anche quando varia lo stato di ingresso**.

$$\begin{aligned} S[t_{i+1}] &= A(X[t_i], S[t_i]) \\ Z[t_i] &= B(X[t_i], S[t_i]) \end{aligned}$$

Confrontare con la temporizzazione di una rete di Moore, dove è:

$$Z[t_i] = B(S[t_i]).$$


Si dice che

- nelle reti di Moore, **l'uscita è un clock in ritardo rispetto all'ingresso che l'ha generata.** Dipende, infatti, soltanto dal *penultimo* stato di ingresso, quello al clock precedente. Infatti, è:

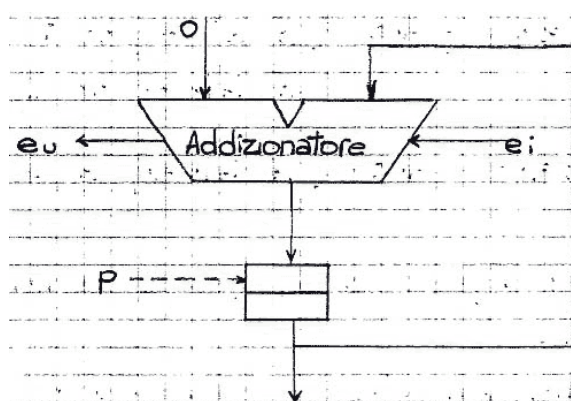
$$Z[t_i] \propto X[t_{i-1}], X[t_{i-2}], \dots, X[t_0], S[t_0]$$
- nelle reti di Mealy, **l'uscita dipende anche dall'ultimo stato di ingresso, quello presente al clock attuale.**

$$Z[t_i] \propto \textcolor{red}{X[t_i]}, X[t_{i-1}], X[t_{i-2}], \dots, X[t_0], S[t_0]$$

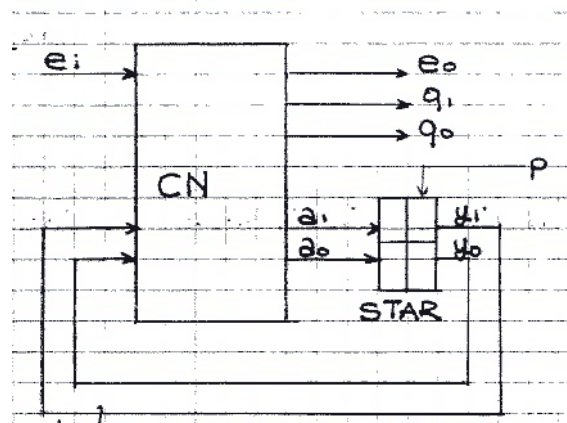
Essendo la legge **B** più flessibile che nel caso precedente, in genere si riescono a risolvere gli stessi problemi con un numero **minore di stati interni**.

2.6.1 Esempio: sintesi del contatore espandibile in base 3

Un esempio di rete di Mealy è il **contatore espandibile**, qualunque sia il suo numero di cifre, base e codifica. Infatti, il **riporto uscente** è funzione **combinatoria dello stato interno e del riporto entrante**, e quest'ultimo è un **ingresso** alla rete.



Prendiamo, ad esempio, il contatore espandibile **ad una cifra in base 3**. Ne abbiamo dato una sintesi in termini euristici. Possiamo darne adesso una descrizione in termini di **tabella di flusso** per una rete di Mealy. Stavolta, però, le uscite non sono una **colonna**, **ma una tabella a parte**, in quanto dipendono anche dallo stato di ingresso.



Il contatore avrà **tre stati interni**, corrispondenti ai tre possibili contenuti del registro. In funzione dello stato interno e dello stato di ingresso marcato, calcolerà un **nuovo stato interno**, che verrà marcato al prossimo fronte del clock, **ed uno stato di uscita**, che sarà **presentato immediatamente**, senza aspettare il clock successivo (come invece farebbe una rete di Moore).

		q ₁ q ₀ e _u				e _u				q ₁ q ₀	
		e _i		e _i		e _i		e _i		e _i	
		0	1	0	1	0	1	0	1	0	1
(00)	S0	S0 00 0	S1 00 0	S0	S0 0	S1 0	00	S1	S0 0	S1 0	00
	S1	S1 01 0	S2 01 0		S1 0	S2 0			S1 0	S2 0	
(01)	S1	S1 01 0	S2 01 0	S1	S1 0	S2 0	01	S2	S2 0	S0 1	10
	S2	S2 10 0	S0 10 1		S2 0	S0 1			S2 0	S0 1	
(10)	S2	S2 10 0	S0 10 1	S2	S2 0	S0 1	10	S0	S0 0	S1 0	00
	S0	S0 00 0	S1 00 0		S0 0	S1 0			S0 0	S1 0	

Mentre le uscite q₁q₀ sono **uscite del registro**, e **dipendono solo dallo stato interno** (uscite di Moore), l'uscita **e_u** è combinatoria, e dipende **sia dallo stato che dall'ingresso** (uscita **di Mealy**).

Posso scriverla tutta nella tabella, o con le uscite q₁q₀ in una colonna a parte.

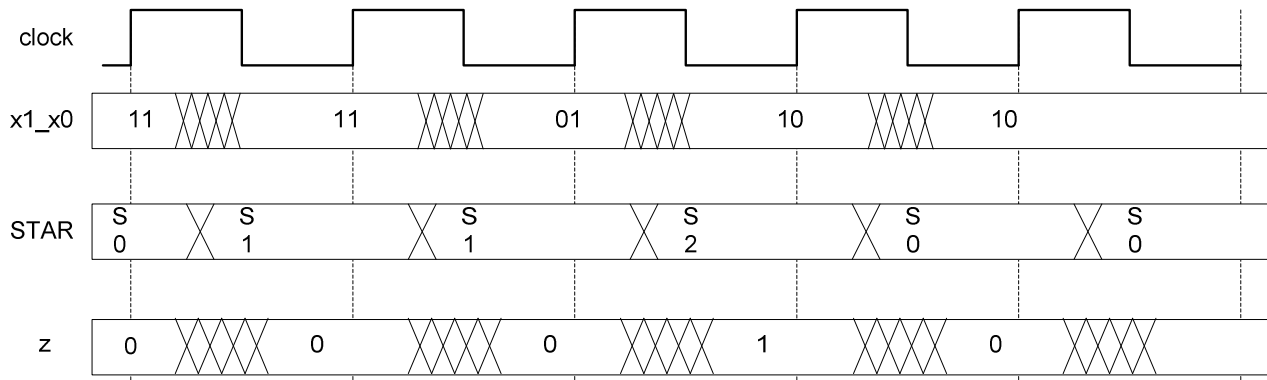
Adottando le codifiche (ovvie) S0='B00, S1='B01, S2='B10, e scrivendo la tabella delle transizioni dalla tabella di flusso si ottiene molto velocemente **la stessa sintesi** già vista a suo tempo:

y ₁ y ₀ \ e _i		0	1	
		0	1	
00	0	0	0	da cui ricaviamo l'implicante $e_o = y_1 \cdot e_i$
01	0	0	0	
11	-	-	-	Per il resto della sintesi (di q ₁ , q ₀ , a ₁ , a ₀) si procede nello stesso modo.
10	0	1	1	

Ovviamente esistono modelli di sintesi alternativi anche per le reti di Mealy. Ad esempio posso sempre utilizzare dei **FF JK** come elementi di marcatura.

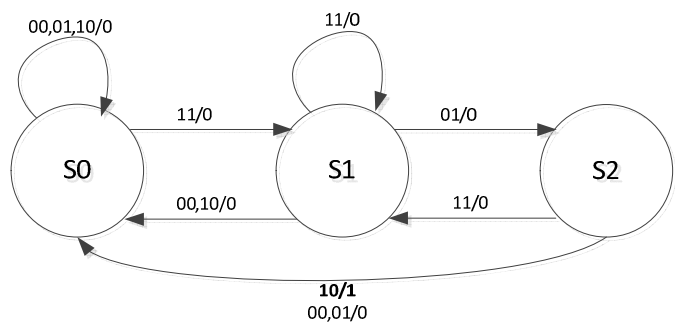
2.6.2 Esempio: riconoscitore di sequenza 11, 01, 10

Abbiamo già sintetizzato questa rete come rete di Moore. Vediamo di realizzarlo come rete di Mealy. Potremmo avere la seguente temporizzazione per il riconoscimento della sequenza corretta:



Dove, se sono in S2 (cioè ho già riconosciuto due passi corretti 11,01) e vedo ingresso 10, **posso direttamente mettere l'uscita ad 1 senza aspettare il clock successivo**, e poi tornare in S0 per prepararmi a riconoscere una nuova sequenza.

Volendo descrivere questa rete con un **grafo di flusso**, dove si vede meglio cosa fare, i valori delle uscite vanno messi **non negli stati**, **ma sugli archi**.



Analogamente, nella tabella di flusso la legge B va scritta in forma tabellare come la A.

	X ₁ X ₀			
	00	01	11	10
S0	S0/0	S0/0	S1/0	S0/0
S1	S0/0	S2/0	S1/0	S0/0
S2	S0/0	S0/0	S1/0	S0/1

Attenzione a cosa si scrive in questo caso: nella tabella di flusso, l'evoluzione dello **stato** avverrà **all'arrivo del clock**, come sempre, mentre quella delle uscite avverrà **ad ogni t**, visto che c'è una legge combinatoria nel mezzo. È chiaro che almeno una riga di tutta la tabella **dovrà contenere uscite differenti**, altrimenti sto facendo una rete di Moore senza accorgermene.

Posso descrivere questa rete anche in Verilog, come segue:

```
module Riconoscitore_di_Sequenze(z,x1_x0,clock,reset_);
```

```

input clock, reset_;
input [1:0] x1_x0;
output z;
reg [1:0] STAR; parameter S0='B00', S1='B01', S2='B10';
assign z=((STAR==S2) & (x1_x0=='B10'))?1:0;

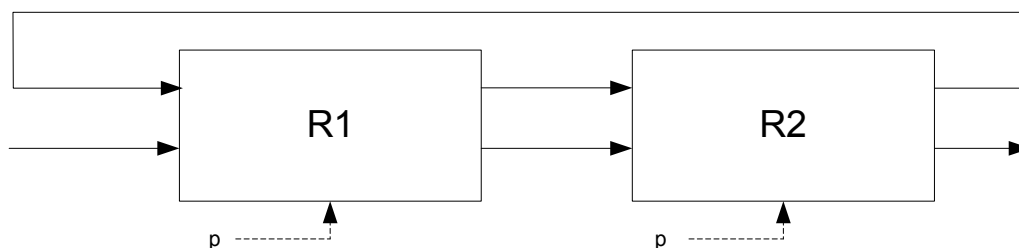
always @(reset_==0) #1 STAR<=S0;
always @(posedge clock) if (reset_==1) #3
casez(STAR)
    S0: STAR<=(x1_x0=='B11)?S1:S0;
    S1: STAR<=(x1_x0=='B01)?S2:(x1_x0=='B11)?S1:S0;
    S2: STAR<=(x1_x0=='B11)?S1:S0;
endcase
endmodule

```

Nota finale: Ci si può chiedere se sia **più opportuno**, data una specifica, realizzarla tramite una **rete di Mealy o di Moore**. A un primo sguardo potrebbe sembrare che, visto che la legge B per reti di Mealy è più generale (in quanto dipende anche dagli ingressi), la **potenza descrittiva del modello di Mealy sia maggiore del modello di Moore**, cioè che esistano problemi che **non si possono risolvere con reti di Moore**, ma soltanto con reti di Mealy. In realtà **non è così**. Qualunque problema sia risolubile con un modello è risolubile anche con l'altro. Da Moore a Mealy è abbastanza ovvio (basta osservare che, di fatto, Moore è un caso particolare di Mealy). Da Mealy a Moore è **meno ovvio**: ci sono tecniche meccaniche di trasformazione (che non vedremo), il cui trucco è che **può essere necessario aumentare il numero degli stati interni nel passaggio da Mealy a Moore**. Ad esempio, il riconoscitore di sequenza può essere realizzato come rete di Mealy con **tre stati** interni (come rete di Moore ce ne volevano quattro).

Dal punto di vista della **velocità di risposta**, l'uscita di una rete di Mealy è sempre “un clock in anticipo”, e quindi una rete di Mealy risulta più veloce. Però, se vado a guardare le temporizzazioni, vedo che una rete di Mealy avrà in genere il **clock più lento**.

Ciò che fa la differenza sostanziale, quindi, non è né la potenza descrittiva né la velocità. È la **trasparenza delle uscite**. Date due RSS **generiche**, posso montarle in questo modo?



Lo posso fare soltanto se il ramo di sopra non è un anello combinatorio, altrimenti sto realizzando una RSA senza accorgermene. Affinché non ci sia un anello di reti combinatorie, è **necessario che almeno una delle due reti sia di Moore**, in quanto questo garantisce che ci sia **almeno un registro dentro l'anello** (che quindi non è più un anello combinatorio). Se sono entrambe di Mea-

ly, si possono creare dei problemi. Le reti di Mealy sono **trasparenti**, cioè adeguano le proprie uscite mentre sono sensibili agli ingressi. Quelle di Moore sono **non trasparenti**.

2.6.3 Esercizio

Descrivere e sintetizzare una rete sequenziale sincronizzata di Mealy che ha due variabili di ingresso x_1 e x_0 , ed una variabile di uscita z . La rete evolve nel seguente modo: se lo stato d'ingresso corrente è **uguale al precedente**, $z = x_1 \text{ AND } x_0$, altrimenti, se lo stato d'ingresso corrente **non è uguale al precedente**, $z = x_1 \text{ XOR } x_0$.

Nota: il primo stato di uscita della rete è non significativo.

2.6.4 Soluzione

Sarà certamente necessario **memorizzare l'ultimo stato di ingresso** visto dalla rete. Pertanto, essendo 4 gli stati di ingresso possibili, non posso fare a meno di avere **quattro stati interni**. Chiamiamoli S_0, S_1, S_2, S_3 , e disegniamo la tabella di flusso. Posso associare lo stato interno al precedente stato di ingresso nel seguente modo:

S. interno	S. ingresso precedente
S_0	00
S_1	01
S_2	11
S_3	10

Ciò significa che la tabella di flusso, relativamente alla parte che sintetizza la legge A, è la seguente:

La legge A non dipende dallo stato interno (infatti è identica su ogni riga). La parte di rete RC che produce il nuovo stato interno non ha in ingresso le uscite del registro.

		$x_1 x_0$			
		00	01	11	10
S_i	S_0	$S_0/0$	$S_1/1$	$S_2/0$	$S_3/1$
	S_1	$S_0/0$	$S_1/0$	$S_2/0$	$S_3/1$
	S_2	$S_0/0$	$S_1/1$	$S_2/1$	$S_3/1$
	S_3	$S_0/0$	$S_1/1$	$S_2/0$	$S_3/0$

Se, inoltre, adotto un modello di **sintesi con D-FF come elementi di marcatura** e scelgo come codifica per gli stati interni la più ovvia (cioè **$S_0=00, S_1=01$** , etc.), ottengo anche che $a_1 = x_1$, $a_0 = x_0$: la rete che calcola lo stato interno successivo è costituita da due cortocircuiti.

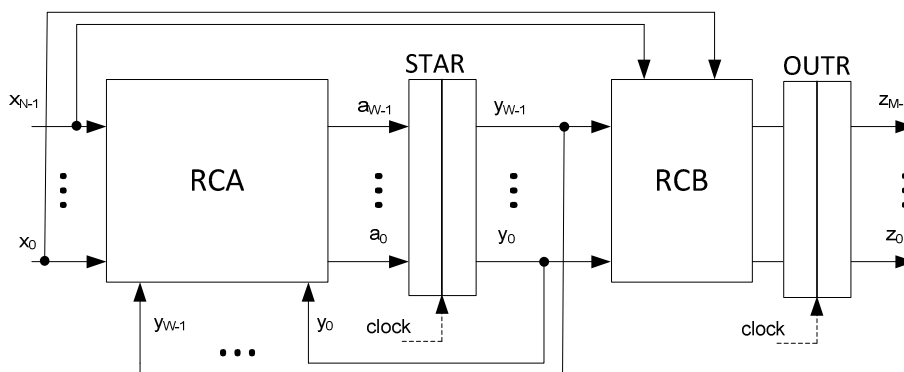
Per quanto riguarda le uscite, basta leggere le specifiche ed aver presente che lo stato interno codifica lo stato di ingresso precedente. Sulla **diagonale** dovrò eseguire l'operazione $z = x_1 \cdot x_0$, fuori dalla diagonale avrò $z = x_1 \otimes x_0$.

Posso quindi fare la sintesi della parte di RC che gestisce le uscite come segue (ad esempio in forma PS): $z = (x_1 + x_0) \cdot (\bar{x}_0 + y_1 + \bar{y}_0) \cdot (\bar{x}_1 + \bar{y}_1 + y_0) \cdot (\bar{x}_1 + \bar{x}_0 + y_1)$

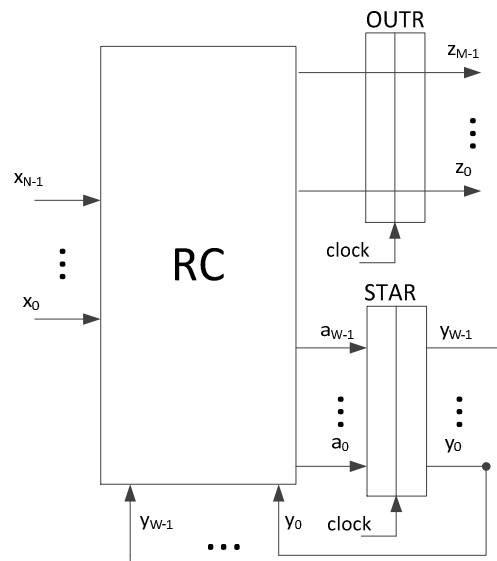
2.7 Modello di Mealy ritardato

Si parte da una rete di Mealy, e si mette in uscita un **registro OUTR**. In questo modo, le uscite:

- variano sempre **all'arrivo del clock**, dopo un tempo T_{prop} (dove l'aggettivo "ritardato");
- variano in maniera **netta, senza oscillazioni** (come invece può succedere in una rete di Mealy se gli ingressi ballano un po' prima di stabilizzarsi);
- rimangono stabili per **l'intero ciclo di clock**.
- sono **non trasparenti**.



Come al solito, RCA e RCB hanno gli stessi ingressi, e quindi posso disegnare il tutto così:



Vediamo intanto di definire formalmente le proprietà di una rete di Mealy ritardato.

- 1) Ha una **legge di evoluzione nel tempo** del tipo $A: \mathbf{X} \times \mathbf{S} \rightarrow \mathbf{S}$, che mappa quindi una coppia (stato di ingresso, stato interno) in un nuovo stato interno.
- 2) Una **legge di evoluzione nel tempo** del tipo $B: \mathbf{X} \times \mathbf{S} \rightarrow \mathbf{Z}$, che mappa quindi una coppia (stato di ingresso, stato interno) in un nuovo stato di uscita.
- 3) Si adegua alla seguente **legge di temporizzazione**:

“Dato S, stato interno presente (marcato) ad un certo istante, e dato X stato di ingresso ad un certo istante **precedente l’arrivo di un segnale di sincronizzazione**,

- 1) individuare **SIA** il nuovo stato interno da marcare $S' = A(S, X)$, **SIA** il nuovo stato di uscita $Z = B(S, X)$
- 2) **attendere l’arrivo del segnale di sincronizzazione**
- 3) **promuovere S’ al rango di stato interno marcato, e promuovere Z al rango di nuovo stato di uscita, quando la rete non è più sensibile agli ingressi**

Attenzione a capire **bene** una cosa (non averla capita **ora** rende la soluzione dei compiti d’esame impossibile **dopo**):

Lo stato di uscita cambia **dopo il clock**, ed il suo valore dipende dallo stato di ingresso e dallo stato interno marcato **precedenti all’arrivo del clock**.

Prendiamo in esame le condizioni di temporizzazione, derivandole dalle equazioni generali che avevamo scritto a suo tempo:

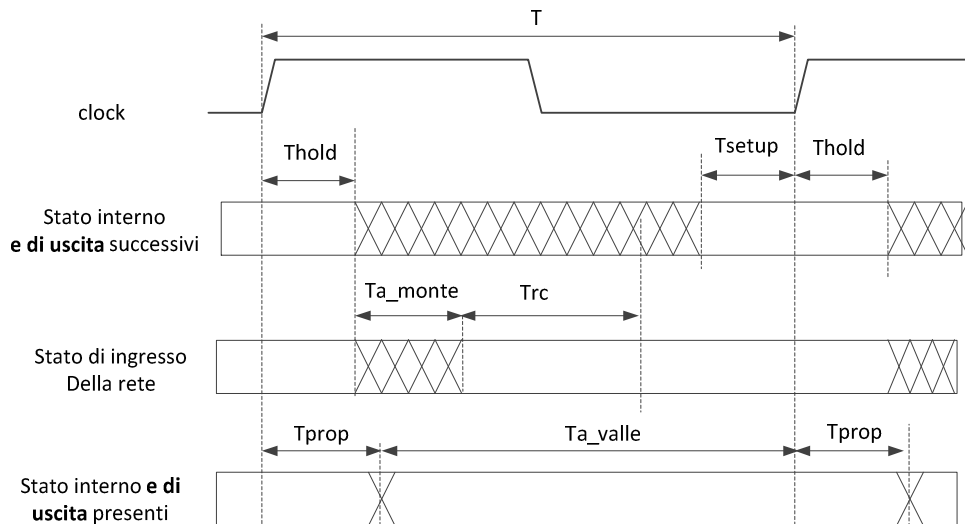
$$T \geq T_{hold} + T_{a_monte} + T_{RC} + T_{setup} \quad (\text{percorso da ingresso a registro})$$

$$T \geq T_{prop} + T_{RC} + T_{setup} \quad (\text{percorso da registro a registro})$$

$$T \geq T_{prop} + T_{a_valle} \quad (\text{percorso da registro a uscita})$$

Di queste, al solito, la seconda sarà più o meno implicata dalla prima, e potremo trascurarla. La più vincolante è quindi la **prima**.

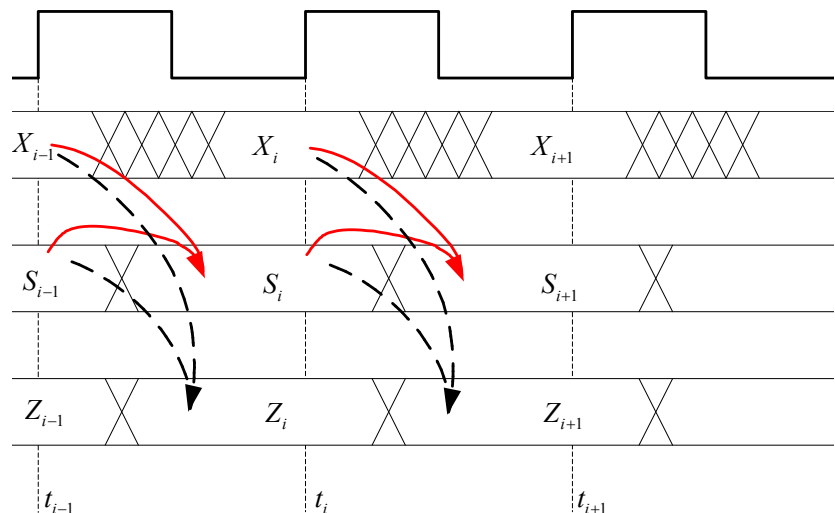
Se le condizioni di temporizzazione sono rispettate (vediamo tra un attimo), una rete di Mealy ritardato si evolve in modo **deterministico**. Detti t_i , $i \geq 0$, gli **istanti di sincronizzazione**, e detti $X[t_i], S[t_i], Z[t_i]$ gli stati di **ingresso, interno e di uscita** all’istante t_i , sarà:



$$\begin{aligned} S[t_{i+1}] &= A(X[t_i], S[t_i]) \\ Z[t_{i+1}] &= B(X[t_i], S[t_i]) \end{aligned}$$

e tali nuovi stati interni e di uscita saranno resi disponibili **dopo** T_{prop} .

Confrontare con quelli per reti di Moore e Mealy



La descrizione in Verilog di una rete di Mealy ritardato è la seguente:

```
module Rete_di_Mealy_Ritardato(zM-1,...,z0,xN-1,...,x0,clock,reset_);
input clock,reset_;
input xN-1,...,x0;
output zM-1,...,z0;

reg [W-1:0] STAR; parameter S0=codifica0,...,SK-1=codificaK-1;
reg [M-1:0] OUTR; assign {zM-1,...,z0}=OUTR;

always @(reset_==0) #1 begin OUTR<=...; STAR<=...; end
always @(posedge clock) if (reset_==1) #3
caseX(STAR)
  S0 : begin
    OUTR<=ZS0(xN-1,...,x0);
    STAR<=AS0(xN-1,...,x0);
  end
  ...
  ...
  SK-1 : begin
    OUTR<=ZSK-1(xN-1,...,x0);
    STAR<=ASK-1(xN-1,...,x0);
  end
end
```

Due o più assegnamenti procedurali **racchiusi tra begin...end** verranno resi operativi **contemporaneamente**, all'arrivo del clock. Pertanto, scriverli in un ordine o in un altro **non cambia niente (non è il C++)**. In particolare, è ovvio che **se uso OUTR a destra di STAR<=**, sto usando il vecchio valore (quello prima del fronte del clock), **non il nuovo**.

```

        end
    endcase
endmodule

```

Posso anche descrivere una rete di Mealy ritardato con **tabelle e grafi di flusso** (ammesso che sia semplice abbastanza). In questo caso, la descrizione sarà **visivamente identica a quella di una rete di Mealy standard**, in quanto il fatto che sia **Mealy o Mealy ritardato** sta nella maniera di **rendere operativa la legge B**, non nella formulazione della legge stessa. Posso descrivere il **riconoscitore di sequenza** come rete di Mealy ritardato: la tabella di flusso sarà identica, sarà diversa la **temporizzazione delle uscite**. Infatti, in questo caso, **entrambe le parti della tabella** vengono rese vere all'arrivo del clock.

	X ₁ X ₀			
	00	01	11	10
S0	S0/0	S0/0	S1/0	S0/0
S1	S0/0	S2/0	S1/0	S0/0
S2	S0/0	S0/0	S1/0	S0/1

A livello di Verilog, invece, le due descrizioni saranno differenti. In particolare, la parte che gestisce **l'evoluzione di STAR** sarà **identica**, quella che gestisce l'evoluzione delle uscite sarà radicalmente diversa, e consisterà in **assegnamenti procedurali al registro OUTR** (invece che assegnamenti continui, come avevamo nel caso di Mealy).

```

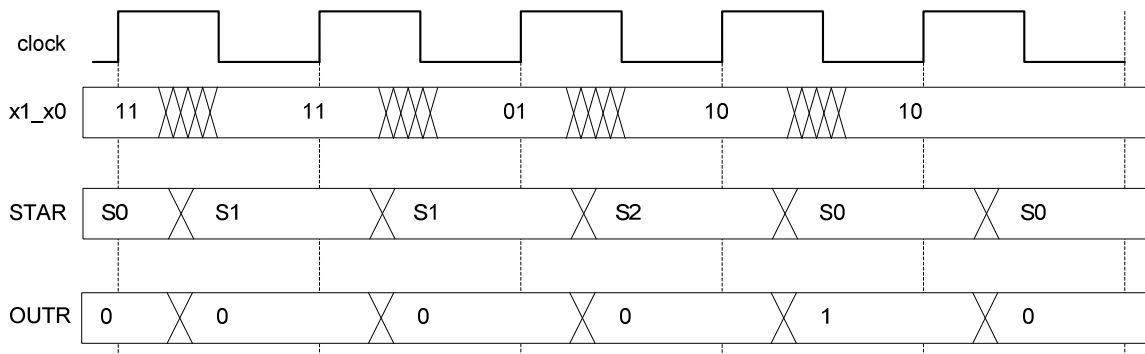
module Riconoscitore_di_Sequenze(z,x1_x0,clock,reset_);
input clock,reset_;
input [1:0] x1_x0;
output z;

reg [1:0] STAR; parameter S0='B00,S1='B01,S2='B10;
reg OUTR; assign z=OUTR;

always @(reset_==0) #1 begin OUTR<=0; STAR<=S0; end
always @(posedge clock) if (reset_==1) #3
casez(STAR)
    S0: begin OUTR<=0; STAR<=(x1_x0=='B11)?S1:S0; end
    S1: begin OUTR<=0; STAR<=(x1_x0=='B01)?S2:(x1_x0=='B11)?S1:S0; end
    S2: begin OUTR<=(x1_x0=='B10)?1:0; STAR<=(x1_x0=='B11)?S1:S0; end
endcase
endmodule

```

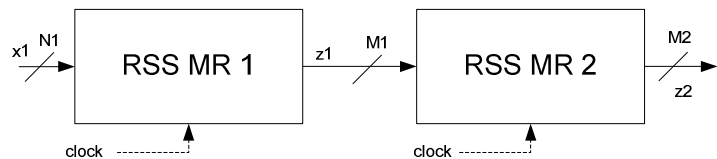
Il diagramma di temporizzazione relativo ad una possibile evoluzione di questa rete sarà quindi:



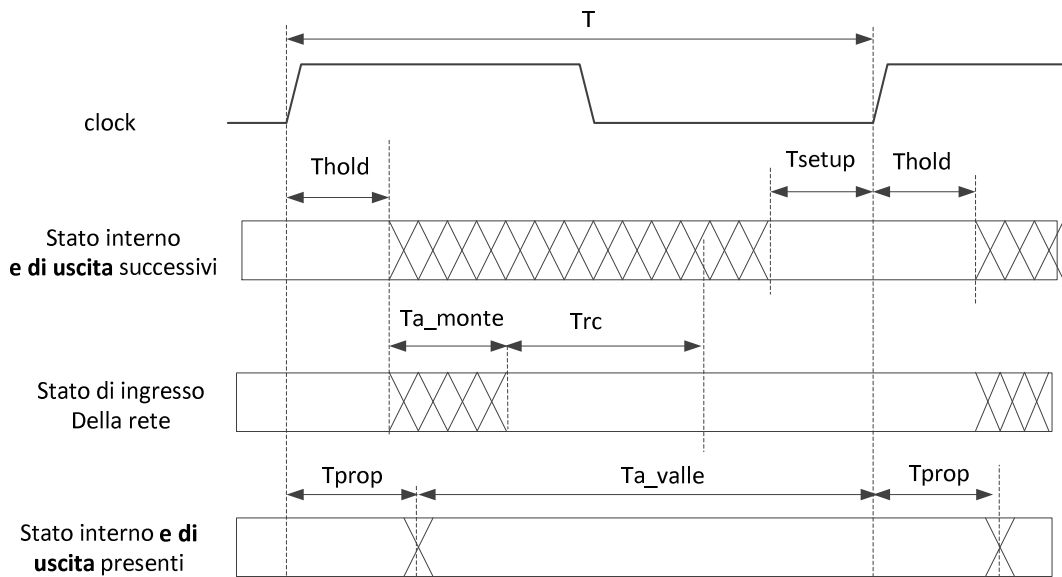
Il che giustifica ancora una volta l'aggettivo **ritardato**. L'uscita è in ritardo di un clock rispetto a quanto succedeva nel modello di Mealy.

Osservazione: posso certamente montare reti di Mealy ritardato in qualunque configurazione. Sono **non trasparenti**, al contrario delle reti di Mealy (in cui ho una connessione diretta ingresso-uscita). Inoltre, il fatto che **le uscite siano costanti per un intero periodo di clock** fa sì che possa mettere **catene di reti di Mealy ritardato arbitrariamente lunghe**, essendo sicuro che, se piloto gli ingressi di una rete a valle con le uscite di una rete a monte non avrò **mai problemi di temporizzazione**, in quanto le uscite sono certamente stabili a cavallo dei fronti di clock, e cambiano soltanto dopo.

Prendiamo due reti messe in questo modo (ed aventi lo stesso clock):



Nelle ipotesi di pilotaggio, lo stato di ingresso della **seconda** (che è anche lo stato di uscita della prima) deve essere pronto $T_{RC_2} + T_{setup}$ prima del fronte del clock. Nel nostro caso, lo stato di uscita della prima rete è pronto **già** T_{prop} **dopo il fronte del clock**. Allora basta che $T \geq T_{prop} + T_{RC_2} + T_{setup}$ perché la prima rete possa pilotare la seconda mantenendo i vincoli di temporizzazione. Visto che **questa disuguaglianza è già vera** (è infatti quella che regola il percorso da registro a registro dentro la RSS n. 2), allora non ci sono problemi a mettere reti di MR con lo stesso clock in cascata.

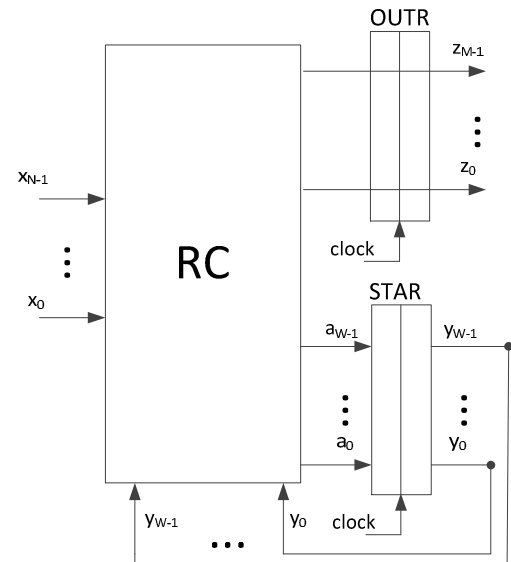


Riepilogando, le reti di Mealy ritardato:

- **sono non trasparenti;**
- hanno una legge B flessibile, che mi porta in genere a risolvere problemi usando un **numero minore di stati interni;**
- hanno **uscite stabili**, che cambiano in tempi certi;
- **non sono rallentate** da percorsi combinatori troppo lunghi (ricordare le disuguaglianze);
- possono essere **montate in cascata** senza problemi di pilotaggio;
- possono essere **montate in reazione** senza problemi di stabilità.

3 Descrizione e sintesi di reti sequenziali sincronizzate complesse

Il problema dei tre modelli di RSS visti finora è che vanno bene soltanto per reti molto semplici. Se si devono sintetizzare reti complesse, la stessa “pulizia concettuale” dei modelli diventa un limite. Prendiamo come punto di partenza il modello di Mealy ritardato, che abbiamo visto avere diverse caratteristiche interessanti.



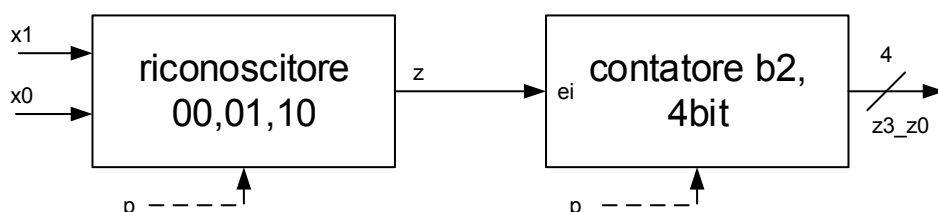
3.1 Linguaggio di trasferimento tra registri

Supponiamo di voler descrivere, usando questo modello, una rete che **conta, modulo 16, il numero di sequenze corrette 00, 01, 10 ricevute** in ingresso. In pratica, ogni volta che vede una sequenza corretta, incrementa di 1 il valore in uscita, rappresentato su 4 bit. Tale rete ha **due ingressi, quattro uscite, e quanti stati interni?**

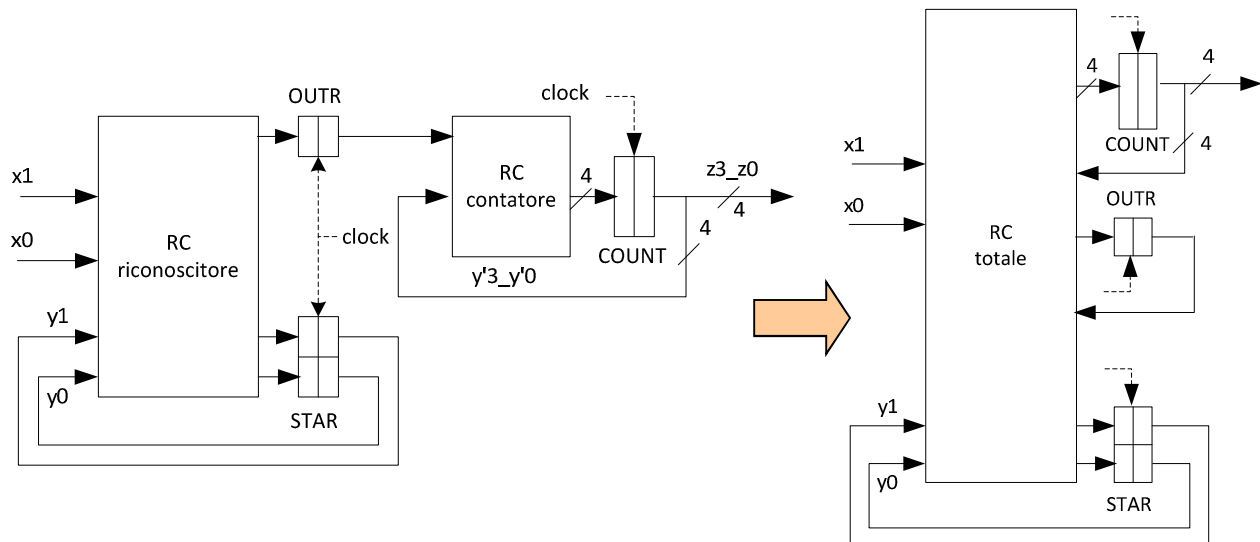
Facendo un conto a spanne, se ci vogliono 3 stati interni per riconoscere una sequenza di tre passi corretti (visto che adopero una rete di Mealy ritardato, perché se fosse stata di Moore ce ne sarebbero voluti 4), allora i 4 bit di uscita dovrebbero cambiare di uno ogni tre stati interni, e mi ci vogliono (a occhio) $3 \cdot 16 = 48$ stati interni. Ci vuole un registro **STAR a 6 bit**, la descrizione e la sintesi diventano ingestibili (in Verilog, il blocco `always` avrebbe un `case` a 48 etichette...).

La maggior parte di voi avrà osservato che, per realizzare una rete così fatta, la soluzione che sto proponendo non è certamente ottimale. Si farebbe molto prima a:

- Sintetizzare un riconoscitore di una sequenza come rete di MR, con **un bit di uscita**;
- Sintetizzare un contatore a 4 bit in base 2, che prende come ingresso **ei** (riporto entrante) l'uscita del riconoscitore, e produce esso stesso un'uscita su 4 bit.



Il contatore, se non considero **il riporto uscente** (del quale infatti nulla mi interessa, ai fini della risoluzione del mio problema) è una rete di Moore, oppure, se vogliamo, di Mealy ritardato (in quanto l'uscita che rappresenta il numero in base 2 su 4 bit è supportata direttamente da un registro). Vediamo come è fatta questa rete con maggior dettaglio:



Si ricava immediatamente la struttura a destra, che **non è una struttura di Mealy ritardato**, in quanto non distinguo più **soltanto due registri**, uno dei quali ha variabili che rientrano (STAR) e l'altro no (OUTR). Ho **tanti registri**, che possono supportare o meno variabili di uscita (ad esempio, OUTR non supporta variabili di uscita), il cui contenuto può comunque essere dato in ingresso alle reti combinatorie. In particolare, l'ingresso di COUNT sarà funzione dell'uscita di OUTR, e soprattutto sarà funzione **dell'uscita di COUNT stesso**.

Sono arrivato ad un modello **più generale**, in cui:

- Ho un registro di **stato STAR**, che svolge le stesse funzioni che in una RSS qualunque;
- posso usare quanti altri registri voglio, della capacità che voglio. Tali registri prendono il nome di **registri operativi** (ma questo non è un grosso miglioramento, tanto valeva fare un registro solo OUTR “molto grande”);
- posso usare **il contenuto dei registri operativi (oltre che di STAR) per fornire ingresso a reti combinatorie**, che prepareranno l'ingresso ad altri registri, e così via. **Questo** è un grosso miglioramento rispetto al modello di Mealy ritardato;
- le uscite sono **tutte sostenute da registri operativi**, come nel modello di Mealy ritardato, anche se non necessariamente un registro operativo deve per forza sostenere un'uscita.

Con un simile modello posso risolvere problemi **complessi**, mantenendo descrizioni e sintesi molto **compatte**.

3.1.1 Esempio: contatore di sequenze 00,01,10

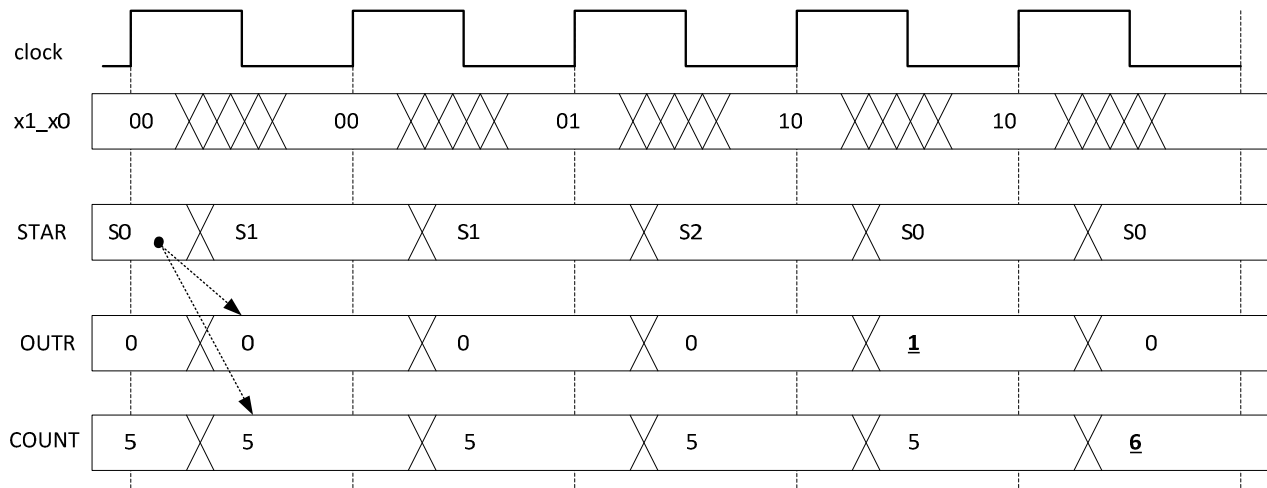
```
// Contatore di sequenze secondo il modello generalizzato
module Contatore_Sequenze(z3_z0, x1_x0, clock, reset_)
input clock, reset_;
input [1:0] x1_x0;
output [3:0] z3_z0;

reg [3:0] COUNT;
reg      OUTR;
reg [1:0] STAR;

parameter S0='B00, S1='B01, S2='B10;
assign z3_z0=COUNT;

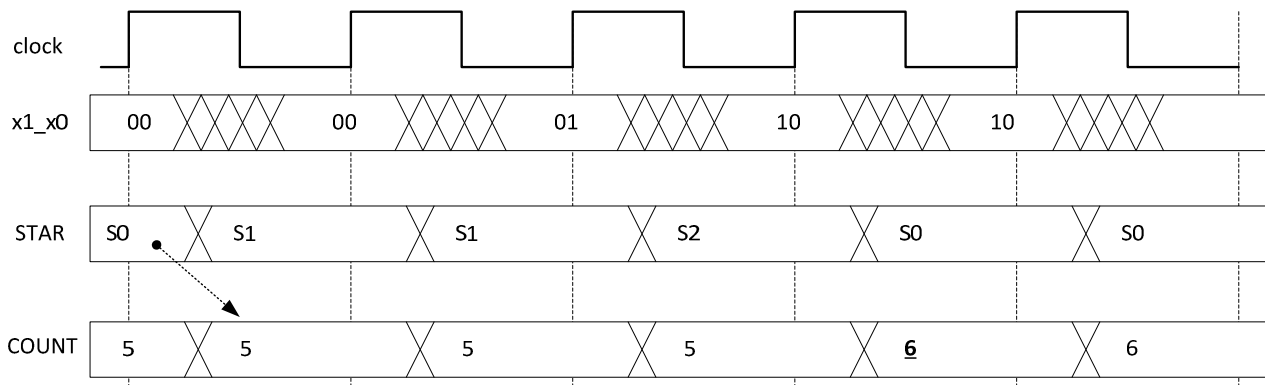
always @(reset_ ==0) #1 begin OUTR<=0; COUNT<=0; STAR<=S0; end
always @(posedge clock) if (reset_==1) #3
    casex(STAR)
        S0 : begin OUTR<=0; COUNT<=COUNT+OUTR; STAR<=(x1_x0=='B00)?S1:S0;
                    end
        S1 : begin OUTR<=0; COUNT<=COUNT+OUTR;
                    STAR<=(x1_x0=='B01)?S2:(x1_x0=='B00)?S1:S0; end
        S2 : begin OUTR<=(x1_x0=='B10)?1:0; COUNT<=COUNT+OUTR;
                    STAR<=(x1_x0=='B00)?S1:S0; end
    endcase
endmodule
```

Diamo uno sguardo all'evoluzione temporale di questa rete:



Si vede che COUNT incrementa di un clock in ritardo rispetto alla sequenza degli ingressi riconosciuta. Ciò è dovuto al fatto che il valore di incremento viene **prima** memorizzato in OUTR e **poi** sommato a COUNT. Visto che non abbiamo bisogno di questo, possiamo ottimizzare la descrizione **eliminando OUTR**, con il che si risparmia un registro e l'uscita si aggiorna un clock prima.

```
S0 : begin COUNT<=COUNT; STAR<=(x1_x0=='B00)?S1:S0; end
S1 : begin COUNT<=COUNT;
          STAR<=(x1_x0=='B01)?S2:(x1_x0=='B00)?S1:S0; end
S2 : begin COUNT<=(x1_x0=='B10)?COUNT+1:COUNT;
          STAR<=(x1_x0=='B00)?S1:S0; end
```



Si noti che questa rete ha soltanto **tre stati interni**. Tale compattezza è intrinsecamente legata al fatto che ho potuto avvalermi **dello stato dei registri** per **generare gli ingressi alle reti combinatorie**. Da cosa la vedo questa cosa? Dal fatto che registri **operativi** si trovano a **destra dell'operatore di assegnamento procedurale**. Nel modello di Mealy ritardato **non ci potevano stare**.

Un po' di **nomenclatura**:

- Una descrizione così fatta si dice a **livello di linguaggio di trasferimento tra registri**.
- Il **Verilog comprende**, tra mille altre cose, un linguaggio di trasferimento tra registri
- Ogni ramo del `case x` si chiama **statement**, e comprende:
 - a) Zero o più **μ-istruzioni**, cioè assegnamenti a registri operativi;
 - b) Un μ-salto, cioè un assegnamento al registro **STAR**. Tale μ-salto può essere a **due vie**, come in S0, S2, a **più vie**, come in S1, o a **una via (incondizionato)**, se scrivo, e.g., `STAR<=S2`.

In generale, supponendo di avere Q registri operativi, uno statement avrà la seguente forma:

```

Sj : begin
    R0<=espressione(j,0) (var_ingresso, R0, ... RQ-1);
    [...]
    RQ-1<=espressione(j,Q-1) (var_ingresso, R0, ... RQ-1);
    STAR<=espressionej (var_ingresso, R0, ... RQ-1);
end
  
```

Posso omettere di specificare il comportamento di un **registro operativo** (attenzione: **operativo**) in uno statement della descrizione. In questo caso, è come se scrivessi:

REGISTRO<=REGISTRO;

Ad esempio, potrei omettere di scrivere l'aggiornamento di COUNT in S0, S1, ed è quello che faremo normalmente nel seguito. Se, invece, ometto di specificare l'assegnamento **al registro di stato STAR**, è sottinteso che il **μ-salto è incondizionato, e porta allo statement successivo** nella descrizione. Non potrebbe essere altrimenti, perché se fosse `STAR<=STAR` si avrebbe un **deadlock**, cioè una condizione di stallo dalla quale non si esce finché qualcuno non decide di dare un colpo di reset. **Noi non ometteremo mai l'aggiornamento di STAR**, perché farlo diminuirebbe la leggibilità ed è fonte di errori.

Per quanto riguarda i **vincoli di temporizzazione**, questa rete è soggetta alle stesse disequazioni di una rete di Mealy Ritardato. A livello di **diagrammi di temporizzazione**, lo stato di **tutti i registri** (operativi e di stato) cambia in modo **sincronizzato** all'arrivo del clock. Pertanto, quando un registro compare **a destra** di un assegnamento, ci si riferisce al **valore che aveva prima del fronte del clock**.

Attenzione: stiamo parlando di **modalità di descrizione** di una RSS complessa. È chiaro che il punto di arrivo del nostro lavoro dovrà essere la **sintesi** della medesima, cioè decidere quali “scatole” vanno messe e come vanno collegate affinché la rete abbia il comportamento specificato nella descrizione. Le modalità di **sintesi** verranno affrontate più avanti, quando avremo fatto pratica con il formalismo di descrizione.

3.1.2 Esempio: contatore di sequenze alternate 00,01,10 – 11,01,10

Variazione sul tema, che complica leggermente quanto visto nell'esempio precedente. Voglio descrivere una rete che **incrementi** un contatore a 4 bit quando riconosce la **prima** delle due sequenze, poi incrementa quando vede la **seconda**, poi di nuovo la prima, e così via in modo alternato.

La rete avrà due var. di ingresso (x_1x_0) e quattro di uscita (il contenuto del registro COUNT). Per descriverne il comportamento mi serve almeno **un altro registro oltre STAR**, che chiamo COUNT e dimensiono a 4 bit, come da specifica. Analizzando le specifiche si vede subito che le due sequenze da riconoscere **differiscono soltanto per il primo passo**, e poi sono identiche. Le sequenze **dispari** devono cominciare per 00, quelle **pari** per 11. Posso quindi sfruttare questo aspetto per realizzare una rete semplice.

Visto che ogni volta che incremento COUNT cambia il tipo di sequenza da riconoscere, posso pensare di avere una **rete combinatoria** che, basandosi sul **bit meno significativo di COUNT** (che mi dice appunto se ho contato un numero pari o dispari di sequenze), e **sullo stato di ingresso alla rete**, dà in uscita 1 se quel passo è il primo passo corretto e 0 altrimenti.

COUNT[0], x_1 , x_0	match
000	1
111	1
Others	0

Se ho a disposizione una rete così fatta, la descrizione in Verilog del contatore di sequenze alternate è assai semplice. Basta sostituire quello che ho scritto prima con:

```

S0: begin COUNT<=COUNT; STAR<=(match(COUNT[0],x1 x0)==1)?S1:S0; end
S1: begin COUNT<=COUNT;
      STAR<=(x1_x0=='B01)?S2:(match(COUNT[0],x1 x0)==1)?S1:S0;
      end
S2: begin COUNT<=(x1_x0=='B10)?COUNT+1:COUNT;
      STAR<===(match(COUNT[0],x1 x0)==1)?S1:S0; end

```

E definire da qualche parte nella descrizione la funzione **match** che abbiamo usato.

Si noti ancora che la semplicità di questa descrizione è dovuta alla possibilità di usare il valore di COUNT come ingresso alle reti combinatorie.

```
module Riconoscitore_e_Contatore(z3_z0,x1_x0,clock,reset_);
input clock,reset_;
input [1:0] x1_x0;
output [3:0] z3_z0;

reg [1:0] STAR; parameter S0='B00,S1='B01,S2='B10;
reg [3:0] COUNT; assign z3_z0=COUNT; // Registro operativo

always @(reset_==0) #1 begin COUNT<='B0000; STAR<=S0; end
always @(posedge clock) if (reset_==1) #3
casez(STAR)
  S0: begin COUNT<=COUNT;
        STAR<=(match(COUNT[0],x1_x0)==1)?S1:S0; end
  S1: begin COUNT<=COUNT;
        STAR<=(x1_x0=='B01)?S2:(match(COUNT[0],x1_x0)==1)?S1:S0; end
  S2: begin COUNT<=(x1_x0=='B10)?COUNT+1:COUNT;
        STAR<=(match(COUNT[0],x1_x0)==1)?S1:S0; end
endcase

function match;
input tipo_sequenza;
input [1:0] x1_x0;
casez({tipo_sequenza,x1_x0})
  'B000: match=1;
  'B111: match=1;
  default: match=0;
endcase
endfunction
endmodule
```

4 Riflessione conclusiva su descrizione e sintesi delle reti logiche

Abbiamo visto vari tipi di reti logiche: quelle combinatorie, sia semplici (pochi ingressi ed uscite) sia complesse (e.g., quelle per l'aritmetica, caratterizzate da molti ingressi ed uscite); quelle sequenziali asincrone; quelle sequenziali sincronizzate, sia semplici (cioè con pochi ingressi, stati interni ed uscite) che complesse (le ultime che abbiamo visto). Siamo al punto giusto per riprendere in mano il progetto di una rete logica con maggior cognizione di causa.

Una rete logica deve essere **prima descritta**, e **poi sintetizzata**.

La **descrizione** altro non è che un **modo formale** di fornire le **specifiche del comportamento** della rete medesima. Infatti:

- Nel caso di una **rete combinatoria**, è un'associazione tra stati di ingresso e stati di uscita, per esempio scritta sotto forma di tabella di verità.
- Nel caso di una **rete sequenziale** (asincrona o sincronizzata), cioè di una rete con memoria, è un **diagramma a stati**, che può essere rappresentato:
 - a) tramite tabella o grafo se la rete è abbastanza semplice, oppure
 - b) tramite un formalismo più complesso, in cui ad ogni stato interno vengono associate delle azioni che la rete esegue (nel nostro caso, assegnamenti a registri).

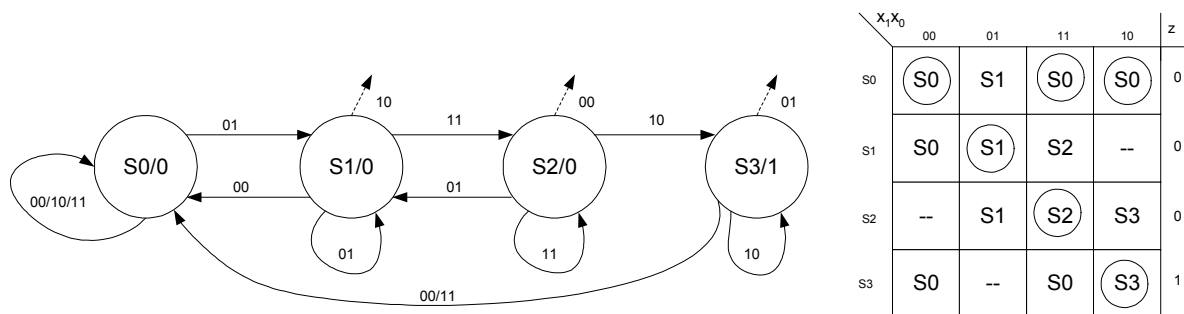
Per descrivere una rete esistono **formalismi differenti**, che si adattano meglio o peggio ad un particolare tipo di rete. Anche per uno stesso tipo di rete si possono usare più formalismi diversi. Ad esempio, per una rete combinatoria possiamo usare indifferentemente una **tabella di verità** o **poche righe di Verilog**.

x2	x1	x0	z
0	0	0	0
0	0	1	1
0	1	0	0
...

```
module Rete(x2, x1, x0, z);
    input x2, x1, x0;
    output z;
    assign z = ({x2,x1,x0} == 'B000) ?      'B0 :
               ({x2,x1,x0} == 'B001) ?      'B1 :
               ({x2,x1,x0} == 'B010) ?      'B0 :
               ...
endmodule
```

È chiaro che la tabella di verità e la descrizione in Verilog scritta accanto hanno la medesima semantica. È altresì chiaro che entrambe dicono **cosa fa** la rete, **ma non come è realizzata**, cioè quali sono le porte logiche che la compongono.

Allo stesso modo, la descrizione di una RSA si può dare sotto forma di grafo di flusso, di tabella di flusso, o di linguaggio Verilog. Quest'ultimo non l'abbiamo mai usato, ma è chiaro che avremmo potuto farlo.



È indispensabile avere a disposizione un modo formale per descrivere una rete, perché una descrizione formale può essere **verificata**:

- verificare la descrizione di una RC significa controllare che gli stati di uscita siano quelli desiderati per ogni possibile stato di ingresso. È una verifica **statica**, che si fa per ispezione diretta.
- Verificare la descrizione di una RS (asincrona o sincronizzata) significa **simulare l'evoluzione della rete** a partire da una condizione iniziale di reset, e controllare che questa sia coerente con le specifiche (normalmente date a parole). Questa è una verifica **dinamica** (richiede un'evoluzione temporale della rete), concettualmente simile al processo di testing di un software. Così come è difficile, se non impossibile, testare il software in maniera esaustiva (i.e., per tutti i possibili input), è difficile verificare in maniera esaustiva il comportamento di reti sequenziali che non siano estremamente semplici. Nondimeno, è **sbagliato** non verificare la descrizione di una RS, tanto quanto è sbagliato non testare del software. Un **diagramma di temporizzazione** che mostra la simulazione di una RSS complessa con un certo input, come quelli che abbiamo fatto svariate volte finora, è un modo per verificare la descrizione di quella rete.

Ciò che rende un **formalismo di descrizione** preferibile rispetto ad un altro è **quanto è comodo da usare**. Per una RC semplice una tabella di verità o una mappa di Karnaugh sono (leggermente) più comodi di una descrizione in Verilog. La verifica statica di una tabella di verità è (leggermente) più agevole rispetto a quella di una descrizione in Verilog.

Allo stesso modo, per una RSA (semplice) una tabella di flusso è più comoda da scrivere di una descrizione in Verilog, e soprattutto è più facile – per un utente umano – simulare l'evoluzione della rete sulla tabella di flusso che sulla descrizione in Verilog. Se invece volessi avvalermi di un simulatore Verilog per simulare il comportamento di una RSA, mi converrebbe ovviamente scriverne la descrizione in Verilog.

Viceversa, per una RSS complessa, una descrizione in Verilog risulta ben leggibile, e può essere agevolmente fornita ad un simulatore Verilog per verificare il comportamento della rete.

Una descrizione non può fornire informazioni su **come è realizzata la rete**, cioè quali sono i suoi componenti elementari e come sono interconnessi. Per arrivare a questo livello è necessario procedere alla **sintesi**, che è **sempre** il punto di arrivo degli esercizi che svolgiamo. Fermarsi alla descrizione, infatti, comunica l'impressione di **non essere in grado di realizzare** ciò che si è pensato, impressione che un ingegnere non dovrebbe mai dare.

Esistono **due approcci** per la sintesi, e li abbiamo usati entrambi: quello **euristico**, che consiste nel “fare le cose ad occhio”, e quello **formale**, che consiste nel seguire un procedimento algoritmico. L'approccio euristico viene usato tipicamente nel caso di **reti combinatorie per l'aritmetica**. La sintesi richiesta negli esercizi di aritmetica consiste, di fatto, nel prendere dei blocchi “atomici”, e.g., sommatore, moltiplicatore, etc. – la cui struttura interna è data per assodata – ed assemblarli in modo che soddisfino delle specifiche date a parole (il testo dell'esercizio). Approcci euristici per la risoluzione di problemi sono tipici del know-how di un ingegnere (il processo di scrittura del software a partire dalle specifiche è, infatti, un procedimento euristico), e richiedono l'esperienza che si acquisisce solo con la pratica.

Abbiamo anche usato **approcci formali** per la sintesi delle reti logiche. Ad esempio:

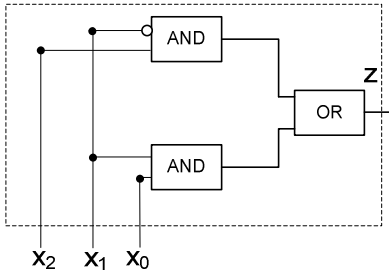
- La sintesi a costo minimo in forma SP (PS, NAND, NOR) di una RC;
- la sintesi di una RSS di Moore, Mealy, Mealy Ritardato, secondo il modello con registri FF-D o FF-JK;
- la sintesi di una RSS complessa secondo il modello con scomposizione in Parte Operativa e Parte Controllo.

In tutti questi casi, il processo seguito è di tipo algoritmico. Si parte dalla **descrizione** della rete, si adotta un **modello di sintesi**, e si procede secondo i passi dell'algoritmo. La scelta del modello di sintesi determina l'algoritmo. Ad esempio, l'algoritmo di sintesi di una RSS di Moore è diverso se scelgo di usare il modello con registro di stato FF-D o quello con registro di stato FF-JK. L'algoritmo di sintesi di una RC è diverso a seconda che scelga un modello di sintesi SP o PS.

Sia come sia, alla fine una **sintesi** deve essere comunicata a qualcuno (e.g., il tecnico che realizzerà l'hardware) in forma intelligibile, e quindi deve essere **scritta secondo un qualche formalismo**

pure lei. Come per le descrizioni, abbiamo usato diversi formalismi, scegliendo di volta in volta quello **più comodo perché più facile da leggere**.

Ad esempio, per le RC semplici abbiamo usato indifferentemente **diagrammi, espressioni di algebra di Boole, o il linguaggio Verilog**.



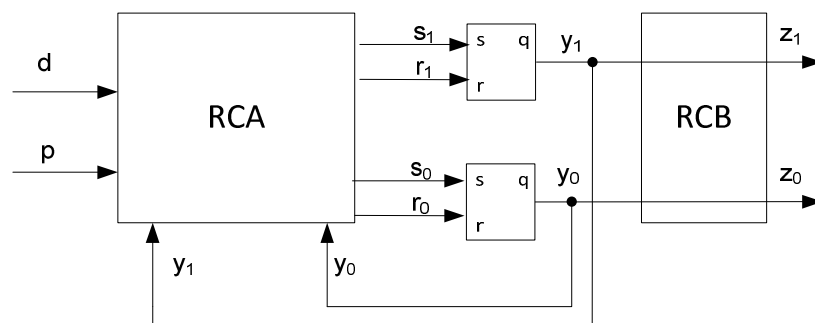
```
module Rete(x2, x1, x0, z);
    input x2, x1, x0;
    output z;
    assign z = (x1 & x0) |
               (x2 & ~x1);
endmodule
```

$$z = (x_1 \cdot x_0) + (x_2 \cdot \overline{x_1})$$

Tutti e tre sono equivalenti, ma noi preferiamo usare le espressioni algebriche perché sono più compatte. Si noti che il linguaggio **Verilog** può essere usato sia per rappresentare la **descrizione che la sintesi**. Ciò è spesso fonte di confusione, perché si confonde il **formalismo** (cioè il linguaggio Verilog) con il **contenuto** (cioè la descrizione o la sintesi, a seconda dei casi). È però chiaro che il pezzo di Verilog scritto sopra è una **sintesi**, in quanto è mappabile direttamente su porte logiche interconnesse. Non è una descrizione perché non dice come stati di uscita corrispondono a stati di ingresso.

Per la sintesi di RC complesse (quali quelle per l'aritmetica) usiamo normalmente **diagrammi**. Più raramente, scriviamo sintesi in Verilog (sono più difficili da leggere).

Per le RSA e le RSS di Moore, Mealy, e Mealy Ritardato usiamo normalmente un **diagramma** che specifica quale **modello di sintesi** abbiamo scelto, ed **espressioni algebriche** che descrivono le relazioni ingresso-uscita delle reti combinatorie facenti parte del modello.



$$s_1 = p \cdot d \cdot \overline{y_0} = \overline{\overline{p \cdot d \cdot y_0}} = \overline{\overline{p} + \overline{d} + y_0}, \quad r_1 = \overline{p}$$

$$s_0 = p \cdot \overline{d} \cdot \overline{y_1} = \overline{\overline{p \cdot \overline{d} \cdot y_1}} = \overline{\overline{p} + d + y_1}, \quad r_0 = \overline{p}$$

$$z_1 = y_1, \quad z_0 = y_0$$

Per le RSS complesse, è di gran lunga più conveniente usare il **Verilog** per scrivere la sintesi, sempre stando attenti a non confondere il formalismo con il contenuto, visto che usiamo il Verilog **anche** per scrivere la descrizione. Scrivere la sintesi sotto forma di diagramma in questo caso richiederebbe fogli enormi e grossi intrighi di fili, e ne risulterebbe qualcosa di difficile da leggere. **Resta inteso**, in ogni caso, che ciò che si scrive quando si fa una sintesi in Verilog è **in corrispondenza biunivoca con un diagramma**, in cui:

- la parte operativa è composta da registri multifunzionali, che hanno le variabili di comando b_j come ingressi di comando dei propri multiplexer;
- ci sono reti combinatorie che generano le variabili di condizionamento;
- la parte di controllo consiste in un registro di stato ed una ROM (e poco altro), ed ha in ingresso le variabili di condizionamento e in uscita quelle di comando.

Non aver capito questo significa non aver capito cosa si sta facendo, ed è **grave**. Per rendere chiaro che si è capito, negli esercizi di esame è **sempre** richiesto di disegnare almeno i diagrammi delle reti combinatorie di condizionamento e di specificare il contenuto della ROM sotto forma di tabella di verità. Talvolta, può essere richiesto di disegnare anche alcune porzioni della parte operativa.

Fare una **sintesi** di una rete sequenziale senza averne fatto la descrizione (errore che capita di vedere talvolta durante la correzione dei compiti) è cosa completamente **assurda**: è **praticamente impossibile inferire** il comportamento della rete a partire da una sintesi, e quindi non si riesce a verificare la correttezza della medesima rispetto a delle specifiche date.

Come nota a margine, si osserva che per una **rete combinatoria** è invece relativamente semplice risalire alla descrizione (e.g., alla tabella di verità) a partire dalla sintesi – il che non è comunque un buon motivo per saltare la descrizione. Ciò è dovuto al fatto che le reti combinatorie non hanno memoria.

Una sintesi **deve quindi essere coerente con la descrizione che l'ha prodotta**, in modo tale che la correttezza del comportamento della rete (che si verifica sulla descrizione) sia mantenuta nella implementazione della medesima. I procedimenti formali per sintetizzare le reti (quelli elencati sopra) partono infatti da una descrizione e la realizzano secondo un modello. Tali procedimenti **garantiscono** che la rete così sintetizzata si comporti nel modo specificato dalla sua descrizione.

Ad esempio, una RSS “semplice” sintetizzata a partire dalla tabella di flusso, se pilotata correttamente, si comporta come specificato nella tabella di flusso. Analogamente, una RSS complessa sintetizzata secondo il modello PO/PC a partire dalla descrizione, si comporterà come la descrizio-

ne, purch  il clock sia dimensionato in modo corretto e gli input non vengano modificati a cavallo dei fronti di salita del clock.

Alcune ottimizzazioni in fase di sintesi sono talvolta possibili. Si deve tener presente, per , che le sintesi non si giudicano dal livello di ottimizzazione: se fosse necessario ottenere una sintesi “di costo minimo”, qualunque cosa questo voglia dire, lo si farebbe fare ad un programma.

Ricapitolando: il progetto di una rete logica (qualunque) si affronta nel seguente modo:

1. **descrizione**, per stabilire in modo formale (e quindi verificabile) qual   il comportamento della rete;
2. **sintesi**, a partire dalla descrizione e seguendo un apposito modello, per realizzare una rete che si comporta come specificato nella descrizione.

Per rappresentare i risultati di entrambi i passi si usano dei **formalismi**, quelli che meglio si adattano al tipo di rete. Il fatto che lo stesso formalismo (in particolare, il Verilog) si possa usare per entrambi i passi non pu  essere fonte di confusione, se si   capito cosa si sta facendo. La scelta del formalismo da usare nella descrizione e nella sintesi risponde a criteri di facilit  di utilizzo ed economicit  di spazio. In particolare:

- per le RC (semplici), una descrizione come tabella di verit    pi  leggibile. Una descrizione come mappa di Karnaugh   equivalente, e facilita il procedimento di sintesi secondo uno qualunque dei modelli noti. La sintesi si d  sotto forma di espressioni algebriche.
- per le RSA e le RSS di Moore, Mealy e Mealy ritardato con pochi ingressi e pochi stati interni, una descrizione come tabella di flusso   facile da verificare, ed inoltre facilita il procedimento di sintesi secondo uno dei modelli noti. La sintesi si d  sotto forma di indicazione del modello da utilizzare, pi  le espressioni algebriche delle uscite delle reti combinatorie facenti parte del modello.
- Per le RSS complesse, una descrizione in Verilog   facile da verificare, ed inoltre facilita il procedimento di sintesi secondo il modello con scomposizione in PO/PC. La sintesi si d  parimenti in Verilog, con alcuni diagrammi e tabelle di verit  a completamento.

5 Esercizi

5.1 Esercizio

- 1) Descrivere una rete sequenziale sincronizzata di Moore che ha due variabili di ingresso j e k , ed una variabile di uscita q e si comporta come il flip-flop JK, differenziandosene per la diversa evoluzione nel solo caso $j = k = 1$.

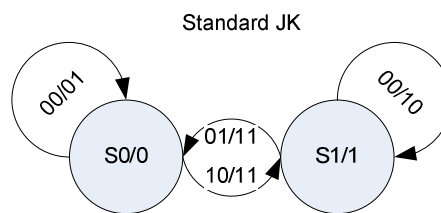
In tal caso infatti porta q ad 1 se la volta precedente in cui lo stato d'ingresso $j = k = 1$ si era presentato, l'uscita era stata resettata; porta q a 0 se la volta precedente in cui lo stato d'ingresso $j = k = 1$ si era presentato, l'uscita era stata settata.

NOTA: la prima volta che si presenta lo stato d'ingresso $j = k = 1$, allora porta q ad 1.

- 2) Sintetizzare la rete a porte NOR

5.1.1 Descrizione della rete

Il JK standard può essere descritto con il seguente diagramma a stati.

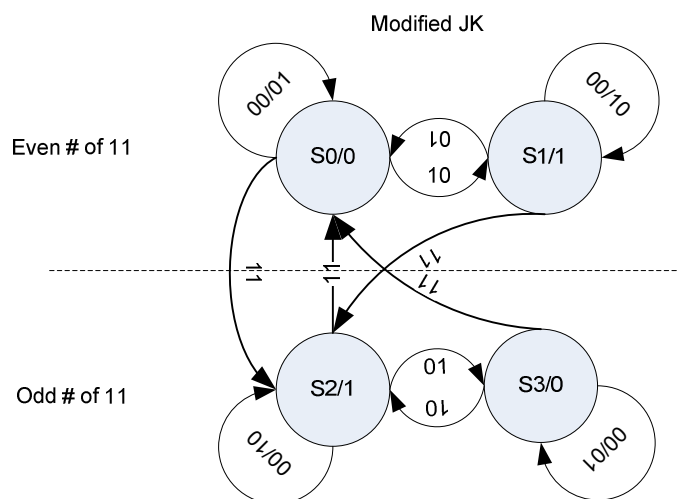


Il JK modificato si differenzia dal precedente per il fatto che il comportamento quando $JK=11$ varia

- se il n. di volte che è stato dato in ingresso $JK=11$ è **pari**, allora l'uscita è **0**
- se il n. di volte che è stato dato in ingresso $JK=11$ è **dispari**, allora l'uscita è **1**

Quindi, **il numero di stati** va differenziato a seconda che:

- l'uscita valga 1 o 0
- il n. di volte che è stato dato 11 sia pari o dispari.



La tabella di flusso è la seguente:

$j \ k$	00	01	11	10	q
S_0	S_0	S_0	S_2	S_1	0
S_1	S_1	S_0	S_2	S_1	1
S_2	S_2	S_3	S_0	S_2	1
S_3	S_3	S_3	S_0	S_2	0

5.1.2 Sintesi della rete a porte NOR

- scelta di una **codifica degli stati**: $S_0 = 00$, $S_1 = 01$, $S_2 = 11$, e $S_3 = 10$

La scelta può essere guidata dalla semplicità di implementazione della rete combinatoria RCB che produce l'uscita dallo stato interno. Con questa scelta, la rete combinatoria è un corto circuito perché q è uguale ad una delle variabili logiche con cui si codifica lo stato.

- scelta di un **modello strutturale**: quale meccanismo uso per la marcatura? Ho due alternative
 - flip-flop D-positive-edge-triggered
 - flip-flop JK

Supponiamo di adottare il **modello strutturale con D-positive-edge-triggered**. Visto che nelle celle della tabella ci devo mettere gli ingressi da dare al meccanismo di marcatura, dovrò mettere direttamente la codifica del nuovo stato interno a_1a_0

$j \ k$	a_1a_0				q
y_1y_0	00	01	11	10	
00	00	00	11	01	0
01	01	00	11	01	1
11	11	10	00	11	1
10	10	10	00	11	0

Sintesi a porte **NOR** Devo fare una **sintesi PS**, che posso poi trasformare a porte NOR. Sintetizziamo le due variabili separatamente.

$\begin{smallmatrix} jk \\ y_1 y_0 \end{smallmatrix}$	$\overline{a_1}$				q	$\begin{smallmatrix} jk \\ y_1 y_0 \end{smallmatrix}$	$\overline{a_0}$				q
	00	01	11	10			00	01	11	10	
00	1	1	0	1	0	00	1	1	0	0	0
01	1	1	0	1	1	01	0	1	0	0	1
11	0	0	1	0	1	11	0	1	1	0	1
10	0	0	1	0	0	10	1	1	1	0	0

$$\overline{a_1} = \overline{j} \cdot \overline{y_1} + \overline{k} \cdot \overline{y_1} + j \cdot k \cdot y_1$$

$$\overline{a_0} = \overline{j} \cdot k + k \cdot y_1 + \overline{j} \cdot \overline{y_0}$$

Applicando DeMorgan si ottiene:

$$\overline{a_1} = \overline{(j + y_1)} + \overline{(k + y_1)} + \overline{(\overline{j} + \overline{k} + \overline{y_1})}$$

$$\overline{a_0} = \overline{(j + \overline{k})} + \overline{(j + y_0)} + \overline{(\overline{k} + \overline{y_1})}$$

Da cui, complementando, si ottiene la soluzione:

$$\begin{aligned} a_1 &= \overline{(\overline{j + y_1})} + \overline{(\overline{k + y_1})} + \overline{(\overline{\overline{j} + \overline{k} + \overline{y_1}})} \\ a_0 &= \overline{(\overline{j + \overline{k}})} + \overline{(\overline{j + y_0})} + \overline{(\overline{\overline{k} + \overline{y_1}})} \\ q &= y_0 \end{aligned}$$

Supponiamo di adottare il **modello strutturale con flip-flop JK**. Visto che nelle celle della tabella ci devo mettere gli ingressi da dare al meccanismo di marcatura, **non** dovrò stavolta mettere direttamente la codifica del nuovo stato interno $a_1 a_0$, ma gli ingressi da dare ai 2 flip-flop JK affinché portino le loro uscite a coincidere con il nuovo stato interno.

$\begin{smallmatrix} jk \\ y_1 y_0 \end{smallmatrix}$	Nuovo stato interno				q
	00	01	11	10	
00	00	00	11	01	0
01	01	00	11	01	1
11	11	10	00	11	1
10	10	10	00	11	0

$\begin{smallmatrix} jk \\ y_1 y_0 \end{smallmatrix}$	$j_1 k_1$				q	$\begin{smallmatrix} jk \\ y_1 y_0 \end{smallmatrix}$	$j_0 k_0$				q
	00	01	11	10			00	01	11	10	
00	0-	0-	1-	0-	0	00	0-	0-	1-	1-	0
01	0-	0-	1-	0-	1	01	-0	-1	-0	-0	1
11	-0	-0	-1	-0	1	11	-0	-1	-1	-0	1
10	-0	-0	-1	-0	0	10	0-	0-	0-	-0	0

Con il che fare una sintesi, qualunque ne sia il tipo, risulta estremamente semplice per l'alto numero di valori non specificati.

Facciamo per esempio la sintesi della parte di rete che produce le variabili j_1, k_1 a porte NOR.

$j \backslash k$	00	01	11	10	q
00	1	1	0	1	0
01	1	1	0	1	1
11	-	-	-	-	1
10	-	-	-	-	0

$j \backslash k$	00	01	11	10	q
00	-	-	-	-	0
01	-	-	-	-	1
11	1	1	0	1	1
10	1	1	0	1	0

Da cui: $\overline{j_1} = \overline{k_1} = \overline{j+k}$, cioè $j_1 = k_1 = \overline{\overline{j+k}}$ (lasciare l'altra per esercizio).

5.2 Esercizio

Si consideri una rete sequenziale sincronizzata di Moore con due variabili di ingresso e due variabili di uscita. Interpretando le due variabili di uscita come un numero naturale a due cifre in base due, il comportamento della rete è il seguente:

- quando gli ingressi sono *diversi*, la rete conta in avanti (modulo 4)
- quando gli ingressi sono *uguali*, la rete conta all'indietro (modulo 4)

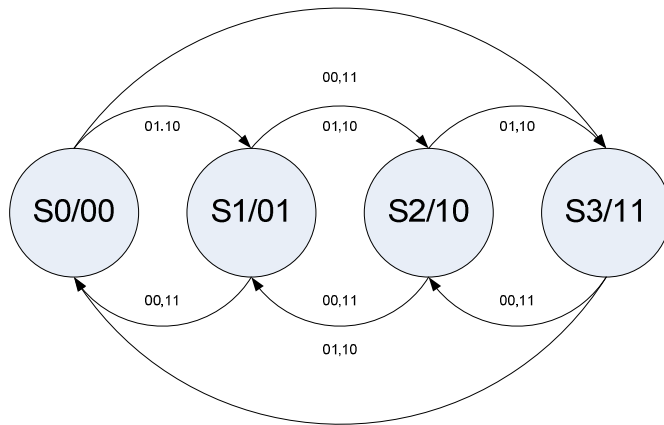
Descrivere e sintetizzare la rete. Calcolare il costo (a porte e a diodi) della rete combinatoria RCA.

Parte facoltativa: sintetizzare la rete RCA utilizzando *esclusivamente* porte XOR e porte NOT.

Calcolare il costo (a porte e a diodi) della rete combinatoria RCA così realizzata, assumendo che il costo di una porta XOR sia pari ad uno.

5.2.1 Soluzione

Il diagramma e la tabella di flusso della rete in questione sono riportati in figura

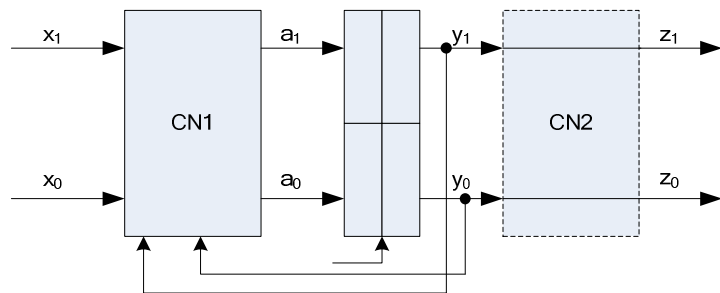


x_1x_0	00	01	11	10	z_1z_0
S0	S3	S1	S3	S1	00
S1	S0	S2	S0	S2	01
S2	S1	S3	S1	S3	10
S3	S2	S0	S2	S0	11

Scegliendo per ciascuno stato una codifica su due bit equivalente al valore che le variabili di uscita assumono in quello stato, si ottiene una rete RCB di complessità nulla, quale che sia il modello strutturale usato.

Utilizzando un modello strutturale che prevede flip-flop D-positive-edge-triggered come meccanismi di marcatura, la mappa di Karnaugh per la rete RCA è la seguente:

		x_1x_0			
		00	01	11	10
y_1y_0	S0 00	11	01	11	01
	S1 01	00	10	00	10
	S3 11	10	00	10	00
	S2 10	01	11	01	11
		a_1a_0			



Dalle mappe di Karnaugh sopra riportate si ricava la seguente sintesi SP:

$$a_1 = \overline{y_1} \cdot \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_1} \cdot \overline{y_0} \cdot x_1 \cdot \overline{x_0} + \overline{y_1} \cdot y_0 \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_1} \cdot y_0 \cdot x_1 \cdot \overline{x_0} \\ + y_1 \cdot \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + y_1 \cdot \overline{y_0} \cdot x_1 \cdot \overline{x_0} + y_1 \cdot y_0 \cdot \overline{x_1} \cdot \overline{x_0} + y_1 \cdot y_0 \cdot x_1 \cdot \overline{x_0} \\ a_0 = \overline{y_0}$$

Il cui **costo a porte** è 9 ed il cui **costo a diodi** è 40.

Si può osservare che la copertura di x_1 è **a scacchi**. La funzione f che riconosce gli stati di ingresso

- dipende da tutte e quattro le variabili
- deve essere fatta in modo tale che, se $f(X)=t$, $f(X')=\bar{t}$, per ogni stato di ingresso X , se X' è adiacente a X .

Due stati adiacenti differiscono sempre per il **numero di variabili ad 1**, si conclude che la funzione richiesta deve avere un valore di uscita che dipende **soltanto** dal **numero di bit a 1** dello stato di

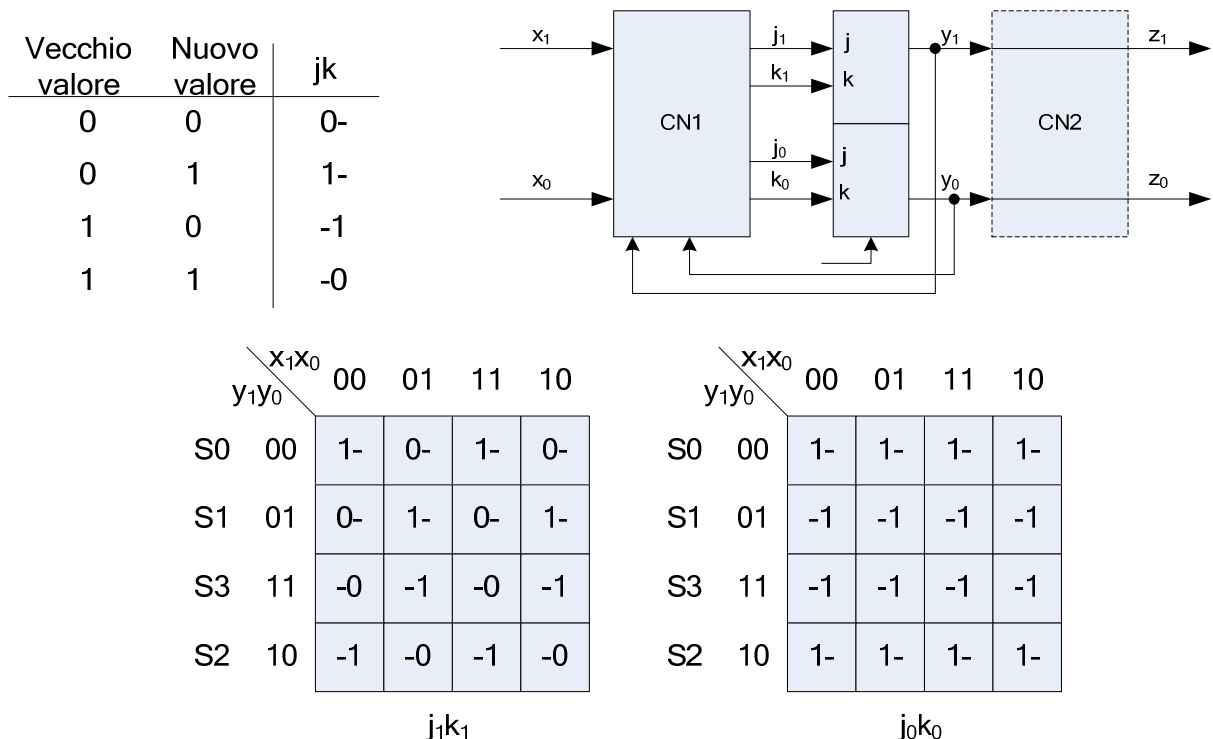
ingresso. Deve essere, appunto, uno XOR a quattro ingressi. Visto che $f(0000)=1$, allora devo negare l'uscita.

La variabile a_1 può essere riscritta come segue: $a_1 = \overline{y_1 \otimes y_0 \otimes x_1 \otimes x_0}$, dal che si ricava che, utilizzando soltanto **porte XOR e NOT**, il costo a porte è 3 e quello a diodi è 6.

Ci si arriva, volendo, per via algebrica:

$$\begin{aligned}
 a_1 &= \overline{y_1 \cdot y_0} \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) + \overline{y_1 \cdot y_0} \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) \\
 &\quad + y_1 \cdot \overline{y_0} \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) + y_1 \cdot y_0 \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) \\
 &= (\overline{y_1 \cdot y_0} + y_1 \cdot y_0) \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) + (\overline{y_1 \cdot y_0} + y_1 \cdot y_0) \cdot (\overline{x_1 \cdot x_0} + x_1 \cdot x_0) \\
 &= (\overline{y_1 \otimes y_0}) \cdot (\overline{x_1 \otimes x_0}) + (y_1 \otimes y_0) \cdot (x_1 \otimes x_0) \\
 &= (\overline{y_1 \otimes y_0}) \otimes (x_1 \otimes x_0) \\
 &= \overline{y_1 \otimes y_0 \otimes x_1 \otimes x_0}
 \end{aligned}$$

Volendo, si possono utilizzare **flip-flop JK** come meccanismo di marcatura. In questo caso, ricaviamo la tabella per la rete RCA a partire dalla tabella di flusso e dalla tabella di applicazione del flip-flop JK.



Dalle mappe di Karnaugh sopra riportate si ricava la seguente sintesi SP:

$$\begin{aligned}
 j_1 &= k_1 = \overline{y_0} \cdot \overline{x_1} \cdot \overline{x_0} + \overline{y_0} \cdot x_1 \cdot x_0 + y_0 \cdot \overline{x_1} \cdot \overline{x_0} + y_0 \cdot x_1 \cdot x_0 \\
 j_0 &= k_0 = 1
 \end{aligned}$$

Il cui costo **a porte è 5** ed il cui costo **a diodi è 16**.

Nella sintesi SP di j_1 e k_1 i valori non specificati sono stati assunti come 1 o 0 in accordo alla procedura di sintesi a costo minimo in forma SP di reti parzialmente specificate. Assumendo invece pari ad 1 i valori non specificati corrispondenti alle caselle evidenziate nelle mappe sottostanti, è immediato ottenere che $k_1 = \overline{j_1} = y_1 \otimes y_0 \otimes x_1 \otimes x_0$.

		x_1x_0			
		00	01	11	10
y_1y_0	S0 00	1-	0-	1-	0-
	S1 01	0-	1-	0-	1-
	S3 11	-0	-1	-0	-1
	S2 10	-1	-0	-1	-0

j_1

		x_1x_0			
		00	01	11	10
y_1y_0	S0 00	1-	0-	1-	0-
	S1 01	0-	1-	0-	1-
	S3 11	-0	-1	-0	-1
	S2 10	-1	-0	-1	-0

k_1

Quindi, utilizzando soltanto porte XOR e NOT il costo a porte è 3 e quello a diodi 6.