

Esercizio 2: Verilog

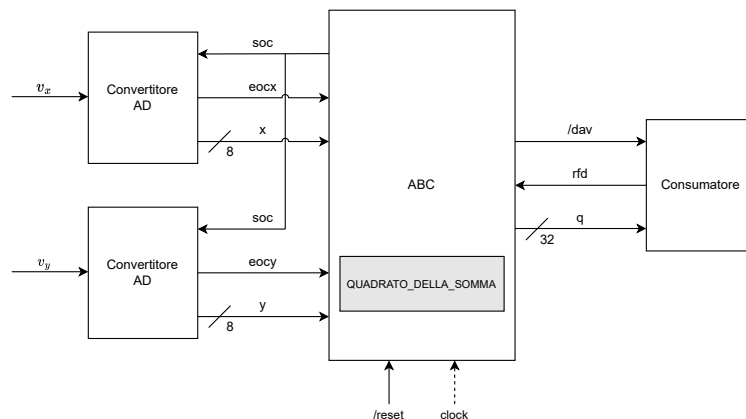


Figura 1: Schema del sistema

L'Unità ABC in fig.1 preleva ciclicamente campioni delle tensioni v_x e v_y tramite convertitori A/D unipolari. Siano x e y tali campioni, ABC calcola quindi $(x + y)^2$, e invia al consumatore il risultato.

Descrivere in Verilog l'unità ABC e sintetizzarla in accordo al modello con parte operativa e parte controllo.

Si supponga che la parte controllo sia implementata secondo un modello basato su microindirizzi e si scriva la struttura della ROM come commento alla parte controllo medesima.

Sintetizzare come modulo a parte la rete combinatoria QUADRATO DELLA SOMMA utilizzata per calcolare il quadrato della somma. Se lo si ritiene, si utilizzino le reti combinatorie fornite nel file `reti_standard.v`.

Note:

- Non si faccia alcuna ipotesi sui tempi di risposta di altre reti.
- Il consumatore richiede il risultato su 32 bit, ma ciò non è indicativo di quanti bit siano sufficienti per calcolare il risultato. Eseguire il calcolo con dimensionamento corretto, poi estendere a 32 bit.
- Sono disponibili moltiplicatori solo con $N = M = 8$.

Note sulla sintesi della rete combinatoria:

- Non sono sintesi di reti combinatorie, e non saranno quindi ritenute valide, descrizioni contenenti operatori aritmetici e/o di relazione predefiniti del Verilog, e.g. $+$, $-$, $*$, $/$, $\%$, $<$, $>$ etc.
- Sono invece validi a questo scopo gli operatori di concatenamento, (dis)uguaglianza, assegnamenti a più vie, utilizzo di altre reti che o a) rispettano questi criteri o b) provengono da `reti_standard.v`.
- È sufficiente che la rete combinatoria sia così *sintetizzata* in almeno uno dei file consegnati.

I file `testbench.v` e `reti_standard.v` sono al link: <http://tinyurl.com/ydt8snjh>