

Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

I circuiti ad un livello di logica sono esenti da alee	x_1x_0
□ Del primo ordine	
☐ Di qualunque ordine	$so \mid (so) \mid si \mid si \mid (so) \mid o$
□ Nessuna delle precedenti	
r	$s_1 \mid s_0 \mid (s_1) \mid s_2 \mid \mid 0$
$a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$	
	$s_2 \mid (s_2) \mid (s_2) \mid s_3 \mid (s_2) \mid 0$
\sqcup a	
	S3 S0 S0 (S3) 1
\Box b	Data la rete sequenziale asincrona di figura, dopo la
	variazione di un ingresso la rete:
Nella divisione tra due <i>interi a</i> (dividendo) e <i>b</i> (diviso-	☐ Si stabilizza sempre, al più dopo una transizione
re), la condizione che garantisce che il risultato (quo-	di stato
ziente q e resto r) sia unico è	_ ~ ~
\Box 0 \le r < b	☐ Sī stabilizza sempre, al più dopo due transizioni di stato
$\Box abs(r) < abs(b)$	☐ Si stabilizza sempre, al più dopo tre transizioni di
$\Box abs(r) < abs(b), \ sgn(r) = sgn(a)$	stato
$\Box abs(r) > abs(b)$	□ Può oscillare all'infinito
	Sia dato un latch SR, inizializzato a 1 al reset asincro-
Sia <i>X</i> =8932 la rappresentazione in complemento alla	no. La sequenza di ingressi è sr=10, 11, 00, 01, 00.
radice di un numero intero <i>x</i> in base 10. Ciò significa	Quanto vale l'uscita alla fine?
che x è un numero	\Box 0
□ positivo, rappresentabile anche su tre cifre	\Box 1
□ positivo, ma non rappresentabile su tre cifre	☐ Un valore casuale non prevedibile a priori
□ negativo, rappresentabile anche su tre cifre	☐ Oscilla continuamente
□ negativo, ma non rappresentabile su tre cifre	
	Quando accetta una richiesta di interruzione, il proces-
Dato un convertitore A/D binario bipolare a 8 bit, la	sore ricava il tipo dell'interruzione:
tensione minima è convertita nella stringa di bit:	•
□ 0000 0000	eseguendo una istruzione IN con cui viene letto il
□ 1000 0000	contenuto di un apposito registro della sorgente
□ 1111 1111	selezionata dal controllore
□ Nessuna delle precedenti	facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso	☐ facendoselo inviare dal controllore, che lo pre-
implementato tramite RSS di Mealy ha almeno	leva da un proprio registro interno, inizializza-
\square <i>n</i> stati interni	to durante il BIOS
n+1 stati interni	
□ <i>n</i> -1 stati interni	□ in nessuna delle precedenti modalità
□ Nessuna delle precedenti	
- Trobbana dene precedenti	Quando il processore accetta una richiesta di interru-
	zione, il registro dei flag F viene:
	☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
	☐ Salvato automaticamente dall'hardware del
	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
	☐ Lasciato inalterato senza essere salvato
	□ Nessuna delle precedenti

	Cognome e nome:
V	Matricola:
	Consegna: Sì No No

Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_{\circ} .	$x_1 + \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} + \overline{x_0} \cdot \overline{x_1} =$						accet ag F v		ı richi	esta d	i interru-
	0	☐ Lasciato inalterato senza essere salvato									
	1	☐ Salvato automaticamente dall'hardware del									
	$egin{array}{c} x_0 \ x_1 \end{array}$	processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso									
Nel visc (quo	la divisione tra due <i>naturali</i> X (dividendo) e Y (dividendo), la condizione da imporre affinché il risultato oziente Q e resto R) sia unico è $R < Y$		n	el sot	topro	ogram		serviz		PUSI	H inserita
	abs(R) < abs(X), $sgn(R) = sgn(X)$				X ₁ X	x 0 00	01	11	10	z	
	abs(R) < abs(X)				S0	(so)	S1	S1	(so)	0	
	Nessuna delle precedenti				S1	S0	(S1)	(S1)	S2	0	
	ando accetta una richiesta di interruzione, il proces- ricava il tipo dell'interruzione:				S2	S2	(S2)	S3		0	
	facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata				S3	S0		SO	(33)	1	
	facendoselo inviare dal controllore, che lo pre- leva da un proprio registro interno, inizializza- to durante il BIOS	Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete:									
	eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore	 Si stabilizza sempre, al più dopo una transizione di stato Si stabilizza sempre, al più dopo due transizioni di 									
	in nessuna delle precedenti modalità	stato □ Si stabilizza sempre, al più dopo tre transizioni di stato									
radi	X=9832 la rappresentazione in complemento alla ce di un numero intero x in base 10. Ciò significa x è un numero	□ Sia	P	uò os	cilla		infini		a 1 al	reset a	asincro-
	positivo, rappresentabile anche su tre cifre positivo, ma non rappresentabile su tre cifre	Qu	anto	vale			gressi lla fin	è sr=1 e?	0, 10,	00, 11	, 00.
	negativo, rappresentabile anche su tre cifre negativo, ma non rappresentabile su tre cifre		0 1 U		lore	casua	le noi	n prev	edibil	e a pr	iori
	o un convertitore A/D binario bipolare a 8 bit, la ione massima è convertita nella stringa di bit:						nente	-		•	
	0111 1111 1000 0000						_	ca son	o eser	ıti da a	ılee
	1111 1111			_		ordine ue ord					
	Nessuna delle precedenti			_	_		reced	enti			
imp □ □	riconoscitore di una sequenza di <i>n</i> stati di ingresso lementato tramite RSS di Moore ha almeno <i>n</i> stati interni <i>n</i> +1 stati interni <i>n</i> -1 stati interni										
	Nessuna delle precedenti										

	Cognome e nome:			_
	Matricola:		······································	
•	Consegna:	Sì 🗌	No	

Barrare **una sola risposta** per domanda

Quando accetta una richiesta di interruzione, il proces-

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco)
Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR, inizializzato a 1 al reset asincro-	sore ricava il tipo dell'interruzione:				
no. La sequenza di ingressi è sr=10, 11, 00, 01, 00. Quanto vale l'uscita alla fine?	eseguendo una istruzione IN con cui viene letto il				
	contenuto di un apposito registro della sorgente selezionata dal controllore				
 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente 	 facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata 				
Oscilla continuamente $a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$	 facendoselo inviare dal controllore, che lo pre- leva da un proprio registro interno, inizializza- to durante il BIOS 				
	☐ in nessuna delle precedenti modalità				
□ b □ 1					
□ 0	Nella divisione tra due <i>interi a</i> (dividendo) e b (divisore), la condizione che garantisce che il risultato (quoziente q e resto r) sia unico è				
X ₁ X ₀ 00 01 11 10 Z	$\Box abs(r) > abs(b)$				
so (so) s1 s1 (so) 0	$\Box abs(r) < abs(b)$				
s1 s0 s2 0	abs(r) < abs(b), sgn(r) = sgn(a)				
$_{52}$ $\left \begin{array}{c c} \varsigma_2 \end{array} \right $	$\Box 0 \le r < b$				
s3 s0 s0 (s3) 1					
Data la rete sequenziale asincrona di figura, dopo la	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:				
variazione di un ingresso la rete: Si stabilizza sempre, al più dopo tre transizioni di	 Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio 				
stato Si stabilizza sempre, al più dopo due transizioni di stato	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso				
☐ Si stabilizza sempre, al più dopo una transizione	☐ Lasciato inalterato senza essere salvato				
di stato ☐ Può oscillare all'infinito	□ Nessuna delle precedenti				
Sia <i>X</i> =8932 la rappresentazione in complemento alla radice di un numero intero <i>x</i> in base 10. Ciò significa che <i>x</i> è un numero □ positivo, rappresentabile anche su tre cifre □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre	Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit: ☐ 1111 1111 ☐ 1000 0000 ☐ 0000 0000 ☐ Nessuna delle precedenti				
□ negativo, ma non rappresentabile su tre cifre					
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno □ <i>n</i> -1 stati interni □ <i>n</i> stati interni □ <i>n</i> +1 stati interni □ Nessuna delle precedenti					
I circuiti ad un livello di logica sono esenti da alee □ Di qualunque ordine □ Del primo ordine □ Nessuna delle precedenti					

Cognome e nome:	
Matricola:	
Consegna: Sì No	

Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

_	$x_1 + \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} + \overline{x_0} \cdot \overline{x_1} =$		ando il processore accetta una richiesta di interrune, il registro dei flag F viene:					
	<i>x</i> ₁		Lasciato inalterato senza essere salvato					
	x ₀ 0 1		Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso					
viso	a divisione tra due <i>naturali</i> X (dividendo) e Y (di- re), la condizione da imporre affinché il risultato eziente Q e resto R) sia unico è abs(R) < abs(X), $sgn(R) = sgn(X)$		nel sottoprogramma di servizio					
	abs(R) < abs(X)		\X ₁ X ₀					
	R < Y		00 01 11 10 Z					
	Nessuna delle precedenti		so so s1 s1 s0 0					
~	ndo accetta una richiesta di interruzione, il proces- ricava il tipo dell'interruzione:		s ₁					
	facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata		s ₂ (S ₂) (S ₂) S ₃ (S ₂) 0					
	facendoselo inviare dal controllore, che lo pre-		s3 s0 s0 (s3) 1					
	leva da un proprio registro interno, inizializza- to durante il BIOS		a la rete sequenziale asincrona di figura, dopo la					
	eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore	var	variazione di un ingresso la rete: ☐ Si stabilizza sempre, al più dopo una transizione di stato					
	in nessuna delle precedenti modalità		 Si stabilizza sempre, al più dopo due transizioni di stato 					
radi	X=9832 la rappresentazione in complemento alla ce di un numero intero x in base 10. Ciò significa x è un numero		Si stabilizza sempre, al più dopo tre transizioni di stato Può oscillare all'infinito					
	negativo, rappresentabile anche su tre cifre		dato un latch SR, inizializzato a 1 al reset asincro- La sequenza di ingressi è sr=10, 10, 00, 11, 00.					
	negativo, ma non rappresentabile su tre cifre positivo, rappresentabile anche su tre cifre		anto vale l'uscita alla fine?					
	positivo, ma non rappresentabile su tre cifre		Un valore casuale non prevedibile a priori					
	riconoscitore di una sequenza di <i>n</i> stati di ingresso lementato tramite RSS di Moore ha almeno		0 1					
	<i>n</i> stati interni							
	n+1 stati interni	I ci	rcuiti a due livelli di logica sono esenti da alee					
	<i>n</i> -1 stati interni		Del primo ordine					
	Nessuna delle precedenti		Di qualunque ordine Nessuna delle precedenti					
tens	o un convertitore A/D binario bipolare a 8 bit, la ione massima è convertita nella stringa di bit: 0111 1111 1111 1111 1000 0000 Nessuna delle precedenti							

A	Cognome e nome:			-
	Matricola:			
	Consegna:	Sì 🗌	No	