

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	Supponiamo di dover calcolare l'opposto del numero contenuto in AX, e di non poter usare l'istruzione NEG.  La sequenza di istruzioni che calcola il risultato corretto (se è calcolabile) è:  NOT %AX  NOT %AX  NOT %AX  NOS %OXFFFF, %AX  Nessuna delle precedenti  Per saltare a ok se AL contiene un numero maggiore di 15 si può scrivere:  AND %OXFFOO, %AL  JNZ ok  OR \$0xFFOO, %AL  JNZ ok  AND \$0x00FF, %AL  JNZ ok	La rete in figura riconosce  3 stati di ingresso  4 stati di ingresso  5 stati di ingresso  Nessuna delle precedenti  Un latch SR riceve la seguente sequenza di ingressi, nel rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11, 00. Quanto vale l'uscita q alla fine?  Un valore casuale, che dipende come il latch è stato inizializzato al reset  Un valore casuale, che non dipende come il latch è
	□ Nessuna delle precedenti  Un modulo di RAM di 256 Mbyte va montato nella parte più bassa di uno spazio di indirizzamento di 4 Gbyte. La maschera che genera il segnale /s del modulo di RAM:  □ è un cortocircuito □ ha come ingressi i 4 bit più significativi del bus indirizzi □ ha come ingressi 28 bit □ Nessuna delle precedenti	stato inizializzato al reset  ☐ Oscilla continuamente ☐ Nessuna delle precedenti  Il processore ricava il tipo di un'interruzione esterna ☐ Leggendolo in un registro dell'interfaccia che ha richiesto l'interruzione ☐ Dal numero d'ordine del piedino su cui gli arriva la richiesta di interruzione ☐ Effettuando un handshake con il Controllore di Interruzione
	<ul> <li>Nell'accesso in lettura allo spazio di I/O, /ior va a zero:</li> <li>□ Contemporaneamente alla stabilizzazione dei fili di indirizzo</li> <li>□ Dopo che i fili di indirizzo si sono stabilizzati</li> <li>□ Prima che i fili di indirizzo si siano stabilizzati</li> <li>□ Nessuna delle precedenti</li> <li>Siano X = (72)<sub>b16</sub>, Y = (93)<sub>b16</sub>, rappresentazioni degli interi x e y. È vero che x &lt; y</li> <li>□ se la rappresentazione è in traslazione</li> <li>□ se la rappresentazione è in complemento alla radice</li> <li>□ se la rappresentazione è in traslazione o in comple-</li> </ul>	<ul> <li>□ Nessuna delle precedenti</li> <li>Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:</li> <li>□ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore</li> <li>□ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV</li> <li>□ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT</li> <li>□ Usare l'istruzione CLI</li> <li>□ Nessuna delle precedenti</li> </ul>
	mento alla radice  ☐ Nessuna delle precedenti	La rete combinatoria raffigurata in alto nella colonna destra può essere affetta da alee sul livello 1?

$x_1 x_0^{3}$	00	01	11	10
00	1	0	0	1
01	1	1	1	1
11	0	-	0	0
10	-	1	0	1

La mappa di Karna	ıgh scritta sopra h
-------------------	---------------------

	6 imp	licanti	prin	cipali	l
--	-------	---------	------	--------	---

- 2 implicanti principali essenziali
- 1 implicante principale semplicemente eliminabile
- Nessuna delle precedenti

	Nessuna delle precedenti
La	rete combinatoria raffigurata in alto nella colonna de

Sì

No Non si può dire

La presenza di alee essenziali in una rete sequenziale asincrona è individuabile:

- Data la sintesi della rete combinatoria RC1
- Data la tabella di flusso
- Data la codifica degli stati interni
- Nessuna delle precedenti

	Do	omande di Reti Logiche	– compito del	28/01/2020	
<b>Y</b>	Cognome e no	me:			_
	Matı	ricola:		<del></del>	
		Consegna:	Sì 🗌	No	



Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

	Supponiamo di dover calcolare l'opposto del numero	x2
	contenuto in AX, e di non poter usare l'istruzione NEG.	XOR XOR
÷	La sequenza di istruzione che calcola il risultato corretto	x1 — AND
egg	(se è calcolabile) è:	OR C
e s	□ NOT %AX	x0 ———
3/15	□ NOT %AX	La rete in figura riconosce
<u>5</u>	INC %AX	☐ 3 stati di ingresso
Ġ	☐ XOR \$0xFFFF, %AX	☐ 4 stati di ingresso
e) V	□ Nessuna delle precedenti	☐ 5 stati di ingresso
₹	Per saltare a ok se AL contiene un numero maggiore di	□ Nessuna delle precedenti
NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	15 si può scrivere:	r
õ	☐ AND \$0xff00,%AL	Un latch SR riceve la seguente sequenza di ingressi, nel
0	JNZ ok	rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11,
⋛	□ OR \$0xFF00,%AL	00. Quanto vale l'uscita $q$ alla fine?
ž	JNZ ok	☐ Un valore casuale, che dipende come il latch è stato
	☐ AND \$0x00FF,%AL	inizializzato al reset
	JNZ ok	☐ Un valore casuale, che <i>non</i> dipende come il latch è
	□ Nessuna delle precedenti	stato inizializzato al reset  Oscilla continuamente
		□ Nessuna delle precedenti
	Un modulo di RAM di 256 Mbyte va montato nella parte	- Nessuna dene precedenti
	più bassa di uno spazio di indirizzamento di 4 Gbyte. La	Il processore ricava il tipo di un'interruzione esterna
	maschera che genera il segnale /s del modulo di RAM:  \( \text{\text{\text{\text{\text{check}}}}} \) \( \text{\text{\text{e}}} \) un cortocircuito	Leggendolo in un registro dell'interfaccia che ha ri-
	ha come ingressi i 4 bit più significativi del bus indi-	chiesto l'interruzione
	rizzi	☐ Dal numero d'ordine del piedino su cui gli arriva la
	ha come ingressi 28 bit	richiesta di interruzione
	□ Nessuna delle precedenti	☐ Effettuando un handshake con il Controllore di Inter-
	1	ruzione
	Nell'accesso in lettura allo spazio di I/O, /ior va a zero:	□ Nessuna delle precedenti
	☐ Contemporaneamente alla stabilizzazione dei fili di	Description of the second of t
	indirizzo	Per disabilitare una interfaccia ad inviare richieste di in- terruzione si deve:
	Dopo che i fili di indirizzo si sono stabilizzati	☐ Inviarle un segnale elettrico tramite una opportuna
	Prima che i fili di indirizzo si siano stabilizzati	variabile di collegamento con il Controllore
	□ Nessuna delle precedenti	Azzerare un apposito bit di un apposito registro
	Siano $X = (72)_{b16}$ , $Y = (93)_{b16}$ , rappresentazioni degli	dell'Interfaccia tramite una istruzione MOV
	interi $x = y$ . È vero che $x < y$	☐ Azzerare un apposito bit di un apposito registro
	□ se la rappresentazione è in traslazione	dell'Interfaccia tramite una istruzione OUT
	se la rappresentazione è in complemento alla radice	☐ Usare l'istruzione CLI
	se la rappresentazione è in traslazione o in comple-	☐ Nessuna delle precedenti
	mento alla radice	
	☐ Nessuna delle precedenti	La rete combinatoria raffigurata in alto nella colonna de-

$x_1 x_0 x_3$	00	01	11	10
00	-	0	0	1
01	1	1	ı	1
11	0	-	0	0
10	-	1	0	1

La mappa di k	Karnaugh scritta sop	ra ha
---------------	----------------------	-------

	6 imp	licanti	prin	cipali	
--	-------	---------	------	--------	--

- 2 implicanti principali essenziali
- ☐ 1 implicante principale semplicemente eliminabile
- ☐ Nessuna delle precedenti

	<i>5</i> 1
	No
	Non si può dire
La	presenza di alee essenziali in una rete sequenziale
asii	ncrona è individuabile:
	Data la sintesi della rete combinatoria RC1
	Data la tabella di flusso
	Data la codifica degli stati interni
	Nessuna delle precedenti

stra può essere affetta da alee sul livello 1?

Dom	ande di Reti Logiche	– compito del 2	28/01/2020	
Cognome e nom	e:			
Matric	ola:			
(	Consegna:	Sì 🗌	No 🗌	
				 •



Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

	Supponiamo di dover calcolare l'opposto del numero	x2 ———
	contenuto in AX, e di non poter usare l'istruzione NEG.	XOR XOR
	La sequenza di istruzione che calcola il risultato corretto	x1 — AND
gg.)	(se è calcolabile) è:	OR OR
NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	□ NOT %AX	x0 ————————————————————————————————————
19	□ NOT %AX	T
18/	INC %AX	La rete in figura riconosce
. 20	☐ XOR \$0xffff, %AX	☐ 3 stati di ingresso
(a.a	□ Nessuna delle precedenti	☐ 4 stati di ingresso
ΜA	1 ressulta delle precedenti	☐ 5 stati di ingresso
AM.	Per saltare a ok se AL contiene un numero maggiore di	☐ Nessuna delle precedenti
GR	15 si può scrivere:	T. 1 - 1 0D ' - 1
PRC	☐ AND \$0xff00,%AL	Un latch SR riceve la seguente sequenza di ingressi, nel
ō	JNZ ok	rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11,
Ó	☐ OR \$0xFF00,%AL	00. Quanto vale l'uscita q alla fine?
Z	JNZ ok	☐ Un valore casuale, che dipende come il latch è stato
	☐ AND \$0x00FF,%AL	inizializzato al reset
	JNZ ok	☐ Un valore casuale, che <i>non</i> dipende come il latch è
	□ Nessuna delle precedenti	stato inizializzato al reset
l	r	☐ Oscilla continuamente
	Un modulo di RAM di 256 Mbyte va montato nella parte	☐ Nessuna delle precedenti
	più bassa di uno spazio di indirizzamento di 4 Gbyte. La	
	maschera che genera il segnale /s del modulo di RAM:	Il processore ricava il tipo di un'interruzione esterna
	□ è un cortocircuito	☐ Leggendolo in un registro dell'interfaccia che ha ri-
	□ ha come ingressi i 4 bit più significativi del bus indi-	chiesto l'interruzione
	rizzi	☐ Dal numero d'ordine del piedino su cui gli arriva la
	□ ha come ingressi 28 bit	richiesta di interruzione
	□ Nessuna delle precedenti	☐ Effettuando un handshake con il Controllore di Inter-
	r	ruzione
	Nell'accesso in lettura allo spazio di I/O, /ior va a zero:	□ Nessuna delle precedenti
	☐ Contemporaneamente alla stabilizzazione dei fili di	
	indirizzo	Per disabilitare una interfaccia ad inviare richieste di in-
	□ Dopo che i fili di indirizzo si sono stabilizzati	terruzione si deve:
	☐ Prima che i fili di indirizzo si siano stabilizzati	☐ Inviarle un segnale elettrico tramite una opportuna
	□ Nessuna delle precedenti	variabile di collegamento con il Controllore
		Azzerare un apposito bit di un apposito registro
	Siano $X = (72)_{b16}$ , $Y = (93)_{b16}$ , rappresentazioni degli	dell'Interfaccia tramite una istruzione MOV
	interi $x$ e $y$ . È vero che $x < y$	☐ Azzerare un apposito bit di un apposito registro
	□ se la rappresentazione è in traslazione	dell'Interfaccia tramite una istruzione OUT
	□ se la rappresentazione è in complemento alla radice	☐ Usare l'istruzione CLI
	□ se la rappresentazione è in traslazione o in comple-	□ Nessuna delle precedenti
	mento alla radice	
	□ Nessuna delle precedenti	La rete combinatoria raffigurata in alto nella colonna de-
	\ x <sub>3</sub> x <sub>2</sub>	stra può essere affetta da alee sul livello 1?
	$X_1X_0$ 00 01 11 10	$\Box$ Sì

No

Non si può dire

asincrona è individuabile:

Data la tabella di flusso

Data la codifica degli stati interni Nessuna delle precedenti

La presenza di alee essenziali in una rete sequenziale

Data la sintesi della rete combinatoria RC1

/ <b>^</b> 3	^2			
$x_1 x_0^{^{3}}$	00	01	11	10
00	-	0	0	1
01	1	1	1	1
11	0	-	0	0
10	-	1	0	1

La mappa di Karna	igh scritta sopra ha
-------------------	----------------------

	6 imp	licanti	prin	cipali	
--	-------	---------	------	--------	--

- 2 implicanti principali essenziali
- 1 implicante principale semplicemente eliminabile
- Nessuna delle precedenti

ı
l
ı
ı
ı
ı
ı
ı
ı
ı
ı
ı

Domande di Reti Logiche – compito del 28/01/2020				
	Cognome e no	me:	 	
	Matr	icola:	 	
		Consegna:	No	



Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMIMA (a.a. 2018/19 e segg.)	Supponiamo di dover calcolare l'opposto del numero contenuto in AX, e di non poter usare l'istruzione NEG.  La sequenza di istruzione che calcola il risultato corretto (se è calcolabile) è:  NOT %AX  NOT %AX  NOT %AX  NOS \$0xFFFF, %AX  Nessuna delle precedenti  Per saltare a ok se AL contiene un numero maggiore di 15 si può scrivere:  AND \$0xFF00, %AL  JNZ ok  OR \$0xFF00, %AL  JNZ ok  AND \$0x00FF, %AL  JNZ ok  Nessuna delle precedenti	La rete in figura riconosce  3 stati di ingresso 4 stati di ingresso 5 stati di ingresso Nessuna delle precedenti  Un latch SR riceve la seguente sequenza di ingressi, nel rispetto dei vincoli di temporizzazione: sr=00, 11, 01, 11, 00. Quanto vale l'uscita q alla fine? Un valore casuale, che dipende come il latch è stato inizializzato al reset  Un valore casuale, che non dipende come il latch è stato inizializzato al reset
•	Un modulo di RAM di 256 Mbyte va montato nella parte più bassa di uno spazio di indirizzamento di 4 Gbyte. La maschera che genera il segnale /s del modulo di RAM:  □ è un cortocircuito □ ha come ingressi i 4 bit più significativi del bus indirizzi □ ha come ingressi 28 bit □ Nessuna delle precedenti  Nell'accesso in lettura allo spazio di I/O, /ior va a zero: □ Contemporaneamente alla stabilizzazione dei fili di indirizzo □ Dopo che i fili di indirizzo si sono stabilizzati □ Prima che i fili di indirizzo si siano stabilizzati □ Prima che i fili di indirizzo si siano stabilizzati □ Nessuna delle precedenti  Siano X = (72) <sub>b16</sub> , Y = (93) <sub>b16</sub> , rappresentazioni degli interi x e y. È vero che x < y □ se la rappresentazione è in traslazione □ se la rappresentazione è in complemento alla radice □ se la rappresentazione è in traslazione o in complemento alla radice	<ul> <li>□ Oscilla continuamente</li> <li>□ Nessuna delle precedenti</li> <li>Il processore ricava il tipo di un'interruzione esterna</li> <li>□ Leggendolo in un registro dell'interfaccia che ha richiesto l'interruzione</li> <li>□ Dal numero d'ordine del piedino su cui gli arriva la richiesta di interruzione</li> <li>□ Effettuando un handshake con il Controllore di Interruzione</li> <li>□ Nessuna delle precedenti</li> <li>Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:</li> <li>□ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore</li> <li>□ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV</li> <li>□ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT</li> <li>□ Usare l'istruzione CLI</li> <li>□ Nessuna delle precedenti</li> </ul>
	Nessuna delle precedenti $x_1x_0$ $x_2$ $x_3$ $x_2$ $x_3$ $x_4$ $x_4$ $x_5$	La rete combinatoria raffigurata in alto nella colonna destra può essere affetta da alee sul livello 1?  Sì No Non si può dire  La presenza di alee essenziali in una rete sequenziale

asincrona è individuabile:

Data la tabella di flusso

Data la codifica degli stati interni Nessuna delle precedenti

Data la sintesi della rete combinatoria RC1

La mappa di Karnaugh scritta sopra ha

	6 imp	licanti	prii	ıcipal	1
--	-------	---------	------	--------	---

2 implicanti principali essenziali

1 implicante principale semplicemente eliminabile

0

0

Nessuna delle precedenti

п	ñ
c	)
⊆	2
2	
ō	5
7	5
7	Ū
C	)
G	)
7	J
3	>
₹	?
٥	5
5	>

Domande di Reti Logiche – compito del 28/01/2020		
Cognome e nome:		
Cognome e nome:  Matricola:		
Consegna: Sì No No		