Domande di Reti Logiche

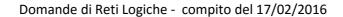


□ Nessuna delle precedenti

Barrare **una sola risposta** per ogni domanda

$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	Per far sì che un Latch SR abbia l'uscita q a zero al reset asincrono si collega: /preset a /reset , /preclear a 1 /preclear a /reset , /preset a 1 /preset a /reset , /preset a 0 /preclear a /reset , /preset a 0 L'evento che segnala la fine di una trasmissione su una linea seriale è: Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore Il fronte di discesa della linea rfd che va dal ricevi-
 Vero Non si può dire finché non si è scelto la codifica degli stati interni Non si può dire finché non si è terminata la sintesi della rete combinatoria CN1 Falso Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1<i>M</i>x8 connessa al bus, l'ingresso /<i>mw</i> va a zero: Prima della stabilizzazione degli ingressi a₁9_a0 Contemporaneamente alla stabilizzazione degli ingressi a₁9_a0 Dopo la stabilizzazione degli ingressi a₁9_a0 Non è importante, tanto funziona comunque Dati <i>X</i> ed <i>Y</i> naturali in base β su n+m ed m cifre rispettivamente, la condizione per cui il quoziente [X/Y] è rappresentabile su n cifre è: X ≥ βⁿ · Y 	tore al trasmettitore Il fronte di discesa della linea seriale stessa Nessuna delle precedenti Nelle istruzioni operative del processore visto a lezione l'indirizzamento immediato è possibile: Soltanto per l'operando sorgente Soltanto per l'operando destinatario Per entrambi gli operandi Nessuna delle precedenti Il processore ricava il tipo di un'interruzione esterna Dal numero d'ordine del piedino su cui gli arriva la richiesta di interruzione Da un accesso in lettura ad un registro dell'interfaccia che ha richiesto l'interruzione Tramite un handshake con il Controllore di Interruzione Nessuna delle precedenti
□ $\mathbf{X} < \boldsymbol{\beta}^n \times \mathbf{Y}$ □ $X < \boldsymbol{\beta}^m \cdot Y$ □ Nessuna delle precedenti Dati due interi $a \in b$ rappresentati su n cifre in base $\boldsymbol{\beta}$ in complemento alla radice, affinché l'uscita di un sommatore ad n cifre sia la rappresentazione di $a+b$: □ è necessario che Cout=0 □ è sufficiente che Cout=0 □ è necessario e sufficiente che Cout=0 □ Nessuna delle precedenti	Un decoder N -to- 2^N ha un numero di porte AND pari a $\begin{array}{ccc} & N \\ & 2 \cdot N \\ & N^2 \\ & 2^N \end{array}$
reg [3:0] A, B; [] S0: begin A<=12; B<=13; STAR<=S1; end S1: begin B<=B-1; A<=B; STAR<=S2; end S2: begin Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2? A=12, B=12 A=13, B=12 A=13, B=13	

Matricola: Consegna: Sì No		Cognome e nome:	
Consegna: Sì No No	V	Matricola:	
		Consegna: Sì 🗌 No 🗌	





Barrare **una sola risposta** per domanda

Durante un ciclo di scrittura nella memoria RAM,	Per far sì che un Latch SR abbia l'uscita q ad uno al				
l'ingresso /s torna ad 1:	reset asincrono si collega:				
Contemporaneamente al fronte di salita di /mw	/preset a /reset , /preclear a 1				
□ Dopo il fronte di salita di /mw	/preclear a /reset , /preset a 1				
☐ Prima del fronte di salita di /mw	□ /preset a /reset , /preclear a 0				
□ Non importa, perché l'accesso funziona corretta-	□ /preclear a /reset , /preset a 0				
mente in ogni caso					
	reg [3:0] A, B;				
Nelle istruzioni operative del processore visto a lezione	[]				
l'indirizzamento di registro è possibile:	S0: begin A<=12; B<=13; STAR<=S1; end S1: begin B<=A-1; A<=B-1; STAR<=S2; end				
☐ Soltanto per l'operando sorgente	S2: begin				
☐ Soltanto per l'operando destinatario	52. Degin				
☐ Per entrambi gli operandi	Dato il pezzo di descrizione riportato sopra, cosa con-				
☐ Per nessuno degli operandi	tengono i registri A e B nello stato S2?				
	□ A=10, B=11				
L'evento che segnala l'inizio di una trasmissione su					
una linea seriale è:	□ A=12, B=12				
☐ Il fronte di discesa della linea /dav che va dal tra-	□ A=12, B=11				
smettitore al ricevitore	□ Nessuna delle precedenti				
☐ Il fronte di discesa della linea rfd che va dal ricevi-	$\begin{bmatrix} X_1 X_0 \\ 00 & 01 & 11 & 10 \end{bmatrix} z$				
tore al trasmettitore					
☐ Il fronte di discesa della linea seriale stessa	$\begin{array}{c ccccccccccccccccccccccccccccccccccc$				
☐ Nessuna delle precedenti					
	s1 S0 (S1) S2 0				
Affinché la differenza tra due naturali A e B sia un nu-					
mero naturale e valga esattamente A-B, all'uscita del	s_2 - s_1 s_2 s_3 s_3				
sottrattore devo avere:					
\Box b _{out} = 0	s3 S0 S0 (S3) 1				
\Box $b_{out}=1$	Le tabelle di flusse delle figure descrive une rete effette				
□ ow=0	La tabella di flusso della figura descrive una rete affetta da alee essenziali				
□ Nessuna delle precedenti					
1	□ Vero				
L'indirizzo della prima locazione della tabella delle in-	Non si può dire finché non si è scelto la codifica				
terruzioni si trova:	degli stati interni				
☐ In un registro del processore	□ Non si può dire finché non si è terminata la sintesi				
☐ In un registro dell'interfaccia che genera	della rete combinatoria CN1				
l'interruzione	□ Falso				
☐ In un registro del Controllore di Interruzione					
_	Dati X ed Y naturali in base β su $n+m$ ed m cifre ri-				
□ Nessuna delle precedenti	spettivamente, il divisore che calcola $ X/Y $ mette				
Un multiplayar aan Maariahili di aamanda ha una nar					
Un multiplexer con N variabili di comando ha una por-	nodiv a zero quando:				
ta OR con un numero di ingressi pari a:					
□ N □ a ^N					
\square 2 ^N	·				
\square 2·N	$\Box X < \beta^m \cdot Y$				
\square N^2	☐ Nessuna delle precedenti				
	•				

	Cognome e nome:				
	Matricola:				
•	Conseg	na:	Sì 🗌	No 🗌	



Barrare **una sola risposta** per domanda

reg [3:0] A, B; [] S0: begin A<=12; B<=13; STAR<=S1; end	Per far sì che un Latch SR abbia l'uscita q a zero al reset asincrono si collega: $\square s{=}0, r{=}1$
S1: begin B<=A; A<=B; STAR<=S2; end	☐ /preclear a /reset, /preset a 0
S2: begin	☐ /preclear a /reset, /preset a 1
Dato il pezzo di descrizione riportato sopra, cosa con-	□ Nessuna delle precedenti
tengono i registri A e B nello stato S2?	
\Box A=12, B=12	Da cosa un ricevitore seriale capisce quando inizia una
$\Box \qquad A=13, B=12$	trama?
□ A=13, B=13	Dallo stato dei fili di handshake con il trasmettito-
□ Nessuna delle precedenti	re Dallo stato della linea seriale medesima
	☐ Dal fatto che il suo registro di attesa vale zero
$X_1X_0 \\ 00 \\ 01 \\ 11 \\ 10 \\ z$	□ Nessuna delle precedenti
	Tressula delle precedenti
so (so) s1 (so) (so) 0	Nelle istruzioni operative del processore visto a lezione l'indirizzamento immediato si può usare con:
s1 S0 S1 S2 0	☐ Entrambi gli operandi
	☐ L'operando sorgente
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	☐ L'operando destinatario
s3 S0 S2 (S3) 1	□ Nessuna delle precedenti
s3 S0 S2 (S3) 1	1
La tabella di flusso della figura descrive una rete priva di corse delle variabili di stato Vero	Dato un calcolatore con uno spazio di memoria di 16Mbyte, l'ingresso /s di un modulo di memoria 2Mx8 montato in tale spazio:
□ Non si può dire finché non si è scelto la codifica	\Box È collegato al filo /s del bus
degli stati interni	☐ È prodotto da una rete che ha in ingresso i fil
□ Non si può dire finché non si è terminata la sintesi	a_{23} _ a_{21} del bus
della rete combinatoria CN1	☐ È prodotto da una rete che ha in ingresso i fil
□ Falso	a_{23} _ a_0 del bus
	□ Nessuna delle precedenti
Un demultiplexer con N variabili di comando ha un	
numero di porte AND pari a	Il processore ricava il tipo di un'interruzione interna
\Box 2 ^N	□ Dal contenuto del registro IDTP
$\begin{array}{ccc} \square & 2 \cdot N \\ \square & N^2 \end{array}$	☐ Dal contenuto della tabella delle interruzioni
	☐ Tramite un handshake con il Controllore di Inter-
\square N	ruzione Nessuna delle precedenti
Dati X ed Y naturali in base β su $n+m$ ed m cifre ri-	in thessuna dene precedenti
spettivamente, la condizione per cui il quoziente	
1	
$\lfloor X/Y \rfloor$ non è rappresentabile su <i>n</i> cifre è:	
$\Box X < \beta^n \cdot Y$	
-	
□ Nessuna delle precedenti	
Affinché la somma tra due interi <i>a</i> e <i>b</i> sia rappresentabile sullo stesso numero di cifre degli addendi,	
all'uscita del sommatore devo avere:	
□ Ow=0	
□ Cout=0	
□ Cout=1	
□ Nessuna delle precedenti	

Cognome e nome:	
Matricola:	
Consegna: Sì No	



Barrare **una sola risposta** per domanda

	te un ciclo di scrittura nella memoria RAM,						abbia	i l'usc	ita q	ad uno al
	esso /mw va a zero:	_	et asinc			_				
	opo la stabilizzazione degli indirizzi		/prese			_		L		
	ontemporaneamente alla stabilizzazione degli	□ /preclear a /reset, /preset a 1□ L'ingresso r a /reset								
	rima della stabilizzazione degli indirizzi		L'ing							
	irrilevante, perché l'accesso è comunque corretto	Ш	L mg	10880 8	s a /10:	SCI				
	irrievante, perche i accesso e confunque corretto	re	g [3:0) 1 Z	B:					
Il proc	cessore ricava il tipo di un'interruzione interna	[,, 11,	Δ,					
	al contenuto del registro IDTP		: begi	in A<	=12;	B<=1	1; S	TAR<=	:S1;	end
	all'operando di un'istruzione			in B<	=A+1	; A<=	B+1;	STAR	!<=S	2; end
	ramite un handshake con il Controllore di Inter-	S2	:							
	izione	Da	to il pe	zzo di	descri	izione	riport	ato so	pra, c	cosa con-
	essuna delle precedenti		igono i i							
□N	essuna dene precedenti		A=12,	_						
D			A=14,							
trama'	sa un ricevitore seriale capisce quando inizia una		A=12,							
		П	Nessur			edenti	i			
	al fatto che il suo registro di attesa vale zero				- F					
	allo stato dei fili di handshake con il trasmettito-			$\setminus X_1$	X 0				I_	
re					00	01	11	10	Z	
	a una transizione della linea seriale			SO	(so)	S1	(so)	S3	0	
	essuna delle precedenti				\vdash					
* 1.0				S1	so	(S1)	S2		0	
	ferenza tra due interi a e b è un numero positivo									
_	o, all'uscita del sottrattore:			S2		S1	(s ₂)	S3	0	
	o _{out} =0							_		
	o _{out} =1			S3	SO		SO	(83)	1	
	pw=0		. 1 11	1. 0		11 6		\subseteq		
	Nessuna delle precedenti		tabella corse d					scrive	una	rete affetta
Nalla	istruzioni operative del processore visto a lezio-		Vero	0110 10		i di bu	•••			
	ndirizzamento di memoria non può essere usato		Falso							
	operando destinatario			i nuò	dira	finchá	non	à tarm	ninata	a la sintesi
_	ero					atoria		c term	maa	a la silicsi
	also							si è sc	elta l	la codifica
	uiso		degli				, HOH ,	31 € 5€	CITO I	ia countra
Un mı	ultiplexer con N variabili di comando è realizzato		acgn	Stati I		•				
	n numero di porte pari a:	Da	ti X ed	Y nat	urali i	n base	е <i>В</i> s	su n+n	n ed	m cifre ri-
	7+1									
\square 2 ^N		_					che c	aicoia	ı [A	Y/Y setta
\square N	² +1	l'u	scita <i>no</i>	-	ıando:					
	^v +1		$X \ge \beta$	$\mathbf{S^n \cdot Y}$						
_			X < f	$\mathcal{B}^n \cdot Y$						
			X < X	$\mathcal{B}^m \cdot Y$						
			Nessu		lle nro	ceden	ti			
			110330	iiu uci	ne pre	ccacii	.1			

A	Cognome e nome:			-
	Matricola:			
	Consegna:	Sì 🗌	No 🗌	