

Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times$ (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

I circuiti ad un livello di logica sono esenti da alee	X ₁ X ₀ 00 01 11 10 z
☐ Del primo ordine	
☐ Di qualunque ordine	so $\left \begin{array}{c c} SO \end{array}\right $ S1 $\left \begin{array}{c c} SO \end{array}\right $ 0
□ Nessuna delle precedenti	
	$\begin{array}{c ccccccccccccccccccccccccccccccccccc$
$a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$	S2 S2 S3 S2 0
\Box a	$\begin{array}{c ccccccccccccccccccccccccccccccccccc$
□ 1	S3 S0 S0 S3 1
\Box 0	
\Box b	
	Data la rete sequenziale asincrona di figura, dopo la
Nella divisione tra due interi a (dividendo) e b (diviso-	variazione di un ingresso la rete:
re), la condizione che garantisce che il risultato (quo-	 Si stabilizza sempre, al più dopo una transizione di stato
ziente q e resto r) sia unico è	Si stabilizza sempre, al più dopo due transizioni di
\Box 0 \le r < b	stato
$\Box abs(r) < abs(b)$	Si stabilizza sempre, al più dopo tre transizioni di
$ \Box abs(r) < abs(b), \ sgn(r) = sgn(a) $	stato
	☐ Può oscillare all'infinito
$\Box abs(r) > abs(b)$	
	Sia dato un latch SR, inizializzato a 1 al reset asincro-
Sia <i>X</i> =8932 la rappresentazione in complemento alla	no. La sequenza di ingressi è sr=10, 11, 00, 01, 00.
radice di un numero intero x in base 10. Ciò significa	Quanto vale l'uscita alla fine?
che x è un numero	\Box 0
 positivo, rappresentabile anche su tre cifre 	□ 1
□ positivo, ma non rappresentabile su tre cifre	☐ Un valore casuale non prevedibile a priori
□ negativo, rappresentabile anche su tre cifre	☐ Oscilla continuamente
□ negativo, ma non rappresentabile su tre cifre	
D	Quando accetta una richiesta di interruzione, il proces-
Dato un convertitore A/D binario bipolare a 8 bit, la	sore ricava il tipo dell'interruzione:
tensione minima è convertita nella stringa di bit:	□ eseguendo una istruzione IN con cui viene letto il
0000 0000	contenuto di un apposito registro della sorgente
□ 1000 0000	selezionata dal controllore
□ 1111 1111 □ Norman delle agree deuti	☐ facendoselo inviare dal controllore, che lo preleva
□ Nessuna delle precedenti	da un apposito registro della sorgente selezionata
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso	
implementato tramite RSS di Mealy ha almeno	da un proprio registro interno, inizializzato duran-
□ n stati interni	te il BIOS
n+1 stati interni	
□ <i>n</i> -1 stati interni	☐ in nessuna delle precedenti modalità
□ Nessuna delle precedenti	
- 1.055una dono procedenti	Quando il processore accetta una richiesta di interru-
	zione, il registro dei flag F viene:
	☐ Salvato nella pila da una istruzione PUSH inserita
	nel sottoprogramma di servizio
	☐ Salvato automaticamente dall'hardware del pro-
	cessore in accordo alle specifiche previste nella
	descrizione Verilog dell'hardware stesso
	☐ Lasciato inalterato senza essere salvato
	□ Nessuna delle precedenti
	in ressulta delle precedenti

	Cognome e nome:
V	Matricola:
	Consegna: Sì No No



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_0 .	$x_1 + \overline{x_0} \cdot x_1 + x_0 \cdot \overline{x_1} + \overline{x_0} \cdot \overline{x_1} =$	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:			
	0	☐ Lasciato inalterato senza essere salvato			
	$ \begin{array}{c} 1 \\ x_0 \\ x_1 \end{array} $				
	la divisione tra due <i>naturali</i> X (dividendo) e Y (di-	Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio			
viso	pre), la condizione da imporre affinché il risultato priente Q e resto R) sia unico è $R < Y$		Nessuna delle precedenti		
	abs(R) < abs(X), $sgn(R) = sgn(X)$		X ₁ X ₀ 00 01 11 10 z		
	abs(R) < abs(X)		so (so) s1 s1 (so) 0		
	Nessuna delle precedenti				
	ando accetta una richiesta di interruzione, il proces-		s ₁ s ₀ (s ₁) s ₂ 0		
	ricava il tipo dell'interruzione:		$\begin{array}{c ccccccccccccccccccccccccccccccccccc$		
	facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata		s3 s0 s0 s3 1		
	facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato duran- te il BIOS	Data la rete sequenziale asincrona di figura, dopo la variazione di un ingresso la rete: ☐ Si stabilizza sempre, al più dopo una transizione di stato ☐ Si stabilizza sempre, al più dopo due transizioni di			
	eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore				
	in nessuna delle precedenti modalità	stato Si stabilizza sempre, al più dopo tre transizioni di stato			
radi	X=9832 la rappresentazione in complemento alla ce di un numero intero x in base 10. Ciò significa x è un numero	□ Sig.	Può oscillare all'infinito		
	positivo, rappresentabile anche su tre cifre	Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è sr=10, 10, 00, 11, 00.			
	positivo, ma non rappresentabile su tre cifre		nto vale l'uscita alla fine?		
	negativo, rappresentabile anche su tre cifre		0		
	negativo, ma non rappresentabile su tre cifre		1		
D /	(', A/D 1' ' 1' 1 01' 1		Un valore casuale non prevedibile a priori		
	o un convertitore A/D binario bipolare a 8 bit, la ione massima è convertita nella stringa di bit:		Oscilla continuamente		
	0111 1111	Lair	quiti a dua livalli di lagiga sano asanti da alca		
	1000 0000		cuiti a due livelli di logica sono esenti da alee Del primo ordine		
	1111 1111		Di qualunque ordine		
	Nessuna delle precedenti		Nessuna delle precedenti		
	riconoscitore di una sequenza di <i>n</i> stati di ingresso lementato tramite RSS di Moore ha almeno				
	n stati interni				
	n+1 stati interni				
	<i>n</i> -1 stati interni				
	Nessuna delle precedenti				

	Cognome e nome:			_
	Matricola:		······································	
•	Consegna:	Sì 🗌	No 🗌	

☐ Del primo ordine

Nessuna delle precedenti

Barrare **una sola risposta** per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

	Quando accetta una richiesta di interruzione, il proces-
Sia dato un latch SR, inizializzato a 1 al reset asincro-	sore ricava il tipo dell'interruzione:
no. La sequenza di ingressi è sr=10, 11, 00, 01, 00. Quanto vale l'uscita alla fine?	 eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore
 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente 	 facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata
Oscilla continuamente $a \cdot b + \overline{a} \cdot b + a \cdot \overline{b} + \overline{a} \cdot \overline{b} =$	 facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato duran- te il BIOS
\Box a	☐ in nessuna delle precedenti modalità
\Box b	in nessana dene precedenti modanta
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	Nella divisione tra due <i>interi a</i> (dividendo) e b (divisore), la condizione che garantisce che il risultato (quoziente q e resto r) sia unico è $\Box abs(r) > abs(b)$
so (so) s1 s1 (so) 0	$\Box abs(r) < abs(b)$
s ₁ S ₀ (S ₁) S ₂ 0	
	$\Box abs(r) < abs(b), \ sgn(r) = sgn(a)$
$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	\Box 0 \le r < b
Data la rete sequenziale asincrona di figura, dopo la	Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:
variazione di un ingresso la rete:	 Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
 □ Si stabilizza sempre, al più dopo tre transizioni di stato □ Si stabilizza sempre, al più dopo due transizioni di stato 	Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso
☐ Si stabilizza sempre, al più dopo una transizione	☐ Lasciato inalterato senza essere salvato
di stato □ Può oscillare all'infinito	□ Nessuna delle precedenti
Può oscillare all'infinito	1
Sia <i>X</i> =8932 la rappresentazione in complemento alla radice di un numero intero <i>x</i> in base 10. Ciò significa che <i>x</i> è un numero □ positivo, rappresentabile anche su tre cifre □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre	Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit: ☐ 1111 1111 ☐ 1000 0000 ☐ 0000 0000 ☐ Nessuna delle precedenti
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Mealy ha almeno n-1 stati interni n+1 stati interni Nessuna delle precedenti	
I circuiti ad un livello di logica sono esenti da alee ☐ Di qualunque ordine	
- Di quaitinque orunic	

Cognome e nome:	
Matricola:	
Consegna: Sì No	



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

$x_1 + x_0 \cdot x_1 + x_0 \cdot x_1 + x_0 \cdot x_1 = $ Quando il processore accetta una richiesta di integratione, il registro dei flag F viene:			
\square x_1			
\Box x_0			
□ 0□ 1	☐ Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso		
Nella divisione tra due <i>naturali</i> X (dividendo) e Y (divisore), la condizione da imporre affinché il risultato (quoziente Q e resto R) sia unico è	 Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio Nessuna delle precedenti 		
$\Box abs(R) < abs(X), \ sgn(R) = sgn(X)$	- Nessana delle precedenti		
$\Box abs(R) < abs(X)$	\X ₁ X ₀		
\square $R < Y$	00 01 11 10 Z		
□ Nessuna delle precedenti	50 (SO) S1 S1 (SO) 0		
Quando accetta una richiesta di interruzione, il processore ricava il tipo dell'interruzione:	s ₁ s ₀ s ₁ s ₂ 0		
facendoselo inviare dal controllore, che lo preleva da un apposito registro della sorgente selezionata	$\begin{array}{c ccccccccccccccccccccccccccccccccccc$		
facendoselo inviare dal controllore, che lo preleva da un proprio registro interno, inizializzato duran- te il BIOS	Data la rete sequenziale asincrona di figura, dopo la		
 eseguendo una istruzione IN con cui viene letto il contenuto di un apposito registro della sorgente selezionata dal controllore 	variazione di un ingresso la rete: ☐ Si stabilizza sempre, al più dopo una transizione di stato		
☐ in nessuna delle precedenti modalità	☐ Si stabilizza sempre, al più dopo due transizioni di stato		
Sia X =9832 la rappresentazione in complemento alla radice di un numero intero x in base 10. Ciò significa che x è un numero	 Si stabilizza sempre, al più dopo tre transizioni di stato Può oscillare all'infinito 		
 □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre 	Sia dato un latch SR, inizializzato a 1 al reset asincrono. La sequenza di ingressi è sr=10, 10, 00, 11, 00.		
positivo, rappresentabile anche su tre cifre	Quanto vale l'uscita alla fine?		
positivo, ma non rappresentabile su tre cifre	Un valore casuale non prevedibile a prioriOscilla continuamente		
Un riconoscitore di una sequenza di <i>n</i> stati di ingresso implementato tramite RSS di Moore ha almeno □ <i>n</i> stati interni	□ 0 □ 1		
n+1 stati interni	I circuiti a due livelli di logica sono esenti da alee		
□ <i>n</i> -1 stati interni	□ Del primo ordine		
□ Nessuna delle precedenti	□ Di qualunque ordine□ Nessuna delle precedenti		
Dato un convertitore A/D binario bipolare a 8 bit, la tensione massima è convertita nella stringa di bit: □ 0111 1111 □ 1111 1111 □ 1000 0000 □ Nessuna delle precedenti			

A	Cognome e nome:			-
	Matricola:			
	Consegna:	Sì 🗌	No	