

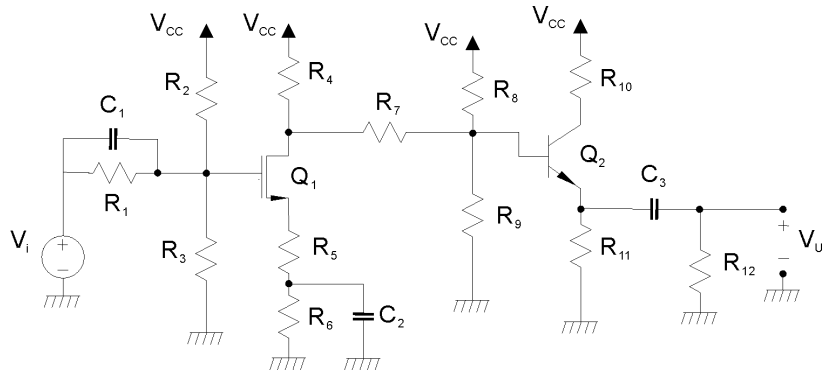
ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 28 giugno 2013

Esercizio A

$R_1 = 20 \text{ k}\Omega$	$R_{10} = 2.5 \text{ k}\Omega$
$R_2 = 10 \text{ k}\Omega$	$R_{11} = 4 \text{ k}\Omega$
$R_3 = 20 \text{ k}\Omega$	$R_{12} = 16 \text{ k}\Omega$
$R_4 = 1.8 \text{ k}\Omega$	$C_1 = 10 \text{ nF}$
$R_5 = 100 \Omega$	$C_2 = 10 \mu\text{F}$
$R_6 = 900 \Omega$	$C_3 = 1 \text{ nF}$
$R_8 = 30 \text{ k}\Omega$	$V_{CC} = 18 \text{ V}$
$R_9 = 10 \text{ k}\Omega$	



Q_1 è un transistor MOS a canale n resistivo, con la corrente di drain in saturazione data da $I_{DS} = k(V_{GS} - V_T)^2$ con $k = 0.25 \text{ mA/V}^2$ e $V_T = 1 \text{ V}$. Q_2 è un transistor BJT BC109B resistivo con $h_{re} = h_{oe} = 0$.

Con riferimento all'amplificatore in figura:

- 1) Calcolare il valore delle resistenze R_7 in modo che, in condizioni di riposo, la tensione sull'emettitore di Q_2 sia $V_E = 8 \text{ V}$. Determinare, inoltre il punto di riposo dei due transistori e verificare la saturazione di Q_1 . (R: $R_7 = 1904.38 \Omega$)
- 2) Determinare il guadagno V_U/V_i alle frequenze per le quali C_1 , C_2 e C_3 possono essere considerati dei corto circuiti. (R: $V_U/V_i = -1.99$)
- 3) **(Solo per 12 CFU)** Determinare la funzione di trasferimento V_U/V_i e tracciarne il diagramma di Bode quotato asintotico del modulo. (R: $f_{z1} = 795.77 \text{ Hz}$; $f_{p1} = 3183.01 \text{ Hz}$; $f_{z2} = 17.68 \text{ Hz}$; $f_{p2} = 44.21 \text{ Hz}$; $f_{z3} = 0 \text{ Hz}$; $f_{p3} = 9932.26 \text{ Hz}$)

Esercizio B

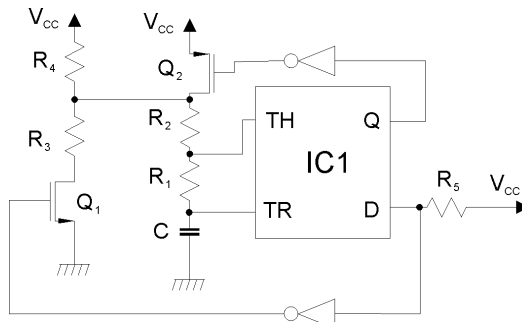
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = (\overline{A} + \overline{CD})(\overline{BC} + D) + (\overline{D} + \overline{E})(\overline{AB} + C) + \overline{D}(\overline{E} + \overline{A})$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

Esercizio C

$R_1 = 1 \text{ k}\Omega$	$R_5 = 5 \text{ k}\Omega$
$R_2 = 2 \text{ k}\Omega$	$C = 100 \text{ nF}$
$R_3 = 500 \Omega$	$V_{CC} = 5 \text{ V}$
$R_4 = 4.5 \text{ k}\Omega$	



Il circuito IC1 è un NE555 alimentato a $V_{CC} = 5 \text{ V}$, Q_1 ha una $R_{on} = 0$ e $V_T = 1 \text{ V}$, Q_2 ha una $R_{on} = 0$ e $V_T = -1 \text{ V}$ e gli inverter sono ideali. Determinare la frequenza del segnale di uscita del multivibratore in figura. (R: $f = 3672.98 \text{ Hz}$)