



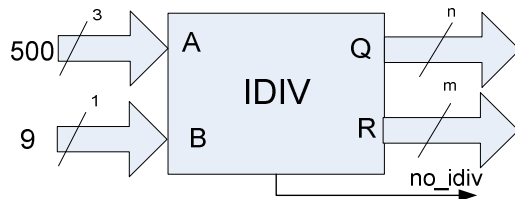
Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- ☐ Non genera alcun tipo di alea
- ☐ **Genera un'alea statica sul livello y**
- ☐ Genera un'alea statica sul livello $/y$
- ☐ Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite.

- ☐ $n=2, m=1, Q=55, R=5, no_idiv=0$
- ☐ $n=3, m=1, Q=500, R=0, no_idiv=0$
- ☐ **$n=2, m=1, no_idiv=1, Q$ ed R non significativi**
- ☐ Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- ☐ **Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione**
- ☐ Solo in complemento alla radice
- ☐ Solo in traslazione
- ☐ Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta *come minimo* su:

- ☐ $2n+1$ cifre
- ☐ **$2n$ cifre**
- ☐ $2n-1$ cifre
- ☐ Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- ☐ Moore o Mealy
- ☐ Mealy o Mealy ritardato
- ☐ **Moore o Mealy ritardato**
- ☐ Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- ☐ Latch SR
- ☐ **D-Latch**
- ☐ D-Flip-flop
- ☐ Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- ☐ condizione sufficiente per ottenere un'evoluzione prevedibile
- ☐ **condizione necessaria per ottenere un'evoluzione prevedibile**
- ☐ Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- ☐ eoc=0
- ☐ **eoc=1**
- ☐ soc=0
- ☐ Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- ☐ Del processore
- ☐ Dell'interfaccia
- ☐ **Del controllore di interruzione**
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



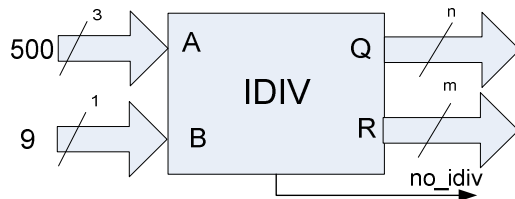
Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- ☐ Non genera alcun tipo di alea
- ☐ Genera un'alea statica sul livello y
- ☐ Genera un'alea statica sul livello $/y$
- ☐ Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite.

- ☐ $n=2, m=1, Q=55, R=5, no_idiv=0$
- ☐ $n=3, m=1, Q=500, R=0, no_idiv=0$
- ☐ $n=2, m=1, no_idiv=1, Q$ ed R non significativi
- ☐ Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- ☐ Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione
- ☐ Solo in complemento alla radice
- ☐ Solo in traslazione
- ☐ Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta *come minimo* su:

- ☐ $2n+1$ cifre
- ☐ $2n$ cifre
- ☐ $2n-1$ cifre
- ☐ Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- ☐ Moore o Mealy
- ☐ Mealy o Mealy ritardato
- ☐ Moore o Mealy ritardato
- ☐ Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- ☐ Latch SR
- ☐ D-Latch
- ☐ D-Flip-flop
- ☐ Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- ☐ condizione sufficiente per ottenere un'evoluzione prevedibile
- ☐ condizione necessaria per ottenere un'evoluzione prevedibile
- ☐ Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- ☐ eoc=0
- ☐ eoc=1
- ☐ soc=0
- ☐ Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- ☐ Del processore
- ☐ Dell'interfaccia
- ☐ Del controllore di interruzione
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



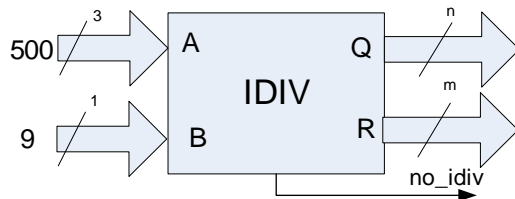
Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- ☐ Non genera alcun tipo di alea
- ☐ Genera un'alea statica sul livello y
- ☐ Genera un'alea statica sul livello $/y$
- ☐ Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite.

- ☐ $n=2, m=1, Q=55, R=5, no_idiv=0$
- ☐ $n=3, m=1, Q=500, R=0, no_idiv=0$
- ☐ $n=2, m=1, no_idiv=1, Q$ ed R non significativi
- ☐ Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- ☐ Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione
- ☐ Solo in complemento alla radice
- ☐ Solo in traslazione
- ☐ Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta *come minimo* su:

- ☐ $2n+1$ cifre
- ☐ $2n$ cifre
- ☐ $2n-1$ cifre
- ☐ Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- ☐ Moore o Mealy
- ☐ Mealy o Mealy ritardato
- ☐ Moore o Mealy ritardato
- ☐ Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- ☐ Latch SR
- ☐ D-Latch
- ☐ D-Flip-flop
- ☐ Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- ☐ condizione sufficiente per ottenere un'evoluzione prevedibile
- ☐ condizione necessaria per ottenere un'evoluzione prevedibile
- ☐ Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- ☐ eoc=0
- ☐ eoc=1
- ☐ soc=0
- ☐ Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- ☐ Del processore
- ☐ Dell'interfaccia
- ☐ Del controllore di interruzione
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



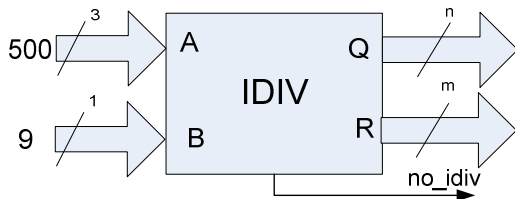
Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

- ☐ Non genera alcun tipo di alea
- ☐ Genera un'alea statica sul livello y
- ☐ Genera un'alea statica sul livello $/y$
- ☐ Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite.

- ☐ $n=2, m=1, Q=55, R=5, no_idiv=0$
- ☐ $n=3, m=1, Q=500, R=0, no_idiv=0$
- ☐ $n=2, m=1, no_idiv=1, Q$ ed R non significativi
- ☐ Nessuna delle precedenti

Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A

- ☐ Sia se la rappresentazione è in complemento alla radice, sia se è in traslazione
- ☐ Solo in complemento alla radice
- ☐ Solo in traslazione
- ☐ Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A \cdot B + C$ sta *come minimo* su:

- ☐ $2n+1$ cifre
- ☐ $2n$ cifre
- ☐ $2n-1$ cifre
- ☐ Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- ☐ Moore o Mealy
- ☐ Mealy o Mealy ritardato
- ☐ Moore o Mealy ritardato
- ☐ Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- ☐ Latch SR
- ☐ D-Latch
- ☐ D-Flip-flop
- ☐ Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- ☐ condizione sufficiente per ottenere un'evoluzione prevedibile
- ☐ condizione necessaria per ottenere un'evoluzione prevedibile
- ☐ Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- ☐ eoc=0
- ☐ eoc=1
- ☐ soc=0
- ☐ Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- ☐ Del processore
- ☐ Dell'interfaccia
- ☐ Del controllore di interruzione
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐
