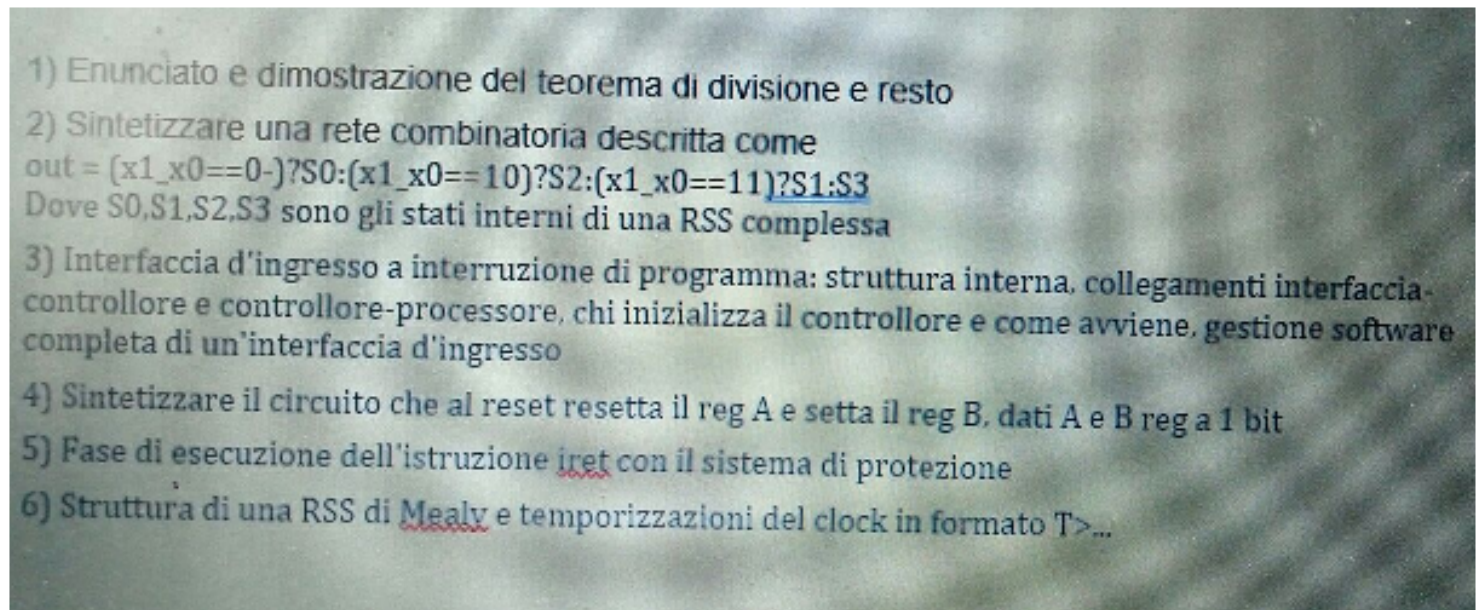


Orale Reti Logiche

Primo Appello Gennaio/Febbraio 2019:

- 1) Enunciato e teorema di divisione e resto
- 2) Sintetizzare una rete combinatoria data una sua "descrizione" in Verilog
- 3) Interfaccia d'ingresso a interruzione di programma: struttura interna, collegamenti interfaccia-controllore e controllore-processore, chi inizializza il controllore e come avviene, gestione software di un'interfaccia d'ingresso
- 4) Sintetizzare il circuito che al reset resetta il reg A e setta il reg B, dati A e B reg a 1 bit
- 5) Fase di esecuzione dell'istruzione ired con il sistema di protezione
- 6) Struttura di una RSS di Mealy e temporizzazioni del clock in formato T>...
- 7) (Domanda aggiuntiva per chi portava il programma vecchio) Vincoli di progetti e di temporizzazione di una RSA



Secondo Appello Gennaio/Febbraio 2019:

- 1) Rappresentazione di numeri naturali e di numeri interi in complemento alla radice dato un elenco di numeri
- 2) Somma per gli interi e calcolo di overflow per una base generica beta e per la base 2
- 3) Sezione di uscita delle comunicazioni seriali.
 - a. Visione funzionale considerando l'interfaccia a controllo di programma
 - b. Gestione software considerando l'interfaccia a controllo di programma
 - c. Visione funzionale considerando l'interfaccia a interruzione di programma
 - d. Gestione software considerando l'interfaccia a interruzione di programma
- 4) Verilog della fase di chiamata
- 5) Data la descrizione Verilog di una rete fare il diagramma di temporizzazione
- 6) domanda aggiuntiva: Sintesi una RSA data la tabella di flusso

Terzo Appello Gennaio/Febbraio 2019:

1. Controllore di interruzione: visione funzionale, schema interno, verilog e istruzioni per gestirlo
2. Accettazione ed esecuzione di interruzione (il tipo era da inventare) causata dal tentativo di esecuzione di un'istruzione privilegiata
3. D positive-triggered fatto con il flop flop JK
4. Temporizzazione di una rete descritta in verilog che davano loro
5. Descrizione e sintesi di un riduttore n cifre base 8
6. Descrizione e sintesi vecchio programma della tabella di flusso delle interfacce con handshake della rete RSA che sostituisce latch e formatori di impulsi (programma vecchio, uscito allo scritto come esercizio uno tempo)

Primo Appello Giugno/Luglio 2019:

- 1) algoritmo cambio di segno (dimostrazione specificando dove non è valida per $a = \text{estremo inferiore}$)
 - 2) cosa succede al reset al calcolatore
 - 3) fase di esecuzione INT \$operando
 - 4) Uscita dati: modifiche interfaccia , bootstrap controllore, gestione software con main e l'intero pacchetto
 - 5) Diagramma con temporizzazione
- Vecchio programma:
- 6) D Flip Flop 7474 (temporizzazione , sintesi campionatore , verilog)

Secondo Appello Giugno/Luglio 2019:

- 1) divisione tra naturali: ipotesi iniziali, fattibilità e dimostrazione della scomponibilità dell'operazione
- 2) contatore in base 3 ad una cifra espandibile
- 3) controllore delle interruzioni: visione funzionale e struttura interna senza verilog della sottorete
- 4) interfaccia seriale start and stop: visione funzionale, gestione software ingresso e gestione software uscita e verilog Trasmettitore
- 5) disegnare parte operativa e parte controllo partendo da una descrizione e riempire temporizzazione
- 6) Data la tabella di flusso, sintetizzare una RSA con Latch SR come elementi di marcatura.