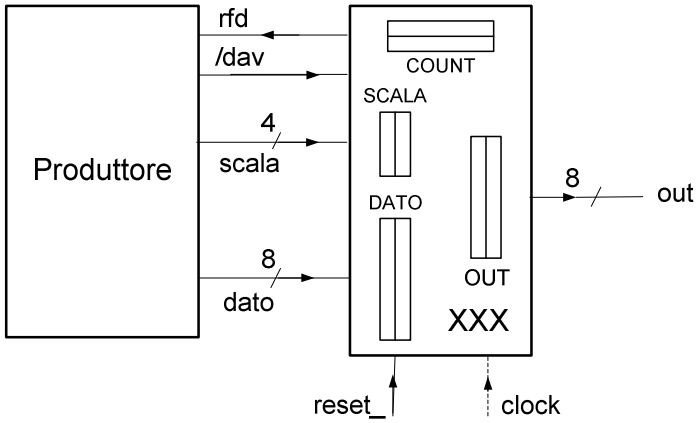
Compito di Reti Logiche 10/01/2017

Cognome e Nome: _____ Matricola: _____

Esercizio 1

Sintetizzare una rete combinatoria R che prende in ingresso le coordinate intere di due vettori nel piano cartesiano, supposte rappresentate in complemento a 2 su *n* bit. Tale rete ha un'uscita *o* che vale 1 se i due vettori sono *ortogonali*, ed una *i* che vale 1 se i due vettori hanno la stessa lunghezza.

Esercizio 2



Descrivere e sintetizzare l'Unità XXX che preleva dal Produttore un'informazione costituita da una coppia di numeri naturali, uno a 4 bit (*scala*) e l'altro ad 8 bit (*dato*) e presenta in uscita, senza modificarlo, il numero *dato*. Torna poi a prelevare un'altra coppia di numeri e così via all'infinito.

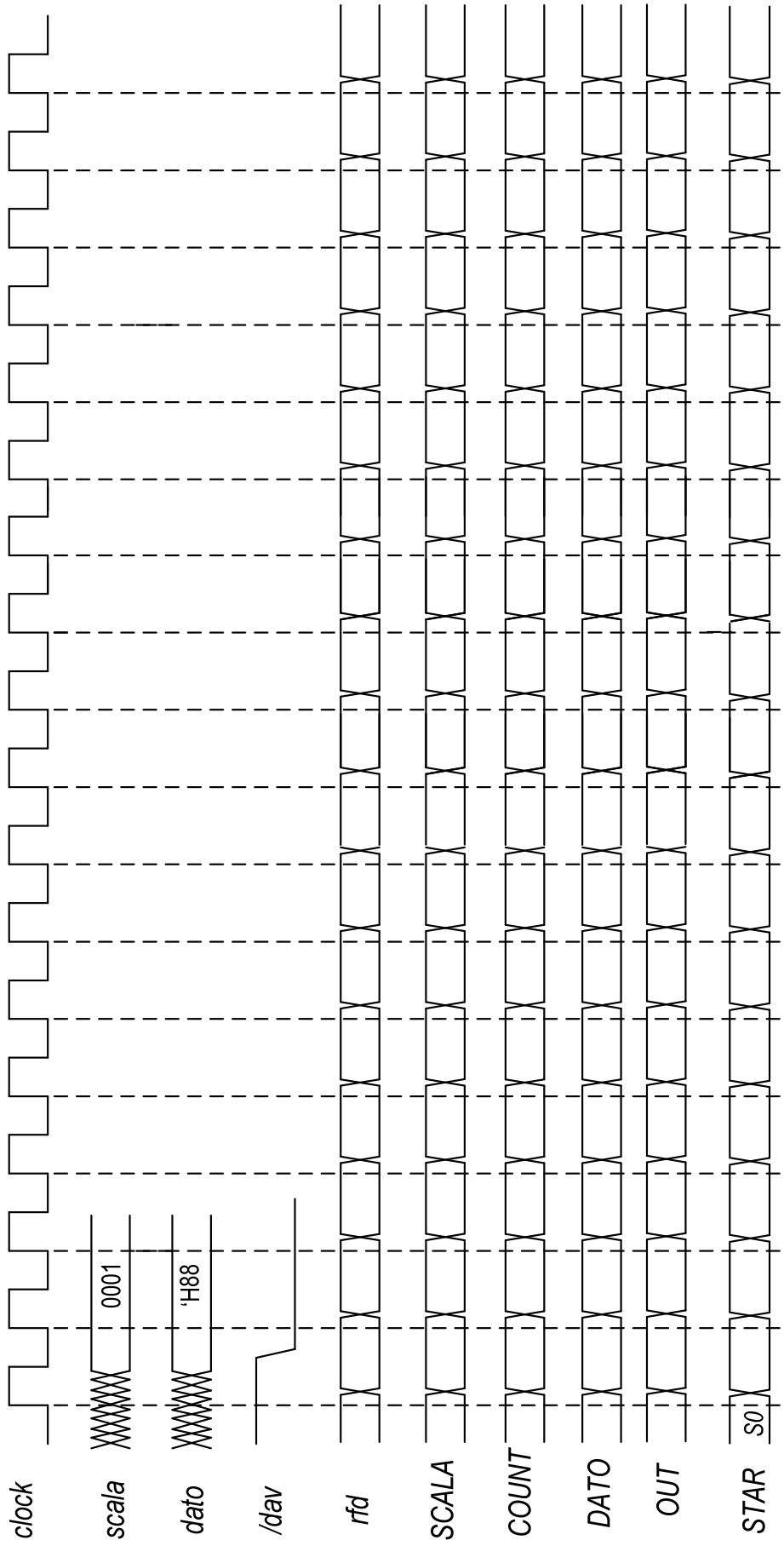
Ogni *dato* deve permanere in uscita per un tempo pari a (*scala* x 8) cicli di clock, dopo di che deve essere sostituito dal *dato* prelevato da XXX al round successivo.

NOTE

1. Si supponga che: i) il valore di *scala* sia maggiore di 0 e ii) il produttore sia sufficientemente veloce da chiudere ogni handshake in un tempo non noto, diverso da round a round, ma in ogni caso abbastanza inferiore a 8 cicli di clock (caso peggiore per XXX).
2. Si supponga che al reset iniziale l'Unità XXX si comporti come se avesse ricevuto *scala*=1 e *dato*=255.
3. Si consiglia di usare, oltre al registro STAR e al registro RFD non riportati in figura, i quattro registri che vi sono riportati.
4. La permanenza di ogni *dato* in uscita deve essere esattamente (*scala* x 8) cicli di clock e quindi si suggerisce di fare una piccola simulazione di verifica (si può usare il retro del foglio).

Compito di Reti Logiche 10/01/2017

Cognome e Nome: _____ Matricola: _____

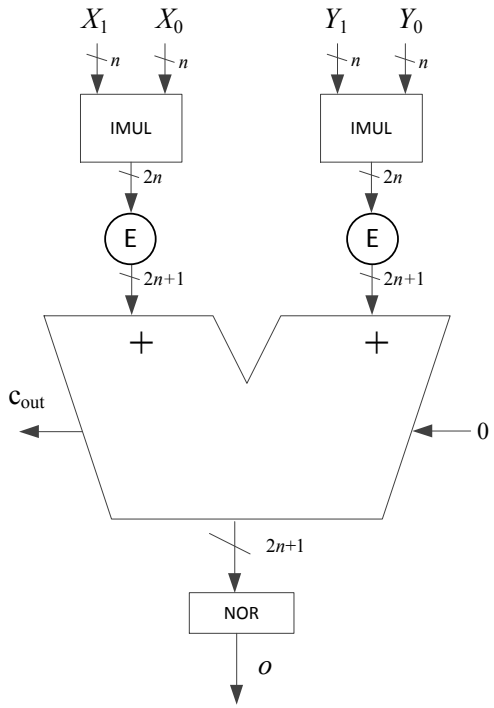


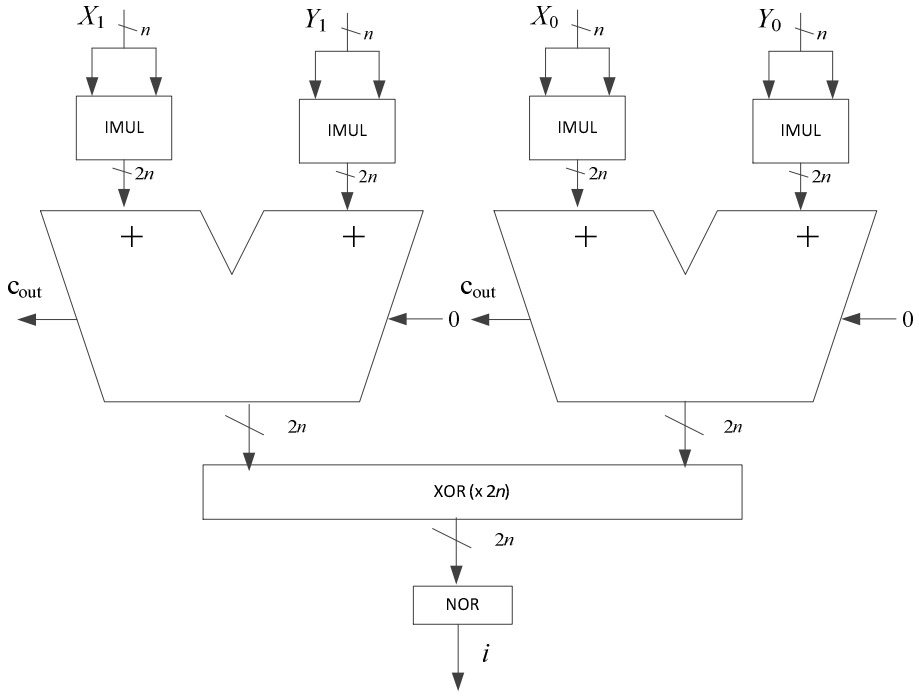
Compito di Reti Logiche 10/01/2017

Cognome e Nome: _____ Matricola: _____

Esercizio 1 - Soluzione

Due vettori (x1, y1) e (x0, y0) sono *ortogonali* se il loro prodotto scalare $x_1 \cdot x_0 + y_1 \cdot y_0$ è nullo. I due vettori hanno la stessa lunghezza se $x_1^2 + y_1^2 = x_0^2 + y_0^2$. Pertanto la rete è fatta come segue:





Compito di Reti Logiche 10/01/2017

Cognome e Nome: _____ Matricola: _____

Esercizio 2 – Soluzione

```
module XXX(rfd,dav_,scala,dato,out,clock, reset_);
 input clock, reset_;
 input dav_;
 output rfd;
 input [3:0] scala;
 input [7:0] dato;
 output[7:0] out;

 reg RFD; assign rfd=RFD;
 reg[7:0] DATO, OUT; assign out=OUT;
 reg[3:0] SCALA;
 reg[6:0] COUNT;

 reg [1:0] STAR;  parameter S0=0,S1=1,S2=2,S3=3;

 always @(reset_==0) #1 begin COUNT<=8; OUT<=255; RFD<=1; STAR<=S0; end
 always @(posedge clock) if(reset_==1) #3
  casex(STAR)
   S0: begin COUNT<=COUNT-1; RFD<=1; DATO<=dato; SCALA<=scala;
             STAR<=(dav_==1)?S0:S1; end
   S1: begin COUNT<=COUNT-1; RFD<=0; STAR<=(dav_==0)?S1:S2; end
   S2: begin COUNT<=(COUNT==1)?{SCALA,3'B000}:(COUNT-1);
             OUT<=(COUNT==1)?DATO:OUT;
             STAR<=(COUNT==1)?S0:S2; end
  endcase
endmodule
```