

Esercizio 1

Si consideri un piano cartesiano su cui insistono tre punti A, B, C, a coordinate intere rappresentate su n bit in complemento alla radice. Sintetizzare la rete combinatoria che ha:

- In ingresso, le rappresentazioni delle coordinate dei tre punti
- In uscita, due variabili eq e iso , che sono a 1 se il triangolo ABC è, rispettivamente, equilatero o isoscele, e zero altrimenti.

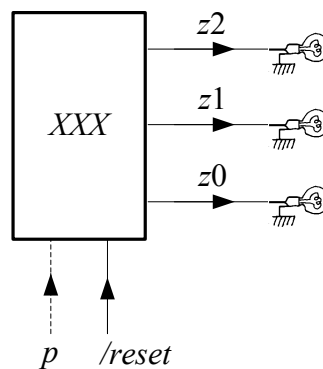
Descrivere esplicitamente qualunque rete non decritta a lezione.

Si consiglia di scomporre la rete in sottoreti più semplici per semplificare il disegno.

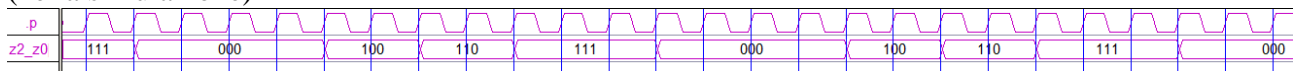
Esercizio 2

Con riferimento alla Fig. 1, descrivere, disegnare il diagramma di temporizzazione e sintetizzare l'Unità XXX che al reset iniziale accende le lampade, le tiene accese fino allo scadere del primo ciclo di clock e poi compie ciclicamente i seguenti passi:

- 1) spegne le lampade e le tiene spente per **21 (4 nella simulazione)** cicli di clock
- 2) accende *la lampada* gestita da $z2$ e poi le altre, intervallando le accensioni di **7 (2 nella simulazione)** cicli di clock
- 3) tiene tutte le lampade accese per **12 (3 nella simulazione)** cicli di clock e torna al passo 1).



(nella simulazione)



Impostare la descrizione come segue:

```
module XXX(z2_z0,p,reset_);
input  p,reset_;
output [2:0] z2_z0;
reg    [2:0] OUT;  assign z2_z0=OUT;
reg    [4:0] COUNT;
reg    [::0] STAR; parameter S0=0, S1=1, ..., RR=...;
parameter T_speunte=..., I_accensione=..., T_accese=...;
always @(posedge p or negedge reset_)
  if (reset_==0) begin OUT='B111; STAR=RR; end else #3
  casex(STAR)
    RR: begin COUNT=T_speunte; STAR<= S0; end
    S0: begin OUT<='B000; ...
    ...
  endcase
endmodule
```

