

## Barrare una sola risposta per ogni domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A $\leq$ 1000 e B=10. Detti n<sub>A</sub>, n<sub>B</sub>, n<sub>Q</sub>, n<sub>R</sub> il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

$n_A=10, n_B=4, n_Q=7, n_R=4$
$n_A=11, n_B=4, n_Q=7, n_R=4$
$n_A=10, n_B=4, n_Q=6, n_R=4$
nessuna delle precedenti

In complemento alla radice in base  $\beta$ =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

1000
1100
0100
Nessuna delle precedenti

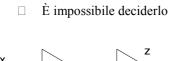
1000

Sia *T* il ritardo di un full adder. Se devo sommare due numeri ad *n* cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

n+T
$T^n$
$n \times T$
Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

U Vero



L'uscita del circuito di figura vale:

b=1

□ Alta impedenza□ Non specificato

Falso

ENB

b=0

□ Zero o uno□ Nessuna delle precedenti

reg [3:0] A, B;
[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...</pre>

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

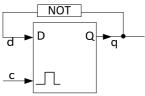
no i registri A e B nello stato S2?

□ A=8, B=10

□ A=9, B=9

□ A=8, B=9

□ Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:

Assume un valore logico casuale
Oscilla
Resta nella fascia di indeterminazione
Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

 and the state described to the state of the
Durante lo stesso periodo di clock
Non prima del successivo fronte di clock
Dopo almeno due fronti di clock
Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- ☐ Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

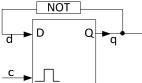
- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- ☐ Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ Il fronte di discesa della linea seriale stessa
- ☐ Nessuna delle precedenti

Domande di Ret	ti Logiche –	- compito del 1	.6/02/2017		
Cognome e nome:					
Cognome e nome: Matricola:				-	
Conse		Sì			



# Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q:
☐ Assume un valore logico casuale
□ Oscilla
☐ Resta nella fascia di indeterminazione
☐ Nessuna delle precedenti
In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:
☐ Durante lo stesso periodo di clock
□ Non prima del successivo fronte di clock
☐ Dopo almeno due fronti di clock
☐ Nessuna delle precedenti
Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:
<ul> <li>Quando riceve la notifica dal Controllore che la richie- sta è stata accettata dal processore</li> </ul>
□ Subito dopo averla inviata, perché (prima o poi) sarà
comunque accettata
☐ Quando un'istruzione del sottoprogramma di servi-
zio dell'interruzione accede ad un opportuno regi-
stro dell'interfaccia
☐ Nessuna delle precedenti
L'evento che segnala l'inizio di una trasmissione su una linea seriale è:
☐ Il fronte di discesa della linea /dav che va dal trasmetti- tore al ricevitore
☐ Il fronte di discesa della linea rfd che va dal ricevitore
al trasmettitore
☐ Il fronte di discesa della linea seriale stessa
□ Nessuna delle precedenti
Si deve calcolare quoziente O e resto R della divisione

naturale di A per B. Si sa che A $\leq$ 1000 e B=10. Detti n<sub>A</sub>, n<sub>B</sub>, n<sub>Q</sub>, n<sub>R</sub> il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del

In complemento alla radice in base  $\beta$ =12 su una cifra, la

rappresentazione dell'intero -4 è codificata come:

Nessuna delle precedenti

1000 1100 0100

Sia *T* il ritardo di un full adder. Se devo sommare due numeri ad *n* cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

 $\square$  n+T

 $\Box$   $T^n$ 

 $\square$   $n \times T$ 

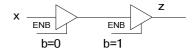
□ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

Vero

□ Falso

☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

Alta impedenza

Non specificato

□ Zero o uno

Nessuna delle precedenti

reg [3:0] A, B;

[...]

S0: begin B<=10; STAR<=S1; end

S1: begin B<=B-1; A<=B-1; STAR<=S2; end

S2: begin ...

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

 $\Box$  A=8, B=10

□ A=9, B=9

 $\Box$  A=8, B=9

☐ Nessuna delle precedenti

[	Domande di Reti Logiche	– compito d	el 16/02/2017	
Cognome e n	ome:			
Ma	tricola:			
	Consegna:	Sì	No	



### Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A $\leq$ 1000 e B=10. Detti n<sub>A</sub>, n<sub>B</sub>, n<sub>Q</sub>, n<sub>R</sub> il numero di bit su cui sono rappresentati A, B, Q, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

$n_A=10, n_B=4, n_Q=6, n_R=4$
$n_A=10, n_B=4, n_Q=7, n_R=4$
$n_A=11, n_B=4, n_Q=7, n_R=4$
nessuna delle precedenti

In complemento alla radice in base  $\beta$ =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

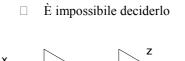
0100
1100
1000
Nessuna delle precedenti

Sia *T* il ritardo di un full adder. Se devo sommare due numeri ad *n* cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

$n \times T$
n+T
$T^n$
Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

U Vero



Falso

ENB

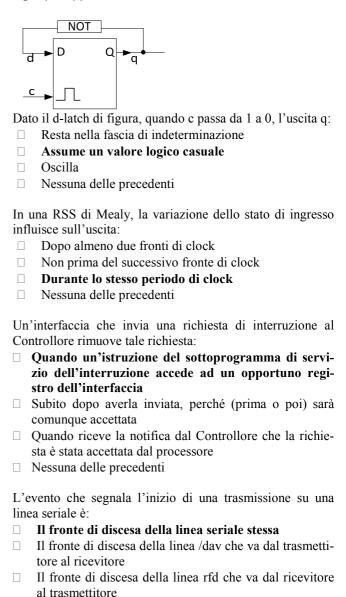
b=0

**A=9, B=9** A=8, B=10 A=8, B=9

Nessuna delle precedenti

L'uscita del circuito di figura vale:

<ul> <li>□ Zero o uno</li> <li>□ Non specificato</li> <li>□ Alta impedenza</li> <li>□ Nessuna delle precedenti</li> </ul>
reg [3:0] A, B;
S0: begin B<=10; STAR<=S1; end S1: begin B<=B-1; A<=B-1; STAR<=S2; end S2: begin
Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?



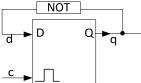
Nessuna delle precedenti

_	Do	Domande di Reti Logiche – compito del 16/02/2017				
	Cognome e noi	me:			<del></del>	
	Matri	icola:				
		Consegna:	Si	No		



### Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve



0100 1100 1000

Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad *n* cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:  $n \times T$ n+T<u>-</u>- $T^n$ Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q: Nessuna delle precedenti Resta nella fascia di indeterminazione Assume un valore logico casuale Si consideri una legge combinatoria a due ingressi e Oscilla un'uscita, in cui l'uscita riconosce due stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una Nessuna delle precedenti porta AND o OR), più eventuali invertitori sugli ingressi. In una RSS di Mealy, la variazione dello stato di ingresso Vero influisce sull'uscita: **Falso** Dopo almeno due fronti di clock È impossibile deciderlo Non prima del successivo fronte di clock Durante lo stesso periodo di clock Nessuna delle precedenti FNR Un'interfaccia che invia una richiesta di interruzione al h=0Controllore rimuove tale richiesta: L'uscita del circuito di figura vale: Quando un'istruzione del sottoprogramma di servi-Zero o uno zio dell'interruzione accede ad un opportuno regi-Non specificato stro dell'interfaccia Alta impedenza Subito dopo averla inviata, perché (prima o poi) sarà Nessuna delle precedenti comunque accettata Quando riceve la notifica dal Controllore che la richiereg [3:0] A, B; sta è stata accettata dal processore [...] Nessuna delle precedenti S0: begin B<=10; STAR<=S1; end S1: begin B<=B-1; A<=B-1; STAR<=S2; end L'evento che segnala l'inizio di una trasmissione su una S2: begin ... linea seriale è: Il fronte di discesa della linea seriale stessa Dato il pezzo di descrizione riportato sopra, cosa contengo-Il fronte di discesa della linea /day che va dal trasmettino i registri A e B nello stato S2? tore al ricevitore A=9, B=9 Il fronte di discesa della linea rfd che va dal ricevitore A=8, B=10al trasmettitore A=8. B=9Nessuna delle precedenti Nessuna delle precedenti Si deve calcolare quoziente Q e resto R della divisione naturale di A per B. Si sa che A<1000 e B=10. Detti n<sub>A</sub>, n<sub>B</sub>, n<sub>O</sub>, n<sub>R</sub> il numero di bit su cui sono rappresentati A, B, O, R, affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:  $n_A=10, n_B=4, n_Q=6, n_R=4$  $n_A=10, n_B=4, n_O=7, n_R=4$  $n_A=11, n_B=4, n_O=7, n_R=4$ nessuna delle precedenti In complemento alla radice in base  $\beta$ =12 su una cifra, la rappresentazione dell'intero -4 è codificata come:

		Domande di Reti Logiche – compito del 16/02/2017				
	Cognome	Cognome e nome:				
		Matricola:				
		Consegna:	Sì	No		
_						