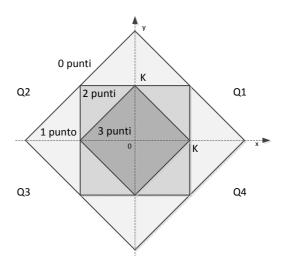
Esercizio 1

Sia dato un piano cartesiano a coordinate intere, rappresentate in complemento alla radice su n bit. Sintetizzare una rete combinatoria (ovviamente composta da più sottoreti combinatorie) che prende in ingresso le coordinate di un punto, e produce in uscita il punteggio relativo alla zona del bersaglio colpita, come da figura. Si considerino le coordinate sui bordi come appartenenti ad una qualunque delle zone. Descrivere esplicitamente qualunque rete non descritta a lezione.

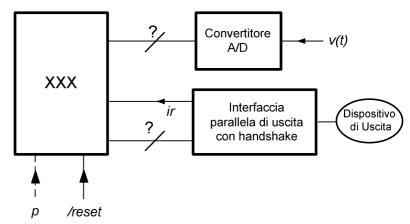
Per i quadrati inclinati, può essere utile ragionare separatamente per i quattro quadranti Q1-Q4, e successivamente cercare un'espressione unica che vada bene per tutti e quattro.



Esercizio 2

L'Unità XXX della figura sottostante gestisce sia una *Interfaccia di uscita con handshake* sia un *Convertitore A/D*. L'Interfaccia, quando ha emesso un byte verso il dispositivo di uscita, invia una richiesta di interruzione mettendo a 1 il valore della variabile *ir*. L'Unità XXX si evolve come segue:

- Preleva un byte dal Convertitore A/D e quando arriva una richiesta di interruzione dall'Interfaccia, lo emette tramite essa;
- 2) Torna al punto 1.



- 1) Semplificare preventivamente l'Interfaccia di uscita lasciando le sole circuiterie che servono affinché essa sia gestibile esclusivamente ad interruzione di programma, sia sempre selezionata e sia sempre abilitata ad inviare richieste di interruzione.
- **2)** Completare i collegamenti fra Unità *XXX*, Interfaccia e Convertitore (Si noti Convertitore e non Interfaccia per la Conversione).
- 3) Descrivere l'Unità XXX (si supponga che al reset iniziale l'Interfaccia invii immediatamente la prima richiesta di interruzione), non dimenticando di gestire <u>TUTTI</u> gli handshake.

Ricordare che il linguaggio Verilog è case sensitive e che le parole chiave vanno scritte con lettere minuscole. Si consiglia inoltre, per leggibilità, di scrivere con lettere minuscole i nomi delle variabili e con lettere maiuscole i nomi dei registri.