

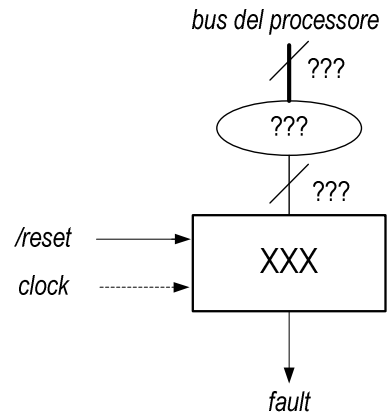
### Esercizio 1

Descrivere e sintetizzare una rete di Mealy che riconosce la sequenza di stati di ingresso 00, 00, 01,xy, dove xy sono due bit di valore diverso. Si presti attenzione a non perdere nessuna sequenza utile. Sintetizzare le reti combinatorie in forma PS.

### Esercizio 2

L'Unità XXX si presenta al processore visto a lezione come una periferica di uscita senza handshake e va collegata al bus in modo che il processore vi acceda eseguendo le istruzioni:

```
MOV $un_byte,AL
OUT AL,0x0323
```



L'Unità XXX dispone sia del classico registro TBR (usato tuttavia per tutt'altri scopi rispetto a un'interfaccia di uscita standard) sia di un registro ad 1 bit FAULT che sostiene la vera variabile di uscita *fault*. Lo scopo dei XXX consiste nel controllare che il processore esegua cicli di accesso in scrittura *validi* e nel porre *fault* a 1 quando ritiene che ciò non accada. Più in dettaglio.

Al reset, XXX inizializza *fault* a 0 e TBR a 1, poi si evolve in accordo alle seguenti specifiche:

1. Si mette in attesa che il processore acceda in scrittura a TBR.
2. Considera *valido* l'*i*-esimo accesso in scrittura ( $i=1, 2, \dots$ ), se il dato che riceve dal processore vale  $|i|_{256}$ .
3. Qualora consideri l'accesso non valido, pone *fault* =1 per **un solo** clock, reinizializza TBR a 1 e quindi riparte dal punto 1
4. Qualora consideri l'accesso valido, predispone il contenuto di TBR per il prossimo ciclo di accesso e quindi riparte dal punto 1.

Disegnare i collegamenti di XXX, montandolo correttamente nello spazio di I/O. Quindi descrivere e sintetizzare XXX disegnando la circuiteria che riguarda il registro TBR.

NOTE:

- a) Si faccia l'ipotesi che il clock che riceve XXX sia **molto più veloce di quello del processore**.
- b) Si noti come TBR sia anche il contatore del numero di accessi