

## 30 Giugno 2020 - Esercizio 1

Prendere un circuito moltiplicatore con addizionatore per naturali in base 2, ed aggiungendo ad esso meno logica possibile:

1. Sintetizzare un circuito che ha in ingresso due naturali  $X$ ,  $Y$  ad  $n$  bit, ed in uscita la somma  $S$  dei due naturali su  $n$  bit, se rappresentabile, ed un carry che indica se la somma non è rappresentabile.
2. detti  $x$  ed  $y$  i due interi rappresentati in C2 da  $X$  ed  $Y$ , dimostrare che l'uscita  $S$  del circuito di cui sopra è la rappresentazione di  $x + y$ , se questo numero è rappresentabile su  $n$  bit; sintetizzare poi l'uscita di overflow.

Produrre le sintesi richieste in un singolo modulo Verilog *Soluzione*, nel quale si assuma  $n = 8$ .  
A tale scopo, sono forniti

- testbench.v, contenente dei casi di test per la verifica della soluzione proposta
- mul\_add\_nat.v, contenente la descrizione di un circuito moltiplicatore con addizionatore per naturali in base 2

*Per una spiegazione della soluzione, fare riferimento al testo svolto.*