



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR implementato a porte NAND, inizializzato ad 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 10, 11, 00$. Quanto vale l'uscita q alla fine?

- ☐ 0
- ☐ 1
- ☐ **Un valore casuale non prevedibile a priori**
- ☐ Oscilla continuamente

```
reg [3:0] RR;
[...]
```

```
S0: begin RR<=0; STAR<=S1; end
S1: begin RR<=RR+1;
      STAR<=(RR==10)?S2:S1; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- ☐ 10
- ☐ **11**
- ☐ 9
- ☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- ☐ t
- ☐ $t+T_{\text{propagation}}$
- ☐ $t+T_{\text{hold}}$
- ☐ **Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- ☐ soc=1
- ☐ soc=0
- ☐ **eoc=1**
- ☐ eoc=0

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti

x_1x_0	00	01	11	10	z
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica $S0=00, S1=10, S2=01$, introduce corse delle variabili di stato.

- ☐ **Vero**
- ☐ Falso

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- ☐ a
- ☐ **1**
- ☐ 0
- ☐ b

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
- ☐ **Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso**
- ☐ Lasciato inalterato senza essere salvato
- ☐ Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ **n stati interni**
- ☐ $n+1$ stati interni
- ☐ $n-1$ stati interni
- ☐ Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM $1M \times 8$ connessa al bus, l'ingresso $/mw$ va a zero:

- ☐ Prima della stabilizzazione degli ingressi $a_{19_a_0}$
- ☐ Contemporaneamente alla stabilizzazione degli ingressi $a_{19_a_0}$
- ☐ **Dopo la stabilizzazione degli ingressi $a_{19_a_0}$**
- ☐ Non è importante, tanto funziona comunque



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

```
reg [3:0] RR;  
[...]  
S0: begin RR<=1; STAR<=S1; end  
S1: begin RR<=RR+1;  
      STAR<=(RR==10)?S2:S1; end  
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?

- ☐ 9
☐ **10**
☐ 11
☐ Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM $1M \times 8$ connessa al bus, l'ingresso $/mw$ va a zero:

- ☐ Contemporaneamente alla stabilizzazione degli ingressi a_{19_a0}
☐ **Dopo la stabilizzazione degli ingressi a_{19_a0}**
☐ Prima della stabilizzazione degli ingressi a_{19_a0}
☐ Non è importante, tanto funziona comunque

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- ☐ t
☐ $t+T_{\text{hold}}$
☐ $t+T_{\text{propagation}}$
☐ **Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- ☐ **$\text{eoc}=1$**
☐ $\text{eoc}=0$
☐ $\text{soc}=1$
☐ $\text{soc}=0$

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
☐ Dell'ultima istruzione eseguita per intero
☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
☐ Nessuna delle precedenti

	X_1X_0				z
	00	01	11	10	
S0	S0	S1	S0	S2	0
S1	S0	S1	S0	--	0
S2	S0	--	S0	S2	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica $S0=00$, $S1=10$, $S2=01$, introduce corse delle variabili di stato.

- ☐ Vero
☐ **Falso**

$$x \cdot y + \bar{x} \cdot y + x \cdot \bar{y} + \bar{x} \cdot \bar{y} =$$

- ☐ x
☐ **1**
☐ 0
☐ y

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ **Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso**
☐ Lasciato inalterato senza essere salvato
☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
☐ Nessuna delle precedenti

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $\text{sr}=00, 10, 11, 01, 11, 01, 00$. Quanto vale l'uscita q alla fine?

- ☐ **0**
☐ 1
☐ Un valore casuale non prevedibile a priori
☐ Oscilla continuamente

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ $n-1$ stati interni
☐ **n stati interni**
☐ $n+1$ stati interni
☐ Nessuna delle precedenti

Domande di Reti Logiche – compito del 6/6/2017



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐



Barrare **una sola risposta** per domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 10, 11, 00$. Quanto vale l'uscita q alla fine?

- ☐ 0
☐ 1
☐ **Un valore casuale non prevedibile a priori**
☐ Oscilla continuamente

```
reg [3:0] RR;
[...]
```

S0: begin RR<=0; STAR<=S1; end
 S1: begin RR<=RR+1;
 STAR<=(RR==10)?S2:S1; end
 S2: begin ...

Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?

- ☐ 10
☐ **11**
☐ 9
☐ Nessuna delle precedenti

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- ☐ t
☐ $t+T_{\text{propagation}}$
☐ $t+T_{\text{hold}}$
☐ **Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- ☐ soc=1
☐ soc=0
☐ **eoc=1**
☐ eoc=0

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
☐ Dell'ultima istruzione eseguita per intero
☐ Nessuna delle precedenti

x_1x_0	00	01	11	10	z
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- ☐ **Vero**
☐ Falso

$$a \cdot b + \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot \bar{b} =$$

- ☐ a
☐ **1**
☐ 0
☐ b

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
☐ **Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso**
☐ Lasciato inalterato senza essere salvato
☐ Nessuna delle precedenti

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ **n stati interni**
☐ $n+1$ stati interni
☐ $n-1$ stati interni
☐ Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM $1M \times 8$ connessa al bus, l'ingresso $/mw$ va a zero:

- ☐ Prima della stabilizzazione degli ingressi $a_{19_a_0}$
☐ Contemporaneamente alla stabilizzazione degli ingressi $a_{19_a_0}$
☐ **Dopo la stabilizzazione degli ingressi $a_{19_a_0}$**
☐ Non è importante, tanto funziona comunque



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

```
reg [3:0] RR;  
[...]  
S0: begin RR<=1; STAR<=S1; end  
S1: begin RR<=RR+1;  
      STAR<=(RR==10)?S2:S1; end  
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, per quanti cicli di clock si resta in S1?

- ☐ 9
☐ **10**
☐ 11
☐ Nessuna delle precedenti

Nel calcolatore visto a lezione, durante un ciclo di scrittura ad una memoria RAM 1Mx8 connessa al bus, l'ingresso /mw va a zero:

- ☐ Contemporaneamente alla stabilizzazione degli ingressi a_{19_a0}
☐ **Dopo la stabilizzazione degli ingressi a_{19_a0}**
☐ Prima della stabilizzazione degli ingressi a_{19_a0}
☐ Non è importante, tanto funziona comunque

Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

- ☐ t
☐ $t+T_{\text{hold}}$
☐ $t+T_{\text{propagation}}$
☐ **Nessuna delle precedenti**

Un consumatore che ha un handshake soc/eoc con un produttore può prelevare il dato corretto quando:

- ☐ **eoc=1**
☐ eoc=0
☐ soc=1
☐ soc=0

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ **Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza**
☐ Dell'ultima istruzione eseguita per intero
☐ Dell'istruzione la cui fase di esecuzione sta per iniziare
☐ Nessuna delle precedenti

	x_1x_0				z
	00	01	11	10	
S0	S0	S1	S0	S2	0
S1	S0	S1	S0	--	0
S2	S0	--	S0	S2	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- ☐ Vero
☐ **Falso**

$$x \cdot y + \bar{x} \cdot y + x \cdot \bar{y} + \bar{x} \cdot \bar{y} =$$

- ☐ x
☐ **1**
☐ 0
☐ y

Quando il processore accetta una richiesta di interruzione, il registro dei flag F viene:

- ☐ **Salvato automaticamente dall'hardware del processore in accordo alle specifiche previste nella descrizione Verilog dell'hardware stesso**
☐ Lasciato inalterato senza essere salvato
☐ Salvato nella pila da una istruzione PUSH inserita nel sottoprogramma di servizio
☐ Nessuna delle precedenti

Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è $sr=00, 10, 11, 01, 11, 01, 00$. Quanto vale l'uscita q alla fine?

- ☐ **0**
☐ 1
☐ Un valore casuale non prevedibile a priori
☐ Oscilla continuamente

Un riconoscitore di una sequenza di n stati di ingresso implementato tramite RSS di Mealy ha almeno

- ☐ $n-1$ stati interni
☐ **n stati interni**
☐ $n+1$ stati interni
☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: Sì ☐ No ☐
