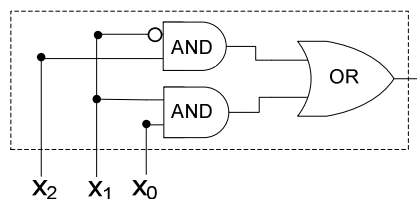




Barrare **una sola risposta** per ogni domanda

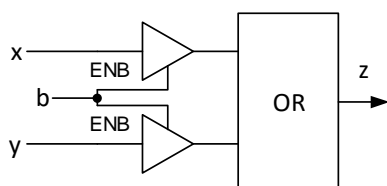
Il punteggio finale è  $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Il circuito di figura:

- ☐ è affetto da allee statiche del 1° ordine sul livello 1
- ☐ è affetto da allee statiche del 1° ordine sul livello 0
- ☐ è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- ☐ non è affetto da allee statiche del 1° ordine



L'uscita z della rete di figura, quando b=0:

- ☐ È in alta impedenza
- ☐ È nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in modulo e segno (MS), con modulo su  $n$  bit, e rappresentazione in complemento alla radice (CR) su  $n$  bit può generare overflow:

- ☐ Solo da MS a CR
- ☐ Solo da CR a MS
- ☐ In entrambe le direzioni
- ☐ In nessuna delle due direzioni

L'operazione di estensione di campo per gli interi rappresentati in complemento alla radice

- ☐ Non richiede mai logica, qualunque sia la base
- ☐ Non richiede logica per la base 2
- ☐ Richiede sempre logica, qualunque sia la base
- ☐ Nessuna delle precedenti

$x_1x_0$	00	01	11	10	$z$
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- ☐ Vero
- ☐ Falso

Nella scomposizione di una rete in Parte Operativa/Parte Controllo (PO/PC) vista a lezione (e priva di registro MJR):

- ☐ La PO è una rete di Moore, la PC di Mealy
- ☐ **La PO è una rete di Mealy, la PC di Moore**
- ☐ Entrambe sono reti di Mealy
- ☐ Entrambe sono reti di Moore

S0: [...] WAIT<=25; [...]

S1: [...] WAIT<=WAIT-1; [...]

S2: [...] WAIT<=(WAIT==0)?25:WAIT-1; [...]

S3: [...] //nessun assegnamento [...]

S4: [...] //nessun assegnamento [...]

La descrizione di sopra riporta i soli assegnamenti al registro operativo WAIT. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a WAIT?

- ☐ 1
- ☐ **2**
- ☐ 3
- ☐ Non è possibile stabilirlo

Date A e B, rappresentazioni in complemento alla radice dei numeri interi  $a$  e  $b$ ,

- ☐  $A < B$  implica che  $a < b$
- ☐  $A \leq B$  implica che  $a \leq b$
- ☐  $A > B$  implica che  $a < b$
- ☐ Nessuna delle precedenti

Durante l'ingresso a interruzione di programma, il semaforo viene messo a rosso durante l'esecuzione:

- ☐ Della primitiva *start\_in*
- ☐ Della primitiva *wait\_in*
- ☐ Del driver *driver\_in*
- ☐ Nessuna delle precedenti

Un convertitore D/A è:

- ☐ Una rete sequenziale asincrona
- ☐ Una rete sequenziale sincronizzata di Moore
- ☐ Una rete sequenziale sincronizzata di Mealy Rit.
- ☐ Nessuna delle precedenti



Cognome e nome: \_\_\_\_\_

Matricola: \_\_\_\_\_

Consegna:   Sì ☐      No ☐

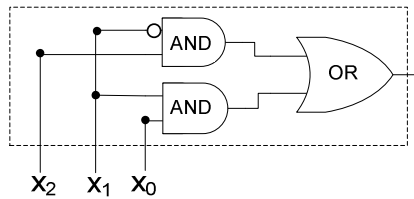
-----



Barrare **una sola risposta** per domanda

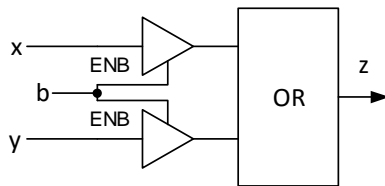
Il punteggio finale è  $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Il circuito di figura:

- ☐ è affetto da allee statiche del 1° ordine sul livello 1
- ☐ è affetto da allee statiche del 1° ordine sul livello 0
- ☐ è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- ☐ non è affetto da allee statiche del 1° ordine



L'uscita z della rete di figura, quando b=0:

- ☐ È in alta impedenza
- ☐ È nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in modulo e segno (MS), con modulo su  $n$  bit, e rappresentazione in complemento alla radice (CR) su  $n$  bit può generare overflow:

- ☐ Solo da MS a CR
- ☐ Solo da CR a MS
- ☐ In entrambe le direzioni
- ☐ In nessuna delle due direzioni

L'operazione di estensione di campo per gli interi rappresentati in complemento alla radice

- ☐ Non richiede mai logica, qualunque sia la base
- ☐ Non richiede logica per la base 2
- ☐ Richiede sempre logica, qualunque sia la base
- ☐ Nessuna delle precedenti

$x_1x_0$	00	01	11	10	$z$
$s_0$	S0	S1	S0	S0	0
$s_1$	S0	S1	S2	--	0
$s_2$	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica  $S0=00$ ,  $S1=10$ ,  $S2=01$ , introduce corse delle variabili di stato.

- ☐ Vero
- ☐ Falso

Nella scomposizione di una rete in Parte Operativa/Parte Controllo (PO/PC) vista a lezione (e priva di registro MJR):

- ☐ La PO è una rete di Moore, la PC di Mealy
- ☐ **La PO è una rete di Mealy, la PC di Moore**
- ☐ Entrambe sono reti di Mealy
- ☐ Entrambe sono reti di Moore

S0: [...] WAIT<=25; [...]

S1: [...] WAIT<=WAIT-1; [...]

S2: [...] WAIT<=(WAIT==0)?25:WAIT-1; [...]

S3: [...] //nessun assegnamento [...]

S4: [...] //nessun assegnamento [...]

La descrizione di sopra riporta i soli assegnamenti al registro operativo WAIT. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a WAIT?

- ☐ 1
- ☐ **2**
- ☐ 3
- ☐ Non è possibile stabilirlo

Date A e B, rappresentazioni in complemento alla radice dei numeri interi  $a$  e  $b$ ,

- ☐  $A < B$  implica che  $a < b$
- ☐  $A \leq B$  implica che  $a \leq b$
- ☐  $A > B$  implica che  $a < b$
- ☐ Nessuna delle precedenti

Durante l'ingresso a interruzione di programma, il semaforo viene messo a *rosso* durante l'esecuzione:

- ☐ Della primitiva *start\_in*
- ☐ Della primitiva *wait\_in*
- ☐ Del driver *driver\_in*
- ☐ Nessuna delle precedenti

Un convertitore D/A è:

- ☐ Una rete sequenziale asincrona
- ☐ Una rete sequenziale sincronizzata di Moore
- ☐ Una rete sequenziale sincronizzata di Mealy Rit.
- ☐ Nessuna delle precedenti



Cognome e nome: \_\_\_\_\_

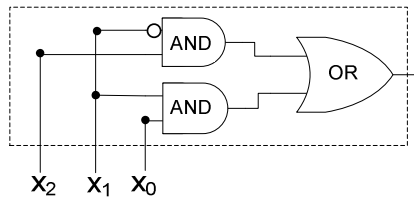
Matricola: \_\_\_\_\_

Consegna: Sì ☐ No ☐

-----

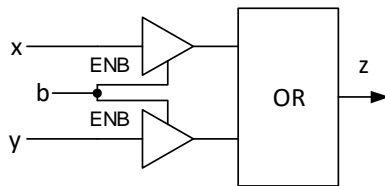
Barrare **una sola risposta** per domandaIl punteggio finale è  $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$ 

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Il circuito di figura:

- ☐ è affetto da allee statiche del 1° ordine sul livello 1
- ☐ è affetto da allee statiche del 1° ordine sul livello 0
- ☐ è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- ☐ non è affetto da allee statiche del 1° ordine



L'uscita z della rete di figura, quando b=0:

- ☐ È in alta impedenza
- ☐ È nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in modulo e segno (MS), con modulo su  $n$  bit, e rappresentazione in complemento alla radice (CR) su  $n$  bit può generare overflow:

- ☐ Solo da MS a CR
- ☐ Solo da CR a MS
- ☐ In entrambe le direzioni
- ☐ In nessuna delle due direzioni

L'operazione di estensione di campo per gli interi rappresentati in complemento alla radice

- ☐ Non richiede mai logica, qualunque sia la base
- ☐ Non richiede logica per la base 2
- ☐ Richiede sempre logica, qualunque sia la base
- ☐ Nessuna delle precedenti

$x_1x_0$	00	01	11	10	$z$
S0	S0	S1	S0	S0	0
S1	S0	S1	S2	--	0
S2	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- ☐ Vero
- ☐ Falso

Nella scomposizione di una rete in Parte Operativa/Parte Controllo (PO/PC) vista a lezione (e priva di registro MJR):

- ☐ La PO è una rete di Moore, la PC di Mealy
- ☐ **La PO è una rete di Mealy, la PC di Moore**
- ☐ Entrambe sono reti di Mealy
- ☐ Entrambe sono reti di Moore

S0: [...] WAIT&lt;=25; [...]

S1: [...] WAIT&lt;=WAIT-1; [...]

S2: [...] WAIT&lt;=(WAIT==0)?25:WAIT-1; [...]

S3: [...] //nessun assegnamento [...]

S4: [...] //nessun assegnamento [...]

La descrizione di sopra riporta i soli assegnamenti al registro operativo WAIT. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a WAIT?

- ☐ 1
- ☐ **2**
- ☐ 3
- ☐ Non è possibile stabilirlo

Date A e B, rappresentazioni in complemento alla radice dei numeri interi  $a$  e  $b$ ,

- ☐  $A < B$  implica che  $a < b$
- ☐  $A \leq B$  implica che  $a \leq b$
- ☐  $A > B$  implica che  $a < b$
- ☐ **Nessuna delle precedenti**

Durante l'ingresso a interruzione di programma, il semaforo viene messo a *rosso* durante l'esecuzione:

- ☐ **Della primitiva start\_in**
- ☐ Della primitiva wait\_in
- ☐ Del driver driver\_in
- ☐ Nessuna delle precedenti

Un convertitore D/A è:

- ☐ Una rete sequenziale asincrona
- ☐ Una rete sequenziale sincronizzata di Moore
- ☐ Una rete sequenziale sincronizzata di Mealy Rit.
- ☐ **Nessuna delle precedenti**



Cognome e nome: \_\_\_\_\_

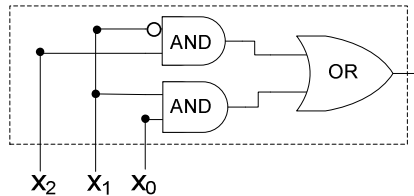
Matricola: \_\_\_\_\_

Consegna: Sì ☐ No ☐

-----

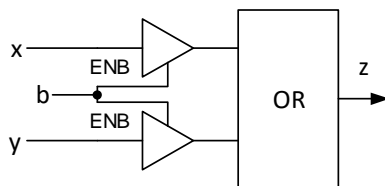
Barrare **una sola risposta** per domandaIl punteggio finale è  $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$ 

Usare lo spazio bianco sul retro del foglio per appunti, se serve



Il circuito di figura:

- ☐ è affetto da allee statiche del 1° ordine sul livello 1
- ☐ è affetto da allee statiche del 1° ordine sul livello 0
- ☐ è affetto da A.S. del 1° ordine sui livelli 0 ed 1
- ☐ non è affetto da allee statiche del 1° ordine



L'uscita z della rete di figura, quando b=0:

- ☐ È in alta impedenza
- ☐ È nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in modulo e segno (MS), con modulo su  $n$  bit, e rappresentazione in complemento alla radice (CR) su  $n$  bit può generare overflow:

- ☐ Solo da MS a CR
- ☐ Solo da CR a MS
- ☐ In entrambe le direzioni
- ☐ In nessuna delle due direzioni

L'operazione di estensione di campo per gli interi rappresentati in complemento alla radice

- ☐ Non richiede mai logica, qualunque sia la base
- ☐ Non richiede logica per la base 2
- ☐ Richiede sempre logica, qualunque sia la base
- ☐ Nessuna delle precedenti

$x_1x_0$	00	01	11	10	z
s0	S0	S1	S0	S0	0
s1	S0	S1	S2	--	0
s2	--	S1	S2	S0	1

Nella rete sequenziale asincrona descritta dalla tabella di figura la codifica S0=00, S1=10, S2=01, introduce corse delle variabili di stato.

- ☐ Vero
- ☐ Falso

Nella scomposizione di una rete in Parte Operativa/Parte Controllo (PO/PC) vista a lezione (e priva di registro MJR):

- ☐ La PO è una rete di Moore, la PC di Mealy
- ☐ **La PO è una rete di Mealy, la PC di Moore**
- ☐ Entrambe sono reti di Mealy
- ☐ Entrambe sono reti di Moore

S0: [...] WAIT&lt;=25; [...]

S1: [...] WAIT&lt;=WAIT-1; [...]

S2: [...] WAIT&lt;=(WAIT==0)?25:WAIT-1; [...]

S3: [...] //nessun assegnamento [...]

S4: [...] //nessun assegnamento [...]

La descrizione di sopra riporta i soli assegnamenti al registro operativo WAIT. Quante variabili di comando sono necessarie per sintetizzare la porzione di parte operativa relativa a WAIT?

- ☐ 1
- ☐ **2**
- ☐ 3
- ☐ Non è possibile stabilirlo

Date A e B, rappresentazioni in complemento alla radice dei numeri interi  $a$  e  $b$ ,

- ☐  $A < B$  implica che  $a < b$
- ☐  $A \leq B$  implica che  $a \leq b$
- ☐  $A > B$  implica che  $a < b$
- ☐ **Nessuna delle precedenti**

Durante l'ingresso a interruzione di programma, il semaforo viene messo a rosso durante l'esecuzione:

- ☐ **Della primitiva start\_in**
- ☐ Della primitiva wait\_in
- ☐ Del driver driver\_in
- ☐ Nessuna delle precedenti

Un convertitore D/A è:

- ☐ Una rete sequenziale asincrona
- ☐ Una rete sequenziale sincronizzata di Moore
- ☐ Una rete sequenziale sincronizzata di Mealy Rit.
- ☐ **Nessuna delle precedenti**



Cognome e nome: \_\_\_\_\_

Matricola: \_\_\_\_\_

Consegna: Sì ☐ No ☐

-----