

Cognome e Nome: _____ Matricola _____

Programma: vecchio (senza prova pratica) ☐ nuovo (con prova pratica) ☐

Prima della consegna barrare una delle due caselle sottostanti. L'opzione scelta non può essere modificata dopo la consegna.

Intendo sostenere la prova orale nell'appello di Febbraio. Prendo atto che, a seguito della mia decisione, le altre prove consegnate cesseranno di essere valide al termine di questo appello e non potranno essere usate per l'appello straordinario di Aprile. ☐

Ho diritto a ed intenzione di rimandare la prova orale all'appello straordinario di Aprile. Prendo atto che il mio diritto a rimandare la prova orale sarà oggetto di verifica, e che dovrò ripetere l'intero esame da capo se la verifica darà esiti negativi (per qualunque motivo). ☐

Esercizio 1

Sintetizzare un circuito di *calcolo dell'opposto* per numeri interi in base β su n cifre, rappresentati in traslazione.

- Esprimere la relazione algebrica tra la rappresentazione dell'uscita B e quella dell'ingresso A
- Disegnare uno schema valido per qualunque base, facendo uso soltanto di reti trattate a lezione
- Per il caso $\beta=6$ spingere la sintesi fino al livello delle porte logiche elementari

Esercizio 2

Descrivere l'Unità XXX che compie all'infinito cicli di durata pari a 1023 periodi del clock portando avanti, in ciascuno di essi, le seguenti azioni:

“Prelievo dai Produttori di due numeri naturali A_1 e A_2 e invio al Consumatore di A_1 o di A_2 considerando A_1 e A_2 come le rappresentazioni in complemento a due di due numeri interi a_1 e a_2 ed inviando A_1 se **il valore assoluto** di a_1 è maggiore o uguale al **valore assoluto** di a_2 , altrimenti A_2 ”.

NOTA 1: Si definisca, in Verilog, una funzione *mia_funzione*(A_1, A_2) per individuare quale numero, fra A_1 e A_2 , deve essere mandato al Consumatore e quindi si disegni una comprensibile struttura della corrispondente rete combinatoria in termini di sottoreti note.

NOTA 2: Non **aggiungere** né **togliere** variabili di ingresso o di uscita e ricordare che il **Verilog** è **case-sensitive**. I due Produttori **non hanno lo stesso tempo di risposta**. La somma del tempo di risposta del più lento dei Produttori con il tempo di risposta del Consumatore è sufficientemente inferiore ai 1023 periodi di clock da non creare alcun problema di nessun tipo. Al reset iniziale si supponga che tutto avvenga come se XXX avesse ricevuto 'H00 da entrambi i Produttori.

