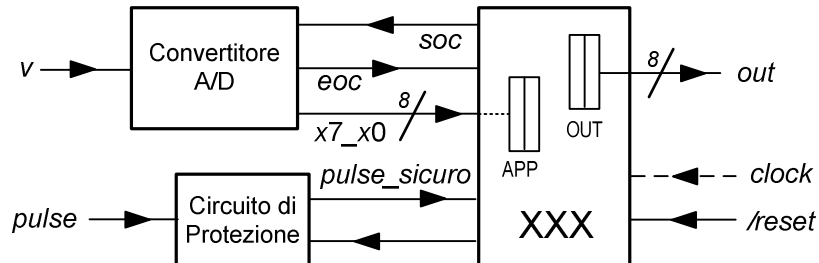


Esercizio 1

Descrivere e sintetizzare come rete sequenziale sincronizzata di Moore un *riconoscitore di sequenze*, che ha in ingresso stati di ingresso a due bit e riconosce la sequenza {11}, {00}, {01}, dove ciascuno degli stati di ingresso tra parentesi graffe può durare per un numero arbitrario di clock (≥ 1). L'uscita z deve stare ad uno per un solo clock dopo aver riconosciuto la sequenza corretta. Per la sintesi si adotti un modello con flip-flop JK come elementi di marcatura dello stato interno e reti combinatorie in forma SP.

Esercizio 2

Premessa 1: Due impulsi consecutivi su *pulse* sono così distanziati nel tempo *da non dare alcun problema di nessun tipo, però* ciascun impulso ha una durata molto più breve di un periodo del clock ma deve comunque essere visto da XXX. Per questo motivo occorre preliminarmente **specificare la struttura del circuito di protezione** evidenziato in figura.

Premessa 2: La tensione bipolare v è tale che il Convertitore, che opera in binario bipolare, non debba mai emettere il byte 'H00. **Specificare la caratteristica** cui deve soddisfare la tensione v .

Risolto quanto indicato nelle premesse, **descrivere** l'Unità **XXX** che si evolve ciclicamente in accordo alle seguenti specifiche:

- 1 Nel primo ciclo dopo il reset iniziale, si evolve come se l'ultimo campione prelevato dal Convertitore fosse il byte anomalo 'H00, cioè come se il registro APP contesse 'H00.
- 2 Ogni ciclo (primo compreso) ha la durata di 100 periodi di clock e si compone di due fasi:
 - a) Nella prima fase XXX manda sull'uscita *out* l'ultimo campione prelevato dal Convertitore A/D e ne preleva uno nuovo (il Convertitore risponde in tempi non noti ma molto minori di 100 periodi del clock).
 - b) Nella seconda fase, che termina con la naturale fine del conteggio dei 100 periodi di clock, XXX modifica o lascia inalterato il valore di *out* a seconda che rilevi o meno l'arrivo di un impulso tramite *pulse_sicuro*. L'eventuale modifica consiste nel sostituire il valore attuale di *out* con il byte anomalo 'H00.

Individuare infine le equazioni algebriche delle variabili di condizionamento e lasciare in Verilog la conseguente descrizione della Parte Controllo di XXX.