

Barrare una sola risposta per ogni domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

$\setminus x_1x$					
	00	01	11	10	Z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0		S_2	S_1	0
S_2	_	S_3	S_2	S_1	1
S_3	S_0	S_3	S_2	_	0

Sia Ta il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

Ta
2 Ta
3 Ta
5 Ta

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

Soltanto sul livello 1
Soltanto sul livello 0
Su entrambi i livelli
Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad m+1 bit ed il divisore un ingresso a m bit. Le uscite sono:

Resto su m bit, quoziente su $m+1$ bit
Resto su <i>m</i> bit, quoziente su 1 bit, <i>no_div</i>
Resto su <i>m</i> +1 bit, quoziente su 1 bit, <i>no_di</i>
Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: Cin=0, X=1001, Y=0001, lo stato di uscita sarà:

Cout =1, S=0000, Ow=0
Cout =0, S=1010, Ow=0
Cout =1, S=0000, Ow=1
Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su *n* cifre):

piei	nento alla radice (entrambe su <i>n</i> clire
	È sempre possibile
	È possibile solo in base 2
	È possibile solo per numeri positivi
	Nessuna delle precedenti

Quali delle seguenti reti logiche sono non trasparenti?

Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato

Il D-latch

Le reti sequenziali di Mealy ritardato

Nessuna delle precedenti

reg [3:0] WAIT;
[...]

S0: begin WAIT<=???; STAR<=S1; end

S1: begin WAIT<=WAIT-1;

STAR<=(WAIT==0)?S2:S1; end

S2: [...]

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

	8
	9
	10
П	Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a15_a0 su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

a15_a0
a15_a10
a10
Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

Inviarle un segnale elettrico tramite una opportuna
variabile di collegamento con il Controllore
Azzerare un apposito bit di un apposito registro
dell'Interfaccia tramite una istruzione MOV
Azzerare un apposito bit di un apposito registro
dell'Interfaccia tramite una istruzione OUT
Usare l'istruzione CLI
Nessuna delle precedenti
_

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

Sempre a 1
Sempre a 0
A volte ad 1 e a volte a 0
Nessuna delle precedenti

Do	mande di Reti Logiche	- compito del	09/09/2016	
Cognome e nor	ne:			
Cognome e nor	cola:			
Y	Consegna:	Sì	No	



Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

S2: [...]

$\setminus x_1x$					
	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0		S_2	S_1	0
S_2	_	S_3	S_2	S ₁	1
S_3	S_0	(S_3)	S_2	_	0

Sia Ta il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

Ta
2 Ta
3 Ta
5 Ta

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

Soltanto sul livello 1
Soltanto sul livello 0
Su entrambi i livelli
Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad m+1 bit ed il divisore un ingresso a m bit. Le uscite sono:

Resto su m bit, quoziente su $m+1$ bit
Resto su <i>m</i> bit, quoziente su 1 bit, <i>no_div</i>
Resto su <i>m</i> +1 bit, quoziente su 1 bit, <i>no_di</i>
Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: Cin=0, X=1001, Y=0001, lo stato di uscita sarà:

Cout = 1 , S= 0000 , Ow= 0
Cout =0, S=1010, Ow=0
Cout =1, S=0000, Ow=1
Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su *n* cifre):

piei	mento alla radice (entrambe su <i>n</i> cifre
	È sempre possibile
	È possibile solo in base 2
	È possibile solo per numeri positivi
	Nessuna delle precedenti

Quali delle seguenti reti logiche sono non trasparenti?

Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato

Il D-latch

Le reti sequenziali di Mealy ritardato

Nessuna delle precedenti

reg [3:0] WAIT;
[...]

S0: begin WAIT<=???; STAR<=S1; end
S1: begin WAIT<=WAIT-1;

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

STAR <= (WAIT == 0)?S2:S1; end

8
9
10
Nessuna delle precedent

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a15_a0 su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

a15_a0
a15_a10
a10
Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

Inviarle un segnale elettrico tramite una opportuna
variabile di collegamento con il Controllore
Azzerare un apposito bit di un apposito registro
dell'Interfaccia tramite una istruzione MOV
Azzerare un apposito bit di un apposito registro
dell'Interfaccia tramite una istruzione OUT
Usare l'istruzione CLI
Nessuna delle precedenti

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

Sempre a 1
Sempre a 0
A volte ad 1 e a volte a 0
Nessuna delle precedenti

Dor	mande di Reti Logiche	– compito del	09/09/2016	
Cognome e nor	me:			
Matri	cola:			
	Consegna:	Sì	No	



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

$\setminus x_1x$	0						
	00	01	11	10	Z		
S_0	S_0	S_0	(S_0)	S_1	0		
S_1	S_0		S_2	S_1	0		
S_2	_	S ₃	S_2	S ₁	1		
S_3	S_0	S_3	S_2		0		
ipo di attraversamento della RC1							
ncrona la cui tabella di flusso è r							
ilotaggio della RSA avvenga in 1							
permanenza di uno stato di ingi							

	S_1	S_0	_	S_2	$\left(\mathbf{S}_{1}\right)$	0		
	S_2	_	S_3	S_2	S_1	1		
	S_3	S_0	S_3	S_2	_	0		
Sia Ta i	l tempo di	attrav	ersar	nento	della	RC1	della rete	se-
	le asincrona							
Affinch	é il pilotag	gio de	ella R	SA av	veng	a in m	odo corre	etto,
il tempo	o di perma	nenza	ı di u	no st	ato di	i ingre	sso non	può
scendere	e sotto							
	Ta							
	2 Ta							
	3 Ta							
	5 Ta							
	e combinat							
	una porta N	NOR &	sogg	getta a	d ale	e static	he del pr	imo
ordine:								
	Soltanto s	ul live	ello 1					
	Soltanto s	ul live	ello 0					
	Su entram	bi i li	velli					
	Nessuna d	lelle p	reced	lenti				
cui il div	un divisore videndo è u a m bit. Le Resto su n Resto su n Nessuna d	in ing e uscin bit, n bit, n+1 b	resso te son quozi quozi oit, qu	ad m- io: ente s ente s ozien	+1 bit su <i>m</i> + su 1 b	ed il o 1 bit it, <i>no_</i>	divisore u div	
codifica	un somma ti BCD. Se , lo stato di Cout =1, S Cout =0, S Cout =1, S Nessuna di	lo sta i uscit S=000 S=101 S=000	ato di ta sarà 00, Ov 10, Ov 00, Ov	ingres n: w=0 w=0 w=1				
	ersione tra nento alla i È sempre È possibil È possibil Nessuna d	radice possil e solo e solo	e (entropile) bile bin base per r	ambe ase 2 numer	su n	cifre):	one e in	
	1 1035una u	ione p	,, cccu					

	lle seguenti reti logiche sono <i>non</i> trasparenti? Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato II D-latch Le reti sequenziali di Mealy ritardato Nessuna delle precedenti
[] S0: beg	0] WAIT; gin WAIT<=???; STAR<=S1; end gin WAIT<=WAIT-1; STAR<=(WAIT==0)?S2:S1; end
sostituito clock?	
rizzo a15 1Kbyte a nera /s rio	sistema di elaborazione con un bus a 16 fili di indi- [2] a0 su cui si vuole montare una EPROM da partire dall'indirizzo 'H0800, la maschera che ge- ceve in ingresso tutti e soli: [a15] a0 [a15] a10 [a10] Nessuna delle precedenti
ruzione s	bilitare una interfaccia ad inviare richieste di interi deve: Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT Usare l'istruzione CLI Nessuna delle precedenti
lettura in re:	imento al processore visto a lezione, durante una memoria, il contenuto del registro DIR deve esse- Sempre a 1 Sempre a 0 A volte ad 1 e a volte a 0 Nessuna delle precedenti

	and dispersion	9 115	0 /00 /204 5	
	mande di Reti Logiche			
Cognome e nor	me:			_
Matri	icola:			
	Consegna:	Sì	No	



Barrare una sola risposta per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

$\setminus x_1x$	0					
/	00	01	11	10	Z	
S_0	S_0	\bigcirc	S_0	S_1	0	
S_1	S_0	_	S_2	S_1	0	
S_2	_	S_3	S_2	S_1	1	
S_3	S_0	(S_3)	S_2	_	0	
po di attraversamento della RC1 ncrona la cui tabella di flusso è r ilotaggio della RSA avvenga in 1						

	S_3	S_0	S_3	S_2	_	0
Sia Ta i	l tempo di	attrav	versar	nento	della	RC1 della rete se
						so è riportata sopra
						a in modo corretto
						i ingresso non può
scendere	_					8
	Ta					
П	2 Ta					
П						
П	5 Ta					
	0 14					
Una rete	e combinat	oria	a due	livel	li di l	logica la cui uscita
						e statiche del primo
ordine:	1		20			1
	Soltanto s	ul liv	ello 1			
	Soltanto sul livello 0					
	Su entrambi i livelli					
	Nessuna d	lelle p	reced	lenti		
Sia dato	un divisor	e elen	nentai	re per	natu	rali in base due, in
						ed il divisore un
ingresso	a m bit. Le	e usci	te son	o:		
	Resto su n	n bit,	quozi	ente s	su m+	1 bit
	Resto su n	n bit,	quozi	ente s	su 1 b	it, no_div
	Resto su n	n+1 b	it, qu	ozien	te su	1 bit, no_div
	Nessuna d	lelle p	reced	lenti		
Sia dato un sommatore a una cifra per numeri in base dieci						
codificati BCD. Se lo stato di ingresso è: Cin=0, X=1001,						
Y = 0001	, lo stato di	i uscit	ta sarà	ι:		
	Cout =1, S	S=000	00, Ov	v=0		
	Cout =0, \$	S = 101	10, Ov	v=0		
	Cout =1, 5	S=000	00, Ov	v=1		
	Nessuna d	lelle p	reced	lenti		
La conv	ersione tra	rappr	esenta	azione	e in tr	aslazione e in
complemento alla radice (entrambe su <i>n</i> cifre):						

☐ È sempre possibile

È possibile solo in base 2

Nessuna delle precedenti

È possibile solo per numeri positivi

	Le reti sequenziali sincronizzate di Moore, Mealy				
_	e Mealy Ritardato				
	Il D-latch				
	· · · · · · · · · · · · · · · · · · ·				
	Nessuna delle precedenti				
reg [3:0] WAIT;				
[]	S.O. MILL				
	egin WAIT<=???; STAR<=S1; end				
s1: b	egin WAIT<=WAIT-1;				
S2: [STAR<=(WAIT==0)?S2:S1; end				
52. [1				
	pezzo di descrizione riportato sopra, quale valore va ito a ??? in S0 perché la rete resti in S1 per 9 cicli di				
	8				
	9				
	10				
	Nessuna delle precedenti				
Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a15_a0 su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli: \[\text{a15}_a0 \]					
	a15_a10				
	a10				
	Nessuna delle precedenti				
	sabilitare una interfaccia ad inviare richieste di intere si deve:				
	Inviarle un segnale elettrico tramite una opportuna				
	variabile di collegamento con il Controllore Azzerare un apposito bit di un apposito registro				
	dell'Interfaccia tramite una istruzione MOV				
	Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT				
	Usare l'istruzione CLI				
	Nessuna delle precedenti				
Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:					
	Sempre a 1				
	Sempre a 0				
	A volte ad 1 e a volte a 0				
	Nessuna delle precedenti				
	1				

Quali delle seguenti reti logiche sono non trasparenti?

À		Domande di Reti Logich	e – compito de	l 09/09/2016	
	Cognom	ne e nome:			
		Matricola:			
		Consegna:	Sì	No	
-					