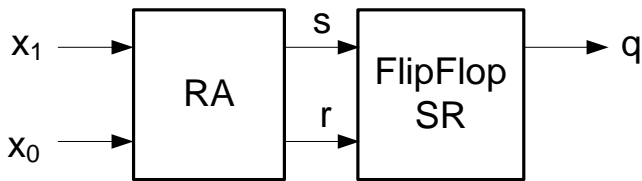


Esercizio 1. Si consideri il seguente sistema



Descrivere e sintetizzare (utilizzando elementi neutri di ritardo come meccanismi di marcatura) la rete sequenziale asincrona RA in modo tale che la variabile q *commuti* ogni qual volta si presenta in ingresso al sistema lo stato $x_1x_0 = 11$. Sintetizzare le reti combinatorie in forma SP, e calcolarne il costo a porte e a diodi.

Calcolare il ritardo degli elementi neutri ed il tempo minimo di permanenza di uno stato di ingresso.

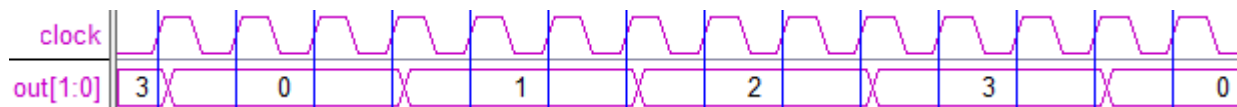
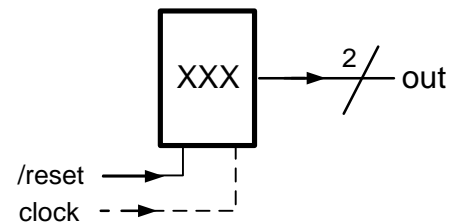
NOTE

- 1 Si ricordi che RA è una rete sequenziale asincrona e quindi, quando riceve in ingresso $x_1x_0 = 11$, compie un passo e poi si stabilizza per tutto il tempo in cui lo stato di ingresso permane.
- 2 Non ci si preoccupi che il tutto risponda alle specifiche fin dall'arrivo del primo stato di ingresso $x_1x_0 = 11$ immediatamente successivo all'accensione.

Esercizio 2. Descrivere e sintetizzare la Rete Sequenziale Sincronizzata XXX che, partendo al reset con *out* a 3, si evolve all'infinito come segue come segue:

- a) Mette *out* a 0 e lo tiene per **M** periodi di clock
- b) Mette *out* a 1 e lo tiene per **M** periodi di clock
- c) Mette *out* a 2 e lo tiene per **M** periodi di clock
- d) Mette *out* a 3 e lo tiene per **M** periodi di clock

ovvero, per **M=3**:



Nella descrizione dichiarare:

```
reg[...:0] COUNT; parameter M=...;
```

Partendo dalla descrizione Verilog, si tracci quindi l'evoluzione di XXX per **M=3**, verificando che rispetti la temporizzazione di cui sopra (*Data la semplicità dell'Unità è ESSENZIALE che essa risponda esattamente alla temporizzazione richiesta*).

