



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B . Si sa che $A \leq 1000$ e $B=10$. Detti n_A, n_B, n_Q, n_R il numero di bit su cui sono rappresentati A, B, Q, R , affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- ☐ $n_A=10, n_B=4, n_Q=7, n_R=4$
- ☐ **$n_A=11, n_B=4, n_Q=7, n_R=4$**
- ☐ $n_A=10, n_B=4, n_Q=6, n_R=4$
- ☐ nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

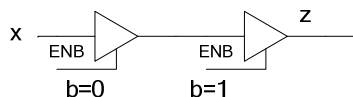
- ☐ **1000**
- ☐ 1100
- ☐ 0100
- ☐ Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- ☐ $n+T$
- ☐ T^n
- ☐ **$n \times T$**
- ☐ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- ☐ Vero
- ☐ **Falso**
- ☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

- ☐ Alta impedenza
- ☐ Non specificato
- ☐ **Zero o uno**
- ☐ Nessuna delle precedenti

```
reg [3:0] A, B;
```

```
[...]
```

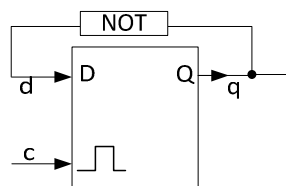
```
S0: begin B<=10; STAR<=S1; end
```

```
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
```

```
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato $S2$?

- ☐ $A=8, B=10$
- ☐ **$A=9, B=9$**
- ☐ $A=8, B=9$
- ☐ Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q :

- ☐ **Assume un valore logico casuale**
- ☐ Oscilla
- ☐ Resta nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- ☐ **Durante lo stesso periodo di clock**
- ☐ Non prima del successivo fronte di clock
- ☐ Dopo almeno due fronti di clock
- ☐ Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- ☐ Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- ☐ Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- ☐ **Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia**
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- ☐ Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ **Il fronte di discesa della linea seriale stessa**
- ☐ Nessuna delle precedenti



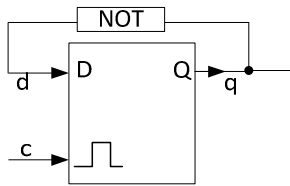
Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q :

- ☐ Assume un valore logico casuale
- ☐ Oscilla
- ☐ Resta nella fascia di indeterminazione
- ☐ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- ☐ Durante lo stesso periodo di clock
- ☐ Non prima del successivo fronte di clock
- ☐ Dopo almeno due fronti di clock
- ☐ Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- ☐ Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- ☐ Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- ☐ Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- ☐ Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ Il fronte di discesa della linea seriale stessa
- ☐ Nessuna delle precedenti

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B . Si sa che $A \leq 1000$ e $B=10$. Detti n_A , n_B , n_Q , n_R il numero di bit su cui sono rappresentati A , B , Q , R , affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- ☐ $n_A=10$, $n_B=4$, $n_Q=7$, $n_R=4$
- ☐ $n_A=11$, $n_B=4$, $n_Q=7$, $n_R=4$
- ☐ $n_A=10$, $n_B=4$, $n_Q=6$, $n_R=4$
- ☐ nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

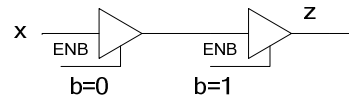
- ☐ 1000
- ☐ 1100
- ☐ 0100
- ☐ Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- ☐ $n+T$
- ☐ T^n
- ☐ $n \times T$
- ☐ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- ☐ Vero
- ☐ Falso
- ☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

- ☐ Alta impedenza
- ☐ Non specificato
- ☐ Zero o uno
- ☐ Nessuna delle precedenti

reg [3:0] A, B;

[...]

S0: begin B<=10; STAR<=S1; end

S1: begin B<=B-1; A<=B-1; STAR<=S2; end

S2: begin ...

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato S2?

- ☐ A=8, B=10
- ☐ A=9, B=9
- ☐ A=8, B=9
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B . Si sa che $A \leq 1000$ e $B=10$. Detti n_A, n_B, n_Q, n_R il numero di bit su cui sono rappresentati A, B, Q, R , affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- ☐ $n_A=10, n_B=4, n_Q=6, n_R=4$
- ☐ $n_A=10, n_B=4, n_Q=7, n_R=4$
- ☐ **$n_A=11, n_B=4, n_Q=7, n_R=4$**
- ☐ nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

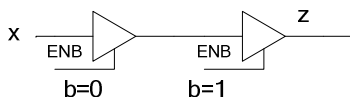
- ☐ 0100
- ☐ 1100
- ☐ **1000**
- ☐ Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- ☐ $n \times T$
- ☐ $n + T$
- ☐ T^n
- ☐ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- ☐ Vero
- ☐ **Falso**
- ☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

- ☐ **Zero o uno**
- ☐ Non specificato
- ☐ Alta impedenza
- ☐ Nessuna delle precedenti

```
reg [3:0] A, B;
```

```
[...]
```

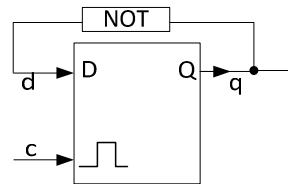
```
S0: begin B<=10; STAR<=S1; end
```

```
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
```

```
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato $S2$?

- ☐ **$A=9, B=9$**
- ☐ $A=8, B=10$
- ☐ $A=8, B=9$
- ☐ Nessuna delle precedenti



Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q :

- ☐ Resta nella fascia di indeterminazione
- ☐ **Assume un valore logico casuale**
- ☐ Oscilla
- ☐ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- ☐ Dopo almeno due fronti di clock
- ☐ Non prima del successivo fronte di clock
- ☐ **Durante lo stesso periodo di clock**
- ☐ Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- ☐ **Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia**
- ☐ Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- ☐ Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- ☐ **Il fronte di discesa della linea seriale stessa**
- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- ☐ Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ Nessuna delle precedenti



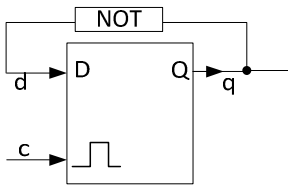
Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

Dato il d-latch di figura, quando c passa da 1 a 0, l'uscita q :

- ☐ Resta nella fascia di indeterminazione
- ☐ Assume un valore logico casuale
- ☐ Oscilla
- ☐ Nessuna delle precedenti

In una RSS di Mealy, la variazione dello stato di ingresso influisce sull'uscita:

- ☐ Dopo almeno due fronti di clock
- ☐ Non prima del successivo fronte di clock
- ☐ Durante lo stesso periodo di clock
- ☐ Nessuna delle precedenti

Un'interfaccia che invia una richiesta di interruzione al Controllore rimuove tale richiesta:

- ☐ Quando un'istruzione del sottoprogramma di servizio dell'interruzione accede ad un opportuno registro dell'interfaccia
- ☐ Subito dopo averla inviata, perché (prima o poi) sarà comunque accettata
- ☐ Quando riceve la notifica dal Controllore che la richiesta è stata accettata dal processore
- ☐ Nessuna delle precedenti

L'evento che segnala l'inizio di una trasmissione su una linea seriale è:

- ☐ Il fronte di discesa della linea seriale stessa
- ☐ Il fronte di discesa della linea /dav che va dal trasmettitore al ricevitore
- ☐ Il fronte di discesa della linea rfd che va dal ricevitore al trasmettitore
- ☐ Nessuna delle precedenti

Si deve calcolare quoziente Q e resto R della divisione naturale di A per B . Si sa che $A \leq 1000$ e $B=10$. Detti n_A, n_B, n_Q, n_R il numero di bit su cui sono rappresentati A, B, Q, R , affinché la divisione sia sempre fattibile gli ingressi del divisore devono essere così dimensionati:

- ☐ $n_A=10, n_B=4, n_Q=6, n_R=4$
- ☐ $n_A=10, n_B=4, n_Q=7, n_R=4$
- ☐ $n_A=11, n_B=4, n_Q=7, n_R=4$
- ☐ nessuna delle precedenti

In complemento alla radice in base $\beta=12$ su una cifra, la rappresentazione dell'intero -4 è codificata come:

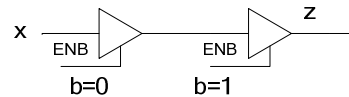
- ☐ 0100
- ☐ 1100
- ☐ 1000
- ☐ Nessuna delle precedenti

Sia T il ritardo di un full adder. Se devo sommare due numeri ad n cifre usando un circuito in montaggio ripple carry, il tempo di accesso totale del circuito sarà:

- ☐ $n \times T$
- ☐ $n + T$
- ☐ T^n
- ☐ Nessuna delle precedenti

Si consideri una legge combinatoria a due ingressi e un'uscita, in cui l'uscita riconosce *due* stati di ingresso. È possibile sintetizzarla con un solo livello di logica (cioè una porta AND o OR), più eventuali invertitori sugli ingressi.

- ☐ Vero
- ☐ Falso
- ☐ È impossibile deciderlo



L'uscita del circuito di figura vale:

- ☐ Zero o uno
- ☐ Non specificato
- ☐ Alta impedenza
- ☐ Nessuna delle precedenti

```
reg [3:0] A, B;
[...]
S0: begin B<=10; STAR<=S1; end
S1: begin B<=B-1; A<=B-1; STAR<=S2; end
S2: begin ...
```

Dato il pezzo di descrizione riportato sopra, cosa contengono i registri A e B nello stato $S2$?

- ☐ $A=9, B=9$
- ☐ $A=8, B=10$
- ☐ $A=8, B=9$
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No
