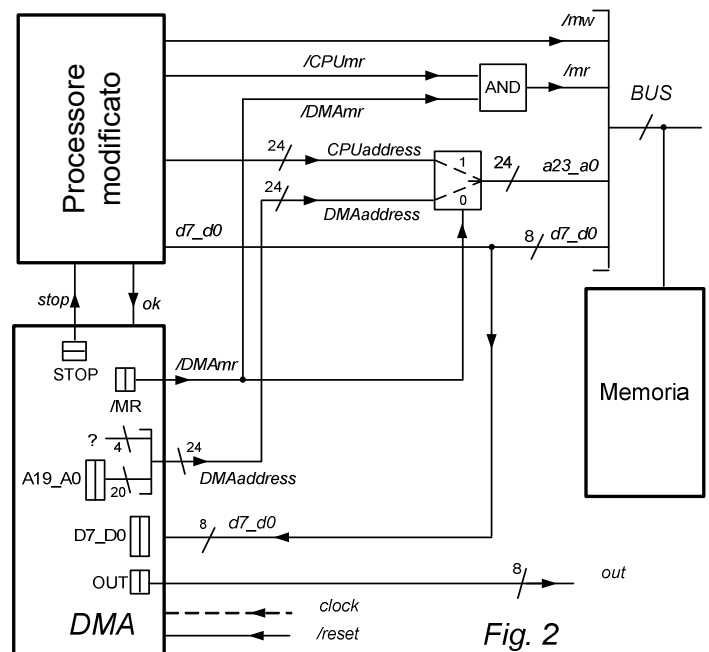
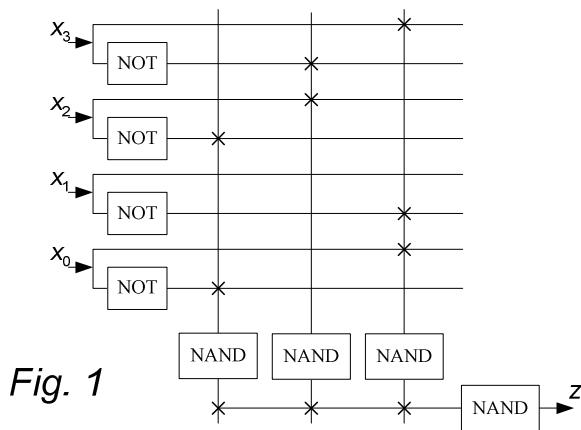


Cognome e Nome: _____ Matricola: _____



Esercizio 1

Individuare e classificare le alee del 1° ordine della rete combinatoria in Fig. 1. Modificare poi la rete in modo da eliminarle.

Esercizio 2

Al processore visto a lezione (Fig. 2) sono state aggiunte la variabile di ingresso *stop* e la variabile di uscita *ok* (inizializzata a 0 al reset asincrono), aventi le seguenti funzioni: quando *stop* viene messo a 1 dal circuito esterno *DMA*, il processore, entro un tempo inferiore alla decina di cicli di clock (ma non noto a priori) cessa di accedere alla memoria e pone *ok* a 1 e si blocca. Quando *stop* viene riportato a 0 il processore, entro un tempo inferiore alla decina di cicli di clock (ma non noto a priori), pone *ok* a 0 e riprende la sua normale evoluzione.

Descrivere e sintetizzare il circuito *DMA* in modo che esso emetta, all'infinito ed in modo ciclico, il contenuto delle locazioni di memoria a partire dalla locazione di indirizzo 'H000000, per un totale di 2^{20} locazioni. I byte contenuti nelle locazioni debbono essere emessi tramite la variabile di uscita *out* uno dopo l'altro ad un ritmo di uno ogni 1024 cicli di clock. Quando il circuito *DMA* intende compiere un ciclo di lettura in memoria, si preoccupa preventivamente di bloccare il processore ponendo *stop* ad 1 (al reset *stop* è inizializzato a 0) e attendendo che *ok* vada ad 1; terminato il ciclo di lettura riporta *stop* a 0, sbloccando il processore (che così può tranquillamente lavorare) e verifica che *ok* sia tornato a 0 prima di iniziare un nuovo ciclo. Si supponga la memoria sufficientemente veloce da non dover inserire stati di wait nei cicli di lettura.