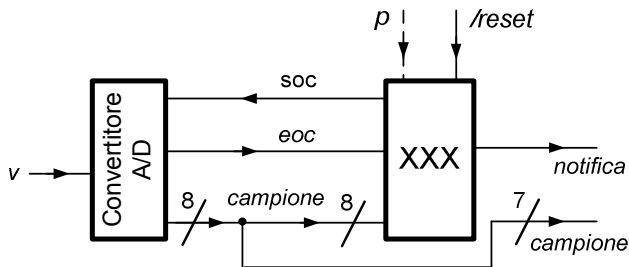


Esercizio 1 Sintetizzare in forma SP a costo minimo (a diodi) un sommatore/sottrattore ad una cifra in base due. Individuare, classificare e rimuovere eventuali alee.

Esercizio 2

Descrivere il circuito *XXX* che si evolve all'infinito come segue:

- 1) preleva un *campione* dal Convertitore A/D;
- 2) se i bit del campione in posizione pari (bit n.0, bit n.2, ..., bit n. 6) valgono **tutti** 1, notifica ciò tenendo *notifica* a 1 per un ciclo di clock, altrimenti torna immediatamente al punto 1.

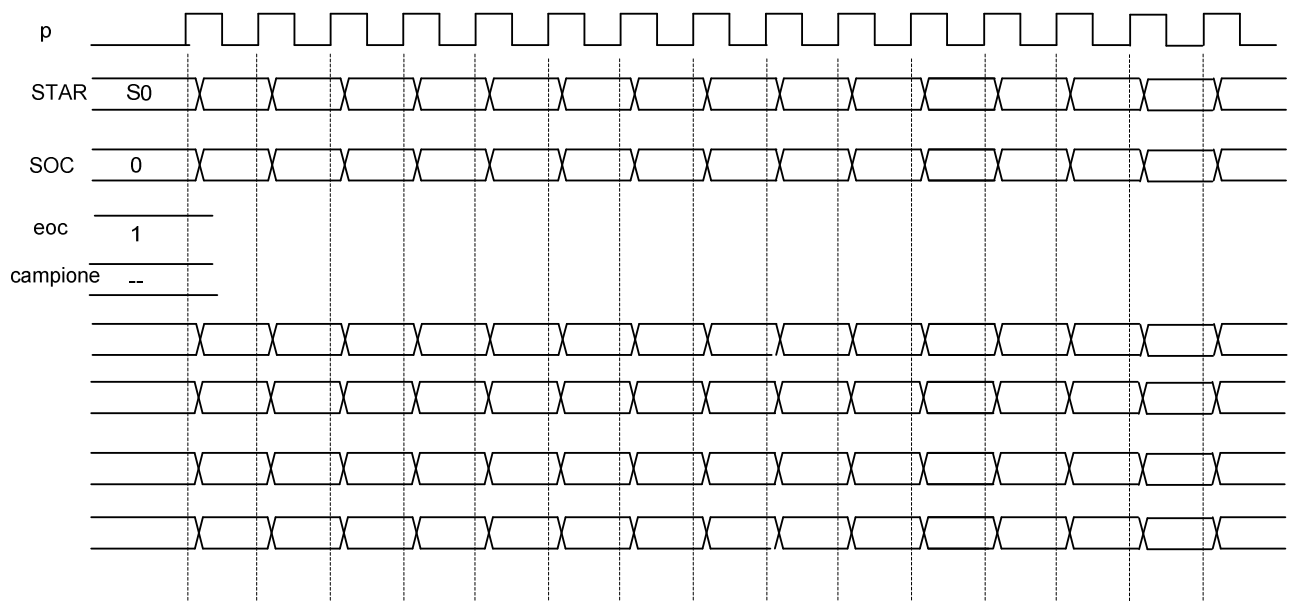
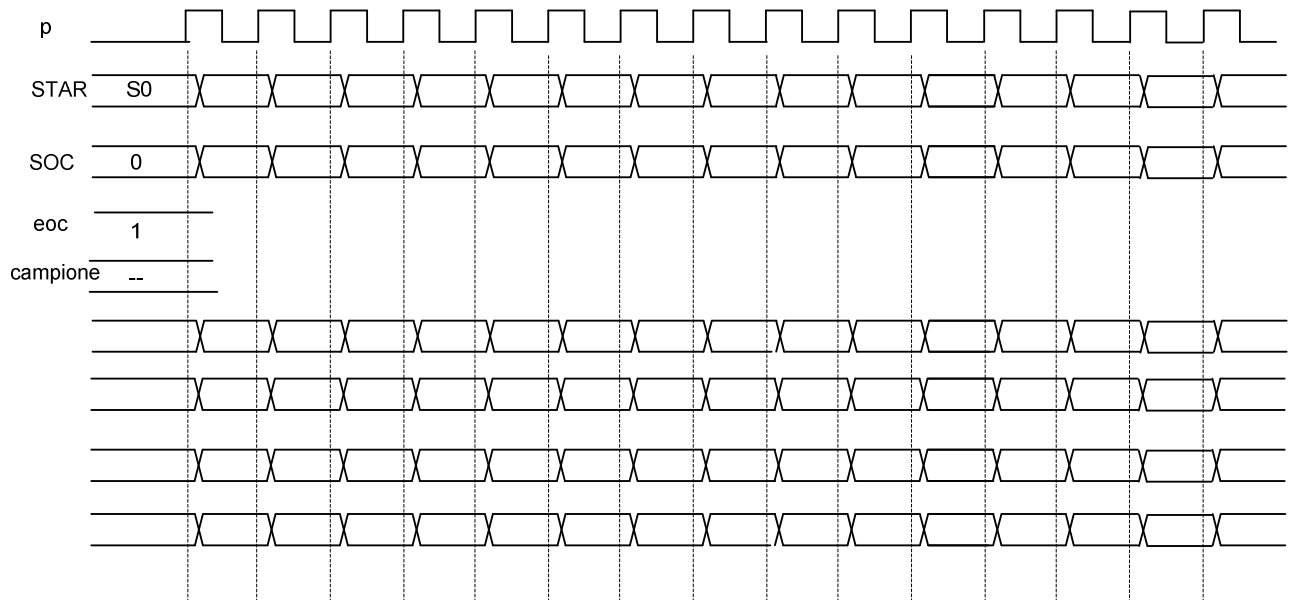


Per verificare se il campione è o non è quello da notificare, si introduca una variabile *test* in accordo al seguente schema:

```
wire test; assign test=... ;
che vale 1 se il test ha successo, 0 altrimenti.
```

Fare un diagramma temporale che illustri due cicli completi di evoluzione di *XXX*, supponendo che il Convertitore presenti 'B00111111 al primo ciclo e 'B01010101 al secondo ciclo. Affinché il diagramma sia di dimensioni accettabili, supporre anche che la risposta Convertitore, una volta iniziato l'handshake, sia abbastanza veloce (tra uno e due cicli del clock di *XXX*).

Sintetizzare *XXX* fornendo per test una **espressione booleana** ed evitando di fare elencazioni



Esercizio 1 - Soluzione

Il sommatore/sottrattore ha quattro ingressi: x, y, c_in e cmd, e due uscite, s e c_out. Se cmd=0 s è la somma modulo due di x, y e c_in, e c_out il riporto uscente, altrimenti s è la differenza modulo due di x-y-c_in, e c_out è il prestito uscente. La mappa di Karnaugh è la seguente:

cmd, c_in		xy			
		00	01	11	10
00	00	00	10	01	10
01	00	10	01	11	01
11	00	11	01	11	00
10	00	00	11	00	10

La sintesi di costo minimo in forma SP è la seguente (tutti gli IP sono essenziali):

$$c_{out} = c_{in} \cdot y + cmd \cdot c_{in} \cdot \bar{x} + \overline{cmd} \cdot x \cdot y + \overline{cmd} \cdot c_{in} \cdot x + cmd \cdot \bar{x} \cdot y$$

$$s = c_{in} \cdot \bar{x} \cdot \bar{y} + c_{in} \cdot x \cdot y + \overline{c_{in}} \cdot \bar{x} \cdot y + \overline{c_{in}} \cdot x \cdot \bar{y}$$

Non ci sono alee di nessun tipo.

Esercizio 2 - Una Semplice Soluzione

```
module XXX(campione,soc,eoc, notifica, p,reset_);
    input      p,reset_;
    input [7:0] campione;
    input      eoc;
    output     soc;
    output     notifica;

    reg        SOC;          assign soc=SOC;
    reg        NOTIFICA;     assign notifica=NOTIFICA;
    reg [1:0] STAR;          parameter[1:0] S0=0, S1=1, S2=2, S3=3;

    wire test=&(campione|8'B10101010);

    always @(posedge p or negedge reset_)
        if (reset_==0) begin SOC<=0; NOTIFICA<=0; STAR=S0; end else #3
            casex(STAR)
                S0: begin NOTIFICA<=0; SOC<=1; STAR<=(eoc==1)?S0:S1; end
                S1: begin SOC<=0; STAR<=(eoc==0)?S1:S2; end
                S2: begin NOTIFICA<=test; STAR<=S0; end
            endcase
endmodule
```

