Domande di Reti Logiche – compito del 26/06/2018



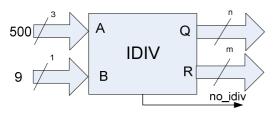
Barrare una sola risposta per ogni domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i

Non gener	a alcun	tipo	di alea

- ☐ Genera un'alea statica sul livello *y*
- ☐ Genera un'alea statica sul livello /y
- ☐ Nessuna delle precedenti



Dato il modulo *divisore per interi* in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n, m e lo stato delle tre uscite.

П	n=2.	m=1.	0 = 55.	R=5, no	idiv=0
	<i>11</i> −2,	m-1,	\mathbf{v}	11-5, 110	iui v — o

- \square $n=3, m=1, Q=500, R=0, no_idiv=0$
- \square $n=2, m=1, no_idiv=1, Q ed R non significativi$
- □ Nessuna delle precedenti

Dato il naturale A, rappresentazione dell'intero a, il segno di a si può desumere dalla cifra più significativa di A

Sia se la rappresentazione è in complemento a	lla
radice, sia se è in traslazione	

- □ Solo in complemento alla radice
- ☐ Solo in traslazione
- ☐ Nessuna delle precedenti

Dati A, B, C numeri naturali su n cifre in base β , il numero $Z=A\cdot B+C$ sta $come\ minimo\ su$:

- 2n+1 cifre
- \square 2*n* cifre
- \square 2*n*-1 cifre
- ☐ Nessuna delle precedenti

Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di:

- ☐ Moore o Mealy
- ☐ Mealy o Mealy ritardato
- ☐ Moore o Mealy ritardato
- ☐ Nessuna delle precedenti

Gli elementi di memoria di una RAM statica sono costituiti da

- ☐ Latch SR
- D-Latch
- □ D-Flip-flop
- ☐ Nessuna delle precedenti

In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:

- condizione sufficiente per ottenere un'evoluzione prevedibile
- ☐ condizione necessaria per ottenere un'evoluzione prevedibile
- ☐ Nessuna delle precedenti

La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è:

- □ eoc=0
- □ eoc=1
- □ soc=0
- ☐ Nessuna delle precedenti

Il tipo di un'interruzione esterna si trova in un registro:

- Del processore
- ☐ Dell'interfaccia
- ☐ Del controllore di interruzione
- ☐ Nessuna delle precedenti

Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:

- ☐ Dell'istruzione la cui fase di esecuzione sta per
- ☐ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
- ☐ Dell'ultima istruzione eseguita per intero
- ☐ Nessuna delle precedenti

	Dom	ande di Reti Logiche	– compito del	l 26/06/2018		
Y		me:			<u></u>	
	Matr	icola:				
		Consegna:	Sì 🗌	No 🗌		

Domande di Reti Logiche - compito del 26/06/2018



Moore o Mealy ritardato Nessuna delle precedenti

Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Osare to spazio bianco sur retro	del logilo per appariti, se serve
Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello y nella transizione dallo stato di ingresso X_i allo stato X_j , una transizione da X_j ad X_i Non genera alcun tipo di alea Genera un'alea statica sul livello y Genera un'alea statica sul livello y	Gli elementi di memoria di una RAM statica sono costituiti da Latch SR D-Latch D-Flip-flop Nessuna delle precedenti
Nessuna delle precedenti 500 A B R no_idiv	In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è: □ condizione sufficiente per ottenere un'evoluzione prevedibile □ condizione necessaria per ottenere un'evoluzione prevedibile □ Nessuna delle precedenti
Dato il modulo <i>divisore per interi</i> in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite. $ \square n=2, m=1, \ Q=55, \ R=5, \ no_idiv=0 $ $ \square n=3, \ m=1, \ Q=500, \ R=0, \ no_idiv=0 $ $ \square n=2, \ m=1, \ no_idiv=1, \ Q \ ed \ R \ non \ significativi $	La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è: coc=0 coc=1 soc=0 Nessuna delle precedenti
 □ Nessuna delle precedenti Dato il naturale A, rappresentazione dell'intero a, il segno di a si può desumere dalla cifra più significativa di A □ Sia se la rappresentazione è in complemento alla 	Il tipo di un'interruzione esterna si trova in un registro: □ Del processore □ Dell'interfaccia □ Del controllore di interruzione □ Nessuna delle precedenti
radice, sia se è in traslazione ☐ Solo in complemento alla radice ☐ Solo in traslazione ☐ Nessuna delle precedenti Dati A, B, C numeri naturali su n cifre in base β, il nu-	Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: ☐ Dell'istruzione la cui fase di esecuzione sta per iniziare ☐ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza
mero $Z=A \cdot B+C$ sta come minimo su: \square 2n+1 cifre \square 2n cifre \square 2n-1 cifre \square Nessuna delle precedenti	 □ Dell'ultima istruzione eseguita per intero □ Nessuna delle precedenti
Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di: Moore o Mealy	
☐ Mealy o Mealy ritardato	

 Don	nande di Reti Logiche	– compito de	l 26/06/2018
Cognome e no	ome:		
Mat	ricola:		
	Consegna:	Sì 🗌	No

Domande di Reti Logiche - compito del 26/06/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica	Gli elementi di memoria di una RAM statica sono co-
un'alea statica del primo ordine sul livello y nella tran-	stituiti da
sizione dallo stato di ingresso X_i allo stato X_j , una tran-	☐ Latch SR
sizione da X_i ad X_i	□ D-Latch
□ Non genera alcun tipo di alea	□ D-Flip-flop
☐ Genera un'alea statica sul livello y	□ Nessuna delle precedenti
☐ Genera un'alea statica sul livello /y	
□ Nessuna delle precedenti	In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è:
	 condizione sufficiente per ottenere un'evoluzione prevedibile
	 condizione necessaria per ottenere un'evoluzione prevedibile
	□ Nessuna delle precedenti
Dato il modulo <i>divisore per interi</i> in base 10 in complemento alla radice rappresentato nella figura soprastante, dove <i>A</i> è il dividendo e <i>B</i> è il divisore, determi-	La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è: □ eoc=0
nare n , m e lo stato delle tre uscite.	□ eoc=0 □ eoc=1
$\square n=2, m=1, Q=55, R=5, no_idiv=0$	_
$n=2, m=1, Q=50, R=0, no_idiv=0$	
$ = n=3, m=1, q=300, R=0, m=1, m=1, m=1, no_idiv=1, Q ed R non significativi $	□ Nessuna delle precedenti
□ Nessuna delle precedenti	Il tipo di un'interruzione esterna si trova in un registro:
Tressula delle procedenti	☐ Del processore
Dato il naturale A, rappresentazione dell'intero a, il se-	□ Dell'interfaccia
gno di a si può desumere dalla cifra più significativa di	☐ Del controllore di interruzione
Ä	□ Nessuna delle precedenti
☐ Sia se la rappresentazione è in complemento alla	1 ressulta delle precedenti
radice, sia se è in traslazione	Alla fine della fase di chiamata (o fetch, o prelievo) il
□ Solo in complemento alla radice	registro IP contiene di norma l'indirizzo:
□ Solo in traslazione	☐ Dell'istruzione la cui fase di esecuzione sta per
□ Nessuna delle precedenti	iniziare
	☐ Della prossima istruzione da eseguire, ammesso
Dati A, B, C numeri naturali su n cifre in base β , il nu-	che il flusso del programma prosegua in sequenza
mero $Z=A\cdot B+C$ sta <i>come minimo</i> su:	☐ Dell'ultima istruzione eseguita per intero
\Box 2 <i>n</i> +1 cifre	□ Nessuna delle precedenti
\Box 2 <i>n</i> cifre	r
\Box 2 <i>n</i> -1 cifre	
☐ Nessuna delle precedenti	
Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di: Moore o Mealy Mealy o Mealy ritardato Moore o Mealy ritardato Nessuna delle precedenti	
<u>.</u>	

Domande di Reti Logiche – compito del 26/06/2018						
Cognome e no	Cognome e nome:					
Mat	ricola:					
	Consegna:	Sì 🗌	No			

Domande di Reti Logiche - compito del 26/06/2018



☐ Moore o Mealy ritardato☐ Nessuna delle precedenti

Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se in un circuito a due livelli di logica si verifica un'alea statica del primo ordine sul livello <i>y</i> nella transizione dallo stato di ingresso <i>X_i</i> allo stato <i>X_j</i> , una transizione da <i>X_j</i> ad <i>X_i</i> Non genera alcun tipo di alea Genera un'alea statica sul livello <i>y</i> Genera un'alea statica sul livello / <i>y</i> Nessuna delle precedenti	Gli elementi di memoria di una RAM statica sono costituiti da Latch SR D-Latch D-Flip-flop Nessuna delle precedenti In una rete sequenziale asincrona cambiare un ingresso alla volta e soltanto quando la rete combinatoria RCA è a regime è: condizione sufficiente per ottenere un'evoluzione prevedibile condizione necessaria per ottenere un'evoluzione prevedibile Nessuna delle precedenti
Dato il modulo <i>divisore per interi</i> in base 10 in complemento alla radice rappresentato nella figura soprastante, dove A è il dividendo e B è il divisore, determinare n , m e lo stato delle tre uscite. $n=2, m=1, Q=55, R=5, no_idiv=0$ $n=3, m=1, Q=500, R=0, no_idiv=0$	La condizione per cui il dato in uscita da un convertitore A/D con interfaccia soc/eoc è valido è: coc=0 coc=1 soc=0 Nessuna delle precedenti
$n=2, m=1, q=300, R=0, no_tatv=0$ $n=2, m=1, no_idiv=1, Q \text{ ed R non significativi}$ Nessuna delle precedenti	Il tipo di un'interruzione esterna si trova in un registro:
Dato il naturale A , rappresentazione dell'intero a , il segno di a si può desumere dalla cifra più significativa di A Sia se la rappresentazione è in complemento alla	 □ Del processore □ Dell'interfaccia □ Del controllore di interruzione □ Nessuna delle precedenti
radice, sia se è in traslazione □ Solo in complemento alla radice □ Solo in traslazione □ Nessuna delle precedenti	Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo: □ Dell'istruzione la cui fase di esecuzione sta per iniziare
Dati A , B , C numeri naturali su n cifre in base β , il numero $Z=A \cdot B+C$ sta $come \ minimo$ su: \square $2n+1$ cifre \square $2n$ cifre \square $2n-1$ cifre \square Nessuna delle precedenti	 Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza Dell'ultima istruzione eseguita per intero Nessuna delle precedenti
Una rete sequenziale sincronizzata in cui l'uscita viene fatta reagire sull'ingresso si evolve in modo prevedibile se è di: Moore o Mealy Mealy o Mealy ritardato	

Consegna: Sì No No		Domande di Reti Logiche – compito del 26/06/2018 Cognome e nome:					
Consegna: Sì No No	Cog						
		Mati	ricola:				
			Consegna:	Sì 🗌	No		