

NOTE SUI CONVERTITORI D/A e A/D

A.A. 2015-2016

Massimo Piotto

1 Il convertitore digitale-analogico

Un convertitore digitale-analogico (D/A o DAC da Digital-to-Analog Converter) a N bit da un punto di vista funzionale è un dispositivo che accetta in ingresso una parola D di N bit e genera in uscita un campione analogico, come mostrato in Figura 1. Tipicamente, il campione analogico fornito in uscita dal DAC è una tensione v_o che è una frazione, F , della tensione di riferimento V_{REF} , ovvero:

$$v_o = FV_{REF}$$

Il valore della frazione F è determinato dalla parola di ingresso D su N bit:

$$F = \frac{D}{2^N} = \frac{d_{N-1}2^{N-1} + d_{N-2}2^{N-2} + d_{N-3}2^{N-3} + \dots + d_0 2^0}{2^N}$$

Si noti che 2^N costituisce il numero di combinazioni diverse della parola D in ingresso al convertitore.

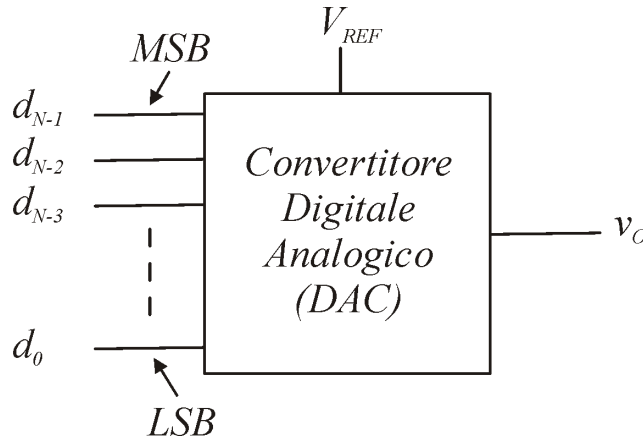


Figura 1: Un convertitore D/A come blocco funzionale

Il bit meno significativo (LSB) determina la minima variazione che si può avere nella tensione di uscita:

$$V_{LSB} = \frac{V_{REF}}{2^N}$$

La caratteristica di trasferimento ideale di un DAC a 3 bit è mostrata in Figura 2. Sull'asse delle ascisse sono riportate le 2^N combinazioni diverse della parola di ingresso mentre sull'asse delle ordinate sono riportati i 2^N valori che può assumere la tensione di uscita, normalizzati rispetto a V_{REF} . Il valore massimo che la tensione di uscita può assumere, denominato tensione di fondo scala (V_{FS}), è dato da:

$$V_{FS} = \frac{2^N - 1}{2^N} V_{REF}$$

Si può notare come la curva non sia continua ma costituita da 2^N punti in quanto il segnale di ingresso è un segnale digitale che può assumere solo 2^N valori diversi a cui corrispondono 2^N valori di tensione in uscita.

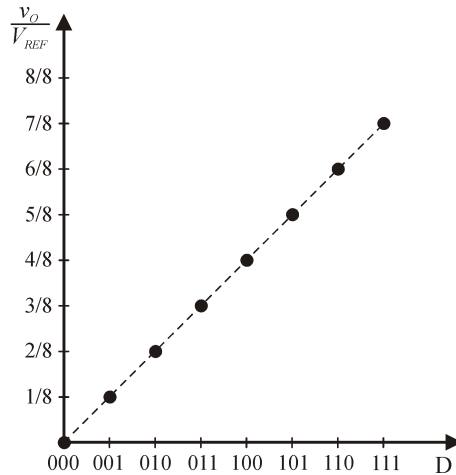


Figura 2: Caratteristica di trasferimento ideale di un DAC a 3 bit

Esiste una larga varietà di architetture di DAC dalle più semplici a quelle più complesse, ognuna con i propri vantaggi e svantaggi. Nel seguito sono descritte due architetture tipiche.

1.1 Circuito con resistori a pesi binari

Nella Figura 3 è mostrato un semplice circuito che realizza un convertitore DAC a N bit. Il circuito è costituito da N resistori a pesi binari ($R, 2R, 4R, \dots, 2^{N-1}R$), N interruttori monopolari ($S_0, S_1, S_2, \dots, S_{N-1}$) e un amplificatore operazionale con la sua resistenza di retroazione R_f . La rete resistiva viene alimentata dalla tensione di riferimento V_{REF} mentre gli interruttori sono comandati dalla parola D di N bit e, in particolare, S_0 dal bit meno significativo d_0 mentre S_{N-1} dal bit più significativo d_{N-1} . Quando il bit $d_i=0$, l'interruttore S_i si trova nella posizione 1 mentre quando il bit $d_i=1$, l'interruttore S_i si trova nella posizione 2. Come si può notare in figura, la posizione 1 di tutti gli interruttori è massa mentre la posizione 2, nell'ipotesi che valga il corto circuito virtuale in ingresso all'operazionale, è una massa virtuale. Pertanto, la corrente che attraversa ciascun resistore è costante e gli interruttori assumono la funzione di un deviatore di tale corrente o verso massa (posizione 1) o verso la massa virtuale (posizione 2). Le correnti che scorrono verso la massa virtuale si sommano formando la corrente risultante i_o che scorre attraverso la resistenza di retroazione R_f .

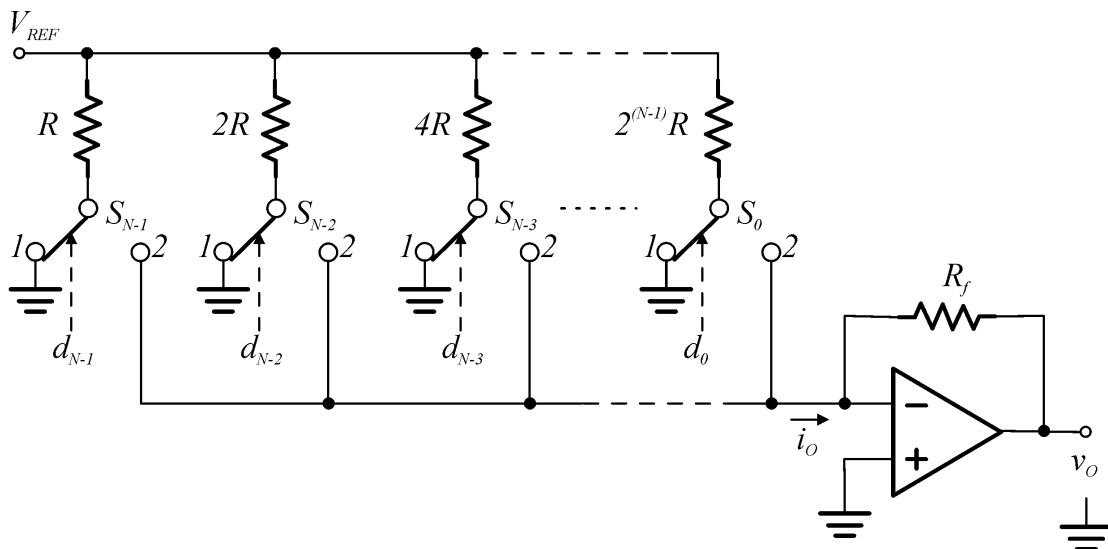


Figura 3: Schema di un convertitore DAC a N bit che utilizza una rete resistiva a scala con coefficienti binari

La corrente i_0 è quindi data da:

$$\begin{aligned} i_0 &= \frac{V_{REF}}{R} d_{N-1} + \frac{V_{REF}}{2R} d_{N-2} + \dots + \frac{V_{REF}}{2^{N-1}R} d_0 = \\ &= \frac{V_{REF}}{2^{N-1}R} (d_{N-1} 2^{N-1} + d_{N-2} 2^{N-2} + \dots + d_0) = \\ &= \frac{V_{REF}}{2^{N-1}R} D \end{aligned}$$

La tensione di uscita v_0 sarà data da:

$$v_0 = -i_0 R_f = -\frac{V_{REF}}{2^{N-1}R} R_f D$$

che è direttamente proporzionale alla parola digitale D come desiderato.

L'accuratezza del convertitore dipende in maniera critica dall'accuratezza di V_{REF} , dalla precisione dei resistori pesati e dall'idealità degli interruttori. Uno svantaggio dell'architettura a resistori con pesi binari è che, per un numero di bit elevato, la differenza di valore tra il resistore più piccolo e quello più grande diventa molto elevata. Questo implica delle difficoltà a mantenere la precisione richiesta per i valori di resistenza e pertanto questo tipo di DAC è usato raramente se sono necessari più di 4 bit. Uno schema che risolve questo problema è quello costituito da una rete di resistenze a scala R-2R, descritto nel paragrafo successivo.

1.2 Circuito con rete a scala R-2R

Uno schema di un convertitore DAC a N bit che utilizza una rete di resistenze a scala R-2R è mostrato in Figura 4. Come si può notare, per lo stesso numero N di bit si utilizzano un numero doppio di resistenze, rispetto al circuito mostrato in Figura 3, che però assumono solo i valori R e 2R. Per comprendere il funzionamento della rete, si può notare, partendo da destra e procedendo verso sinistra, che la resistenza vista verso la destra di ciascuno nodo è uguale a 2R. Pertanto, la corrente che scorre verso la destra di ciascun nodo è uguale alla corrente che scorre verso il basso a massa. In pratica, la corrente che entra da sinistra in un nodo si divide in due parti uguali, una verso il basso e una verso destra.

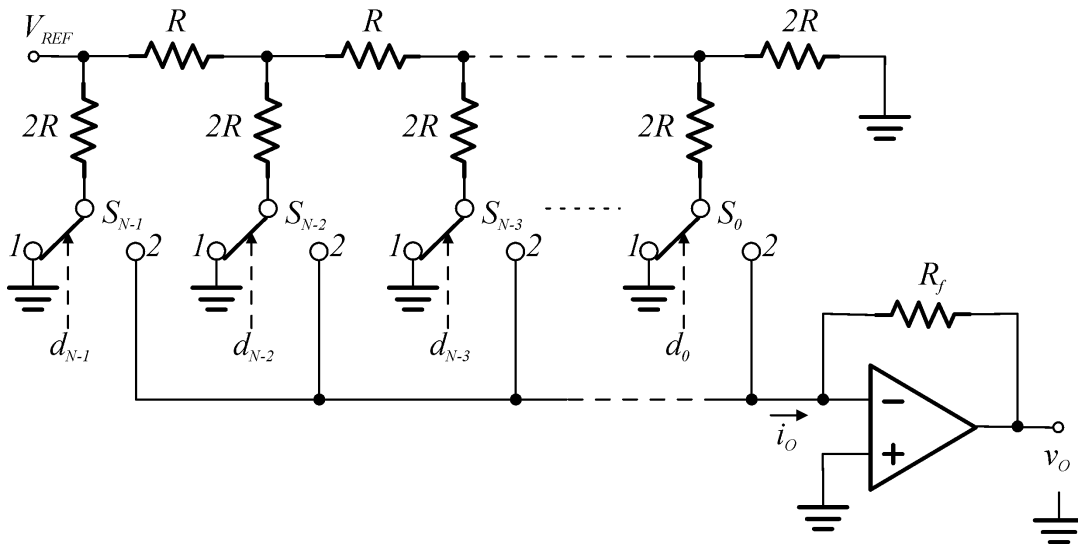


Figura 4: Circuito di un convertitore DAC a N bit che utilizza una rete resistiva a scala R-2R

Indicando con I_i la corrente che scorre nell'interruttore S_i si avrà pertanto:

$$I_{N-1} = \frac{V_{REF}}{2R} = 2I_{N-2} = 4I_{N-3} = \dots = 2^{N-1}I_0$$

Quindi, come si aveva nel caso della rete a pesi binari, la corrente totale i_0 sarà data da:

$$\begin{aligned} i_0 &= \frac{V_{REF}}{2R}d_{N-1} + \frac{V_{REF}}{2R}\frac{1}{2}d_{N-2} + \dots + \frac{V_{REF}}{2R}\frac{1}{2^{N-1}}d_0 = \\ &= \frac{V_{REF}}{2^N R}(d_{N-1}2^{N-1} + d_{N-2}2^{N-2} + \dots + d_0) = \\ &= \frac{V_{REF}}{2^N R}D \end{aligned}$$

La tensione di uscita v_0 sarà data da:

$$v_0 = -i_0 R_f = -\frac{V_{REF}}{2^N R} R_f D$$

Si può notare che la tensione di uscita è direttamente proporzionale alla parola digitale D come desiderato.

Anche in questo caso, l'accuratezza del convertitore dipende in maniera critica dall'accuratezza di V_{REF} , dalla precisione dei resistori e dall'idealità degli interruttori.

2 Il convertitore analogico-digitale

Un convertitore analogico-digitale (A/D o ADC da Analog-to-Digital Converter) a N bit da un punto di vista funzionale è un dispositivo che accetta in ingresso i campioni di un segnale analogico e fornisce, per ogni campione di ingresso, la corrispondente rappresentazione digitale ad N bit ai suoi N terminali di uscita, come mostrato in Figura 5. A differenza del convertitore DAC in cui si ha un numero finito di ingressi a cui corrisponde un numero finito di uscite, nei convertitori ADC l'ingresso è un segnale analogico la cui ampiezza può assumere con continuità tutti i valori all'interno dell'intervallo di validità. Tali valori devono essere "quantizzati" in un numero finito di valori digitali. In particolare, in un convertitore a N bit si avranno 2^N livelli di quantizzazione.

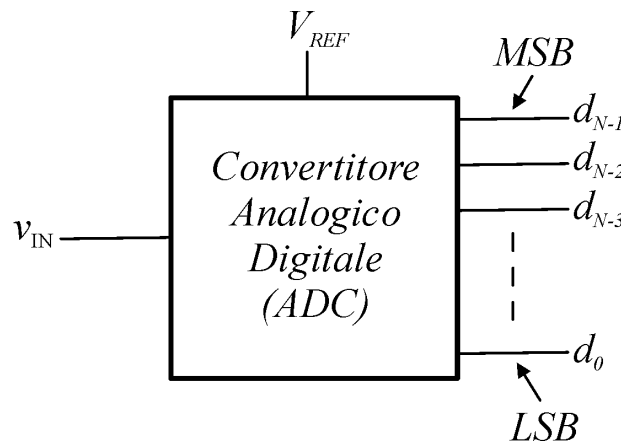


Figura 5: Un convertitore A/D come blocco funzionale

Le diversità tra le due tipologie di convertitori appaiono evidenti confrontando la caratteristica di trasferimento di una ADC ideale a 3 bit mostrata in Figura 6 con quella di un DAC riportata in

Figura 2. Sull'asse delle ordinate sono riportate le 2^N combinazioni diverse della parola D di uscita mentre sull'asse delle ascisse sono riportati i valori della tensione di ingresso normalizzati rispetto a V_{REF} . Poiché il segnale di ingresso è un segnale continuo mentre quello di uscita è discreto, la curva assume l'aspetto di una gradinata.

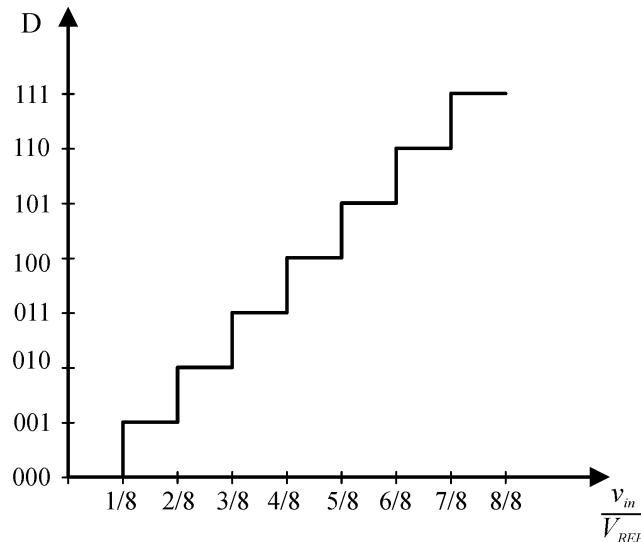


Figura 6: Caratteristica di trasferimento ideale di un ADC a 3 bit

La discretizzazione di una grandezza continua produce inevitabilmente un errore Q_e che viene denominato “errore di quantizzazione”. Tale errore viene definito come la differenza tra il valore attuale dell'ingresso analogico e il valore dell'uscita digitale riportato in tensione. Ovvero:

$$Q_e = v_{in} - D \frac{V_{REF}}{2^N} = v_{in} - DV_{LSB}$$

dove D è il valore della parola digitale d'uscita e V_{LSB} è il valore di 1 LSB in volt. La caratteristica dell'ADC con il corrispondente andamento dell'errore di quantizzazione espresso in unità di LSB sono riportati in Figura 7. Come si può notare, l'errore ha un andamento a dente di sega centrato su $\frac{1}{2}$ LSB e idealmente sarà compreso tra 0 e 1 LSB. Da notare che l'andamento dell'errore può essere determinato come la differenza tra la caratteristica a gradinata e la bisettrice del piano, riportata in tratteggio in Figura 7.

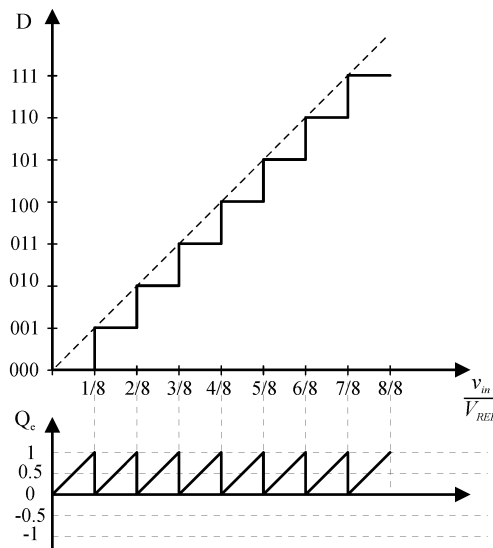


Figura 7: Caratteristica di trasferimento ideale di una ADC e il corrispondente errore di quantizzazione

Molto spesso si preferisce avere l'errore di quantizzazione centrato nello zero così da avere una variazione complessiva di $\pm \frac{1}{2}$ LSB. Questa condizione si può ottenere facilmente traslando la caratteristica a sinistra di $\frac{1}{2}$ LSB, come mostrato in Figura 8.

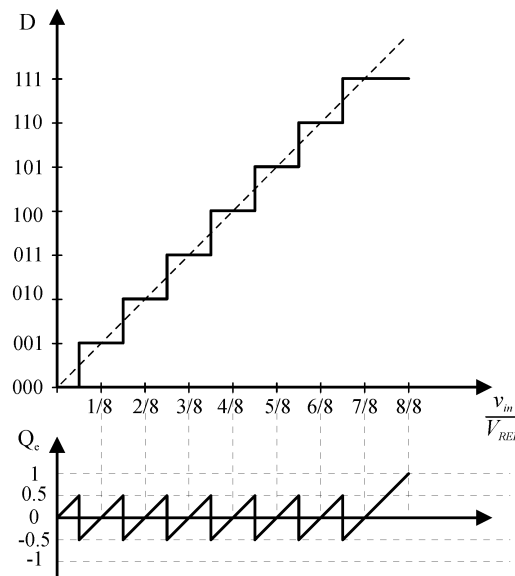


Figura 8: Caratteristica di un convertitore ADC con il corrispondente errore di quantizzazione centrato in zero

In questo caso la prima transizione del codice digitale si ha per $v_{in} \geq \frac{1}{16} V_{REF}$ pertanto il range di valori di v_{in} corrispondenti alla codifica 000 è dimezzato rispetto al caso precedente. L'ultima transizione avviene per $v_{in} \geq \frac{13}{16} V_{REF}$ (a metà tra $\frac{6}{8} V_{REF}$ e $\frac{7}{8} V_{REF}$) e la larghezza dell'ultimo gradino della gradinata è 1.5 volte più grande del precedente e l'errore di quantizzazione arriva a 1 LSB per $v_{in} = V_{REF}$. Se si vuole evitare questa situazione si può impostare come limite massimo della tensione di ingresso il valore $\frac{15}{16} V_{REF}$ (a metà tra $\frac{7}{8} V_{REF}$ e $\frac{8}{8} V_{REF}$).

Esiste una larga varietà di architetture di ADC dalle più semplici a quelle più complesse, ognuna con i propri vantaggi e svantaggi. Nel seguito sono descritte alcune architetture tipiche.

2.1 Convertitore A/D a singola rampa

Il convertitore a singola rampa appartiene, insieme a quello a doppia rampa descritto nel paragrafo successivo, alla categoria dei convertitori ad integrazione in cui la conversione avviene misurando con un contatore il tempo impiegato per un'operazione di integrazione.

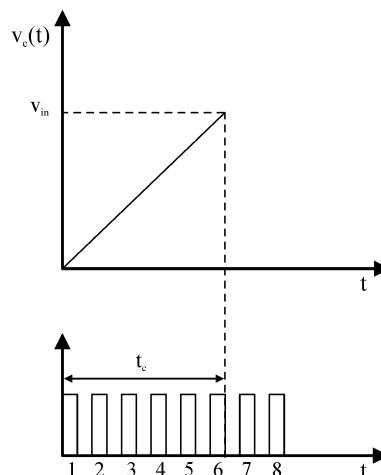


Figura 9: Diagramma temporale di un convertitore a singola rampa

Nel caso del convertitore a singola rampa, il principio di funzionamento è schematizzato in Figura 9: si integra una tensione nota e costante e si misura quanto tempo occorre per ottenere in uscita dall'integratore una tensione uguale al segnale che si vuole convertire.

Il diagramma a blocchi di un'architettura a singola rampa è mostrata in Figura 10. Facciamo l'ipotesi che la tensione costante V_{REF} sia positiva e che l'uscita dell'integratore sia nulla all'istante $t=0$ in cui iniziamo ad integrare e a contare gli impulsi di clock. Inoltre, il contatore è a N bit e il segnale di ingresso v_{IN} che vogliamo convertire viene campionato e mantenuto dal circuito di sample and hold (S/H) per tutta la durata del processo di integrazione. La tensione in uscita dell'integratore comincia a salire linearmente (si noti che $-V_{REF}$ è negativa) con una pendenza che dipende dal valore di R e C . Quando la tensione di uscita dell'integratore supera il valore della tensione di uscita del circuito S/H, il comparatore commuta e segnala al circuito di controllo di memorizzare nel latch il valore che ha raggiunto il contatore. Il circuito di controllo provvede poi a generare il segnale di reset che serve sia per resettare il contatore sia per azzerare l'uscita dell'integratore preparando il sistema ad un'altra operazione di conversione.

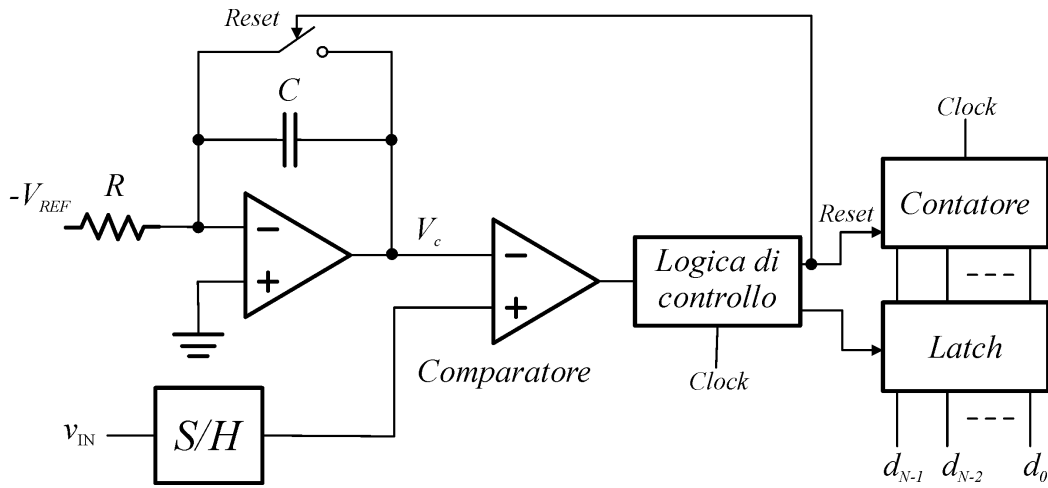


Figura 10: Schema a blocchi di un convertitore a singola rampa

Il numero di impulsi di clock conteggiato sarà, pertanto, proporzionale al valore della tensione di ingresso che vogliamo convertire. In particolare, se la tensione di ingresso è molto piccola, il tempo di conversione sarà molto breve e il contatore conterà pochi impulsi prima che il comparatore scatti facendo concludere il conteggio. Viceversa, se la tensione di ingresso è uguale alla tensione di fondoscala del convertitore, il contatore dovrà incrementare il conteggio da zero fino al suo valore massimo di 2^N .

Il tempo di conversione, t_C , è proporzionale alla tensione v_{IN} e il segnale, V_C , in uscita dall'integratore al termine del conteggio è dato da:

$$V_C = -\frac{1}{RC} \int_0^{t_C} -V_{REF}(\tau) d\tau = \frac{V_{REF}}{RC} t_C = v_{IN}$$

da cui si ricava:

$$t_C = \frac{v_{IN}}{V_{REF}} \cdot RC$$

Se il numero di impulsi conteggiati è pari a D , ovvero $t_C = D T_{CLK}$, si ottiene:

$$D = \frac{v_{IN}}{V_{REF}} \cdot \frac{RC}{T_{CLK}}.$$

dove T_{CLK} è il periodo del clock. Si è ottenuto, pertanto, che il valore D memorizzato nel latch è proporzionale alla tensione di ingresso v_{IN} . Tuttavia si può notare che il valore di D dipende anche da altri fattori, in particolare dal valore di R , di C e del periodo del clock. Ogni effetto di non idealità che modifica questi parametri si ripercuote direttamente sul risultato numerico della conversione. Questo inconveniente viene risolto dall'architettura a doppia rampa descritta nel paragrafo successivo.

2.2 Convertitore A/D a doppia rampa

Nel convertitore a doppia rampa vengono fatte due integrazioni, come mostrato schematicamente in Figura 11. Nella prima integrazione, si parte da zero e si integra la tensione di ingresso v_{IN} per un periodo di tempo pari al fondoscala del contatore, ovvero 2^N cicli di clock. Nella fase successiva, si integra una tensione costante V_{REF} di segno opposto alla tensione v_{IN} per un intervallo di tempo necessario per far ritornare a zero l'uscita dell'integratore. Il conteggio eseguito nella seconda fase viene preso come risultato della conversione.

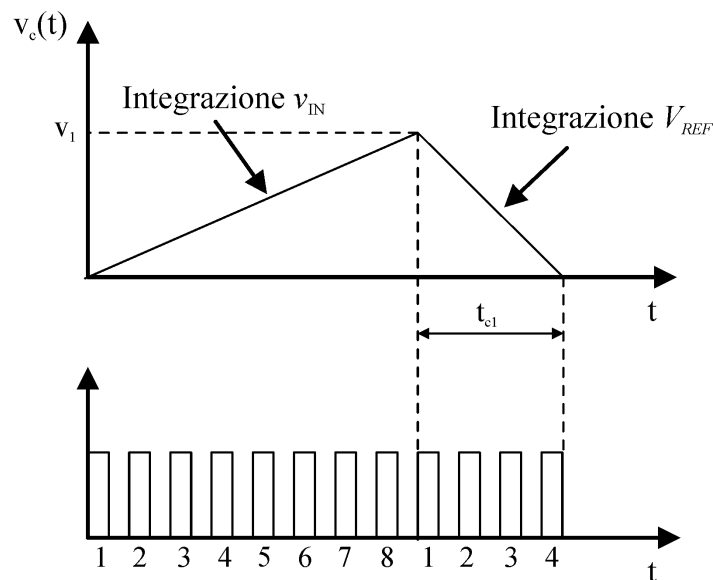


Figura 11: Diagramma temporale di un convertitore a doppia rampa a 3 bit.

Il valore di picco a cui si arriva nella prima fase è proporzionale al segnale di ingresso, come mostrato in Figura 12 dove è mostrato il diagramma temporale nel caso vengano integrate due tensioni di ingresso diverse con $v_{IN2} > v_{IN1}$. Si noti come in questa fase la pendenza della rampa sia variabile in quanto è proporzionale al segnale di ingresso. Nella seconda fase, invece, la pendenza delle curve è costante in quanto si integra in entrambi i casi la tensione costante V_{REF} . Come mostrato in figura, l'intervallo di tempo necessario per tornare a zero è proporzionale al valore di picco ottenuto nella prima fase, ovvero alla tensione di ingresso.

Un'architettura che implementa questa tecnica è mostrata in Figura 13. Prima di iniziare il ciclo di conversione viene inviato il segnale di reset che azzerà il contatore e chiude l'interruttore ai capi del condensatore scaricandolo in modo che la tensione d'uscita dell'integratore sia nulla. Il ciclo di conversione inizia con il collegamento dell'ingresso analogico dell'integratore all'uscita del circuito di S/H che ha campionato la tensione di ingresso che ipotizziamo per comodità negativa. La tensione di uscita del comparatore inizierà ad aumentare e allo stesso tempo il contatore inizia la sua operazione di conteggio degli impulsi di clock a frequenza fissa. Questa fase di conteggio continua fino a quando il contatore non arriva a contare 2^N impulsi e il segnale di over-flow (O/F) segnala questa condizione. Il circuito di controllo provvede a resettare il contatore e spostare l'interruttore in ingresso all'integratore sul segnale V_{REF} che ipotizziamo positivo. La tensione in uscita

all'integratore comincia a diminuire e contemporaneamente il contatore inizia il conteggio. Questa fase dura fino a quando la tensione non diventa nulla. Infatti, quando la tensione in uscita all'integratore diventa pari a zero, il comparatore commuta e segnala al circuito di controllo di interrompere il conteggio, salvare il valore nel latch e inviare il comando di reset per il contatore e il condensatore.

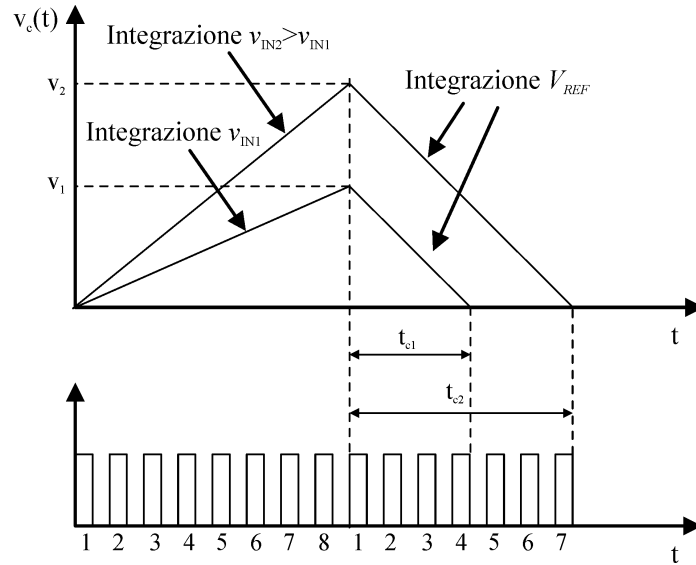


Figura 12: Diagramma temporale di un convertitore a doppia rampa con due diverse tensioni di ingresso
 $v_{IN2} > v_{IN1}$

Come è evidente, il circuito a doppia rampa richiede un tempo di conversione superiore al circuito a singola rampa. Tuttavia, come dimostreremo a breve, risulta immune agli effetti di non idealità che coinvolgono i parametri del circuito.

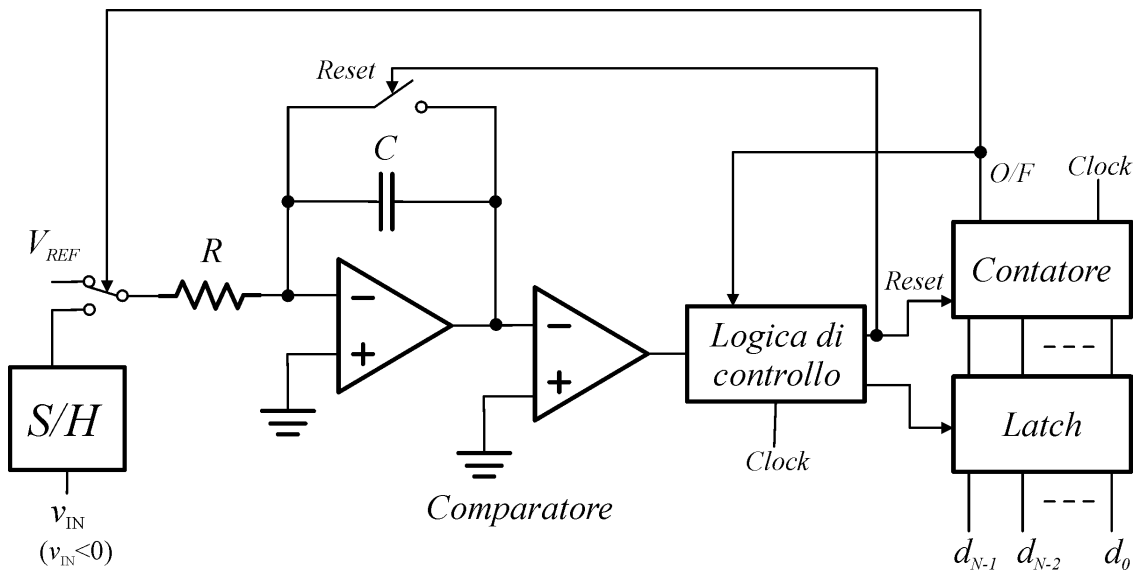


Figura 13: Schema a blocchi di un convertitore a doppia rampa

Per verificare i vantaggi del circuito a doppia rampa, indichiamo con V_{picco} la tensione in uscita dall'integratore alla fine della prima fase. Tale valore sarà dato da:

$$V_{picco} = -\frac{1}{RC} \int_0^{T_{max}} v_{IN}(\tau) d\tau = \frac{|v_{IN}|}{RC} T_{max} = \frac{|v_{IN}|}{RC} 2^N T_{CLK}$$

Durante la seconda fase, la tensione d'uscita dell'integratore inizierà da tale valore e decrementerà fino ad arrivare a zero.

Durante questa fase, la tensione in uscita all'integratore varrà:

$$V_c = \frac{|v_{IN}|}{RC} 2^N T_{CLK} - \frac{1}{RC} \int_0^t V_{REF} d\tau$$

All'istante $t=T_1$ in cui si annulla avremo:

$$\frac{|v_{IN}|}{RC} 2^N T_{CLK} - \frac{1}{RC} \int_0^{T_1} V_{REF} d\tau = \frac{|v_{IN}|}{RC} 2^N T_{CLK} - \frac{V_{REF}}{RC} T_1 = 0$$

da cui:

$$T_1 = \frac{|v_{IN}|}{RC} 2^N T_{CLK} \frac{RC}{V_{REF}} = \frac{|v_{IN}|}{V_{REF}} 2^N T_{CLK}$$

Se il contatore è arrivato a conteggiare D impulsi, ovvero $T_1 = DT_{CLK}$, si ottiene:

$$D = \frac{1}{T_{CLK}} \frac{|v_{IN}|}{V_{REF}} 2^N T_{CLK} = \frac{|v_{IN}|}{V_{REF}} 2^N$$

Come si può notare, l'impiego dello stesso integratore e dello stesso contatore in entrambi le fasi consente di ottenere una conversione che non è più affetta dalle non idealità che riguardano R , C o il clock. Questo permette di ottenere un convertitore con un'elevata accuratezza.

2.3 Convertitore A/D flash

Il convertitore flash o parallelo implementa il metodo di conversione A/D più veloce. Concettualmente la conversione flash è molto semplice. Come mostrato in Figura 14, la tensione analogica di ingresso v_{in} viene inviata in ingresso a $(2^N - 1)$ comparatori che la confrontano con ciascuno dei $(2^N - 1)$ livelli di quantizzazione in cui è stata suddivisa la tensione di riferimento V_{REF} tramite la serie di 2^N resistori tutti uguali. In uscita da ciascuno comparatore si ottiene un valore di tensione alto, equivalente a livello logico 1, se la tensione v_{in} è maggiore del livello della tensione V_{REF} ad esso collegato e un valore di tensione basso, equivalente a livello logico 0, nel caso contrario. Analizzando l'insieme delle tensioni in uscita ai comparatori, si ottiene dal basso una serie di valori alti fino al comparatore che è collegato al primo livello della tensione V_{REF} maggiore di v_{in} che avrà l'uscita bassa e così tutti quelli che sono sopra di lui. Questo tipo di codifica viene definita "codifica termometrica". Un semplice decoder con priorità, che restituisce l'indirizzo binario della linea di ingresso a livello alto di maggior priorità (con l'ordine più alto), convertirà i $2^N - 1$ valori della codifica termometrica nella parola D di N bit che costituisce la conversione digitale della tensione analogica di ingresso. Il vantaggio di questo convertitore risiede nella possibilità di effettuare la conversione completa in un unico ciclo di clock. Lo svantaggio è costituito dalla complessità dell'hardware. Infatti, un convertitore a 8 bit richiede 255 comparatori e 256 resistenze. Inoltre, per ogni bit di risoluzione in più che si vuole ottenere si raddoppia l'area del chip. Ad esempio, per ottenere 9 bit sono necessari 511 comparatori e 512 resistenze. Per questo motivo i convertitori flash tradizionali sono tipicamente ad 8 bit.

Se si rinuncia a voler effettuare la conversione completa in un unico ciclo di clock si può adottare una configurazione di convertitore flash a due step che consente, a parità di risoluzione, di ottenere una notevole riduzione dell'area del chip. Il diagramma a blocchi della configurazione a due step è mostrata in Figura 15. Il convertitore a N bit è suddiviso in due convertitori flash a $N/2$ bit in cui il primo (MSB – ADC) fornisce i bit più significativi della conversione, mentre il secondo (LSB – ADC) fornisce i bit meno significativi. Il processo di conversione avviene nel seguente modo:

- 1) la tensione di ingresso viene campionata e mantenuta dal circuito di Sample/Hold (S/H); il convertitore flash MSB – ADC fornisce gli $N/2$ bit più significativi che sono memorizzati nel latch;
- 2) il risultato viene riconvertito in una tensione analogica dal DAC e sottratto alla tensione di ingresso;
- 3) il risultato della sottrazione, denominato residuo, è moltiplicato per $2^{N/2}$ dall'amplificatore e fornito in ingresso al secondo convertitore flash (LSB – ADC). La moltiplicazione per $2^{N/2}$ consente di utilizzare due convertitori flash identici con la stessa tensione di riferimento; la moltiplicazione può essere evitata se si progetta il convertitore LSB – ADC in modo che sia in grado di convertire tensioni molto piccole;
- 4) il secondo convertitore fornisce i bit meno significativi della conversione che vengono memorizzati nel latch.

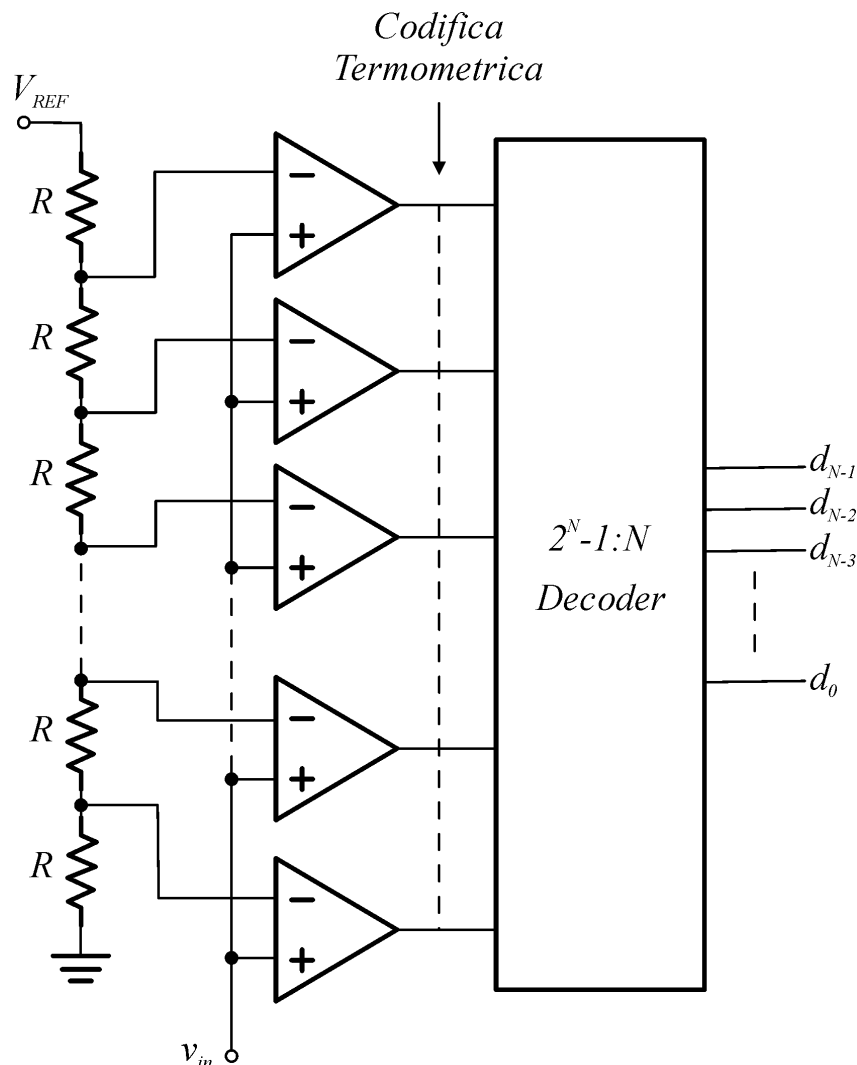


Figura 14: Schema a blocchi di un convertitore Flash

Il vantaggio di questa architettura risiede nella diminuzione dell'area del chip. Infatti, per una conversione a N bit il numero di comparatori necessari scende dagli $(2^N - 1)$ necessari nella configurazione tradizionale a $2(2^{N/2} - 1)$ per la configurazione a due step. Per esempio, per una risoluzione a 8 bit si passa da 255 comparatori per la flash tradizionale a 30 comparatori per la flash a due step. Lo svantaggio consiste nella necessità di aspettare almeno due cicli di clock per avere il risultato definitivo della conversione.

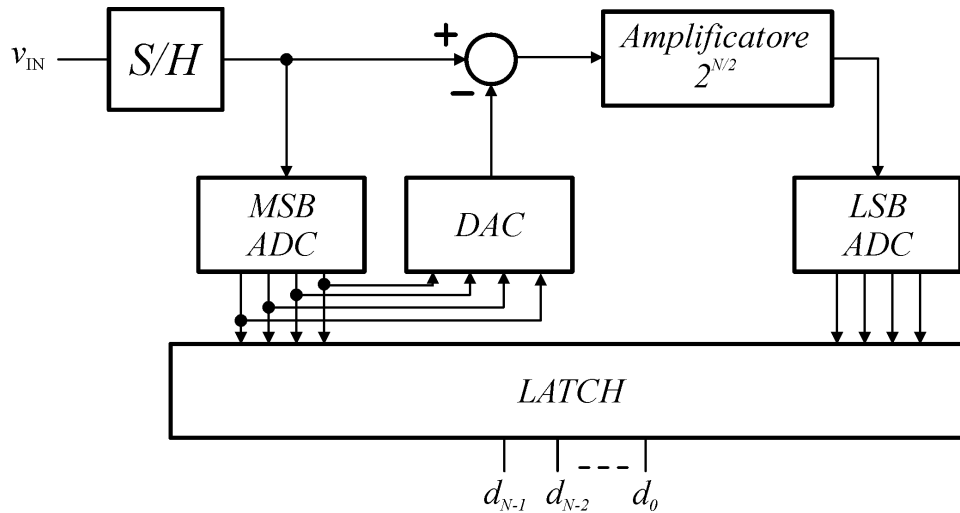


Figura 15: Schema a blocchi di un convertitore Flash a 2 step

2.4 Convertitore A/D ad approssimazioni successive (SAR)

Il convertitore ad approssimazioni successive (SAR) effettua, in pratica, una ricerca binaria all'interno di tutti i livelli di quantizzazione prima di convergere alla parola digitale finale. Lo schema di principio di un SAR a N bit è mostrato in Figura 16. Un registro a N bit controlla la temporizzazione della conversione. La tensione analogica di ingresso v_{in} viene campionata e mantenuta dal S/H e confrontata con l'uscita fornita dal DAC. L'uscita del comparatore controlla la direzione della ricerca binaria e dopo N passi l'uscita del SAR è la parola digitale D risultante dalla conversione.

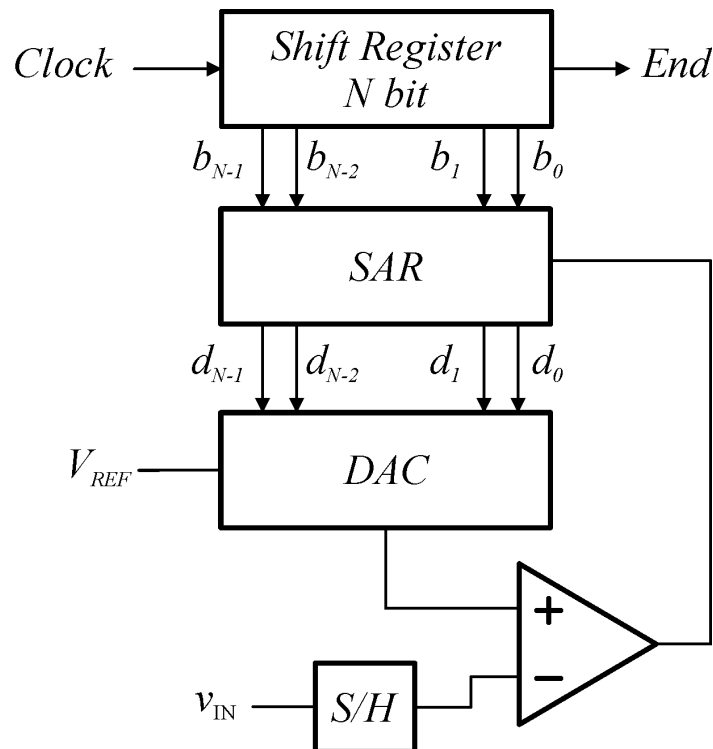


Figura 16: Schema a blocchi di un convertitore SAR

L'algoritmo del SAR è costituito dai seguenti passi.

- 1) Si attiva lo shift register che fornisce in uscita $b_{N-1}=1$ e tutti gli altri bit, da b_{N-2} a b_0 , a zero.
- 2) Il bit più significativo del SAR, d_{N-1} , è impostato inizialmente a 1 mentre i rimanenti bit, $d_{N-2} - d_0$, sono posti a zero.
- 3) L'uscita del SAR, che sarà pari a $10000...0$, viene convertita dal DAC nella tensione analogica $V_{REF}/2$.
- 4) La tensione di ingresso v_{in} viene confrontata con $V_{REF}/2$. Se $V_{REF}/2$ è maggiore di v_{in} allora l'uscita del comparatore è a livello alto e impone il reset del bit d_{N-1} a zero. Se $V_{REF}/2$ è minore di v_{in} allora l'uscita del comparatore è a livello basso e impone il mantenimento del bit d_{N-1} a uno. Al termine del confronto d_{N-1} assume il valore che avrà nella parola finale.
- 5) Lo shift register sposta il valore 1 di una posizione verso destra: si avrà, pertanto $b_{N-2}=1$ mentre tutti gli altri bit saranno a zero.
- 6) Il bit d_{N-2} del SAR è impostato inizialmente a 1, il bit d_{N-1} è mantenuto al valore stabilito dal precedente confronto e tutti gli altri bit sono posti uguali a zero.
- 7) L'uscita del DAC sarà uguale a $V_{REF}/4$ se $d_{N-1}=0$ oppure $3V_{REF}/4$ se $d_{N-1}=1$.
- 8) La tensione di ingresso viene confrontata con l'uscita del DAC: se l'uscita del DAC è maggiore di v_{in} allora il bit d_{N-2} viene resettato a zero altrimenti viene mantenuto a uno. Il valore del bit d_{N-2} al termine del confronto è quello che avrà nella parola finale.
- 9) Il processo si ripete fino a quando non sono fissati i valori di tutti i bit ottenendo la parola digitale finale.

Si noti, pertanto, che in un convertitore SAR a N bit il tempo di conversione è pari a N cicli di clock.