

## Barrare **una sola risposta** per ogni domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se prendo un circuito in forma SP a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:  Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso  Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso  Un circuito che riconosce un insieme diverso di stati di ingresso  Nessuna delle precedenti	reg [3:0] RR; [] S0: begin RR<=0; STAR<=S1; end S1: begin RR<=RR+1;
Una rete a due livelli di logica la cui uscita è presa da	☐ Nessuna delle precedenti
una porta XNOR	
<ul> <li>□ Può essere soggetta ad alee statiche del primo ordine soltanto sul livello 0</li> <li>□ Può essere soggetta ad AS 1° ordine soltanto sul livello 1</li> <li>□ Può essere soggetta ad AS 1° ordine su entrambi i livelli</li> <li>□ Nessuna delle precedenti</li> </ul>	Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:
Dato un sommatore a 1 cifra in base 3 il cui stato di	Un consumatore che ha un handshake soc/eoc con un
ingresso è x=10, y=01 Cin=0, lo stato di uscita è:	produttore può prelevare il dato corretto quando:
$\Box$ Cout=0, S=11	$\square$ soc=1
$\Box$ Cout=1, S=00	$\square$ soc=0
$\Box$ Cout=1, S=11	□ eoc=1
□ Nessuna delle precedenti	□ eoc=0
La sequenza di bit 10010111 rappresenta:  ☐ Un numero intero negativo in base 2 ☐ Un numero intero negativo in base 16 ☐ Un numero naturale in base 10 e codifica BCD ☐ Qualunque delle precedenti	Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:  Dell'istruzione la cui fase di esecuzione sta per iniziare  Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in
	sequenza
Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita <i>q</i> alla fine?	<ul> <li>□ Dell'ultima istruzione eseguita per intero</li> <li>□ Nessuna delle precedenti</li> </ul>
<ul> <li>☐ Un valore casuale non prevedibile a priori</li> <li>☐ Oscilla continuamente</li> </ul>	
E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \ldots, X(N)$ distinti, tale che $X(j)$ è adiacente ad $X(j+1)$ .	
□ Falso	

	Cognome e nome:	
	Matricola:	
•	Consegna: Sì No	



## Barrare **una sola risposta** per domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una rete a due livelli di logica la cui uscita e presa da una porta XOR  □ Può essere soggetta ad alee statiche del primo ordine su entrambi i livelli □ Può essere soggetta ad AS 1° ordine soltanto sul livello 1 □ Può essere soggetta ad AS 1° ordine soltanto sul livello 0 □ Nessuna delle precedenti	sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 10, 00. Quanto vale l'uscita q alla fine?
<pre>reg [3:0] RR; [] S0: begin RR&lt;=10; STAR&lt;=S1; end S1: begin RR&lt;=RR-1;</pre>	E' sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1),, X(N)$ distinti.  Uero Falso
Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2?  0 15 7 Nessuna delle precedenti	Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:  Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso  Un circuito a più di due livelli di logica che riconosce gli stessi stati di ingresso
Dato un sommatore a 1 cifra in base 4 il cui stato di ingresso è x=10, y=01 Cin=0, lo stato di uscita è:  Cout=0, S=11 Cout=1, S=00 Cout=1, S=11 Nessuna delle precedenti	conosce gli stessi stati di ingresso  Un circuito che riconosce un insieme diverso di stati di ingresso  Nessuna delle precedenti  Un consumatore che ha un handshake /dav-rfd con ur produttore può prelevare il dato corretto quando:
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy Ritardato va a regime all'istante:	☐ /dav=1, rfd=1 ☐ /dav=1, rfd=0 ☐ /dav=0, rfd=1 ☐ /dav=0, rfd=0
<ul> <li>□ Nessuna delle precedenti</li> <li>Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:</li> <li>□ Dell'ultima istruzione eseguita per intero</li> <li>□ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza</li> <li>□ Dell'istruzione la cui fase di esecuzione sta per iniziare</li> </ul>	
□ Nessuna delle precedenti  La sequenza di bit 01010111 rappresenta:  □ Un numero intero in base 2  □ Un numero naturale in base 2  □ Un numero naturale in base 10 e codifica BCD  □ Qualunque delle precedenti	

	Cognome e nome:	_
	Matricola:	
•	Consegna: Sì No	



### Barrare **una sola risposta** per domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Se prendo un circuito in forma SP a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone	reg [3:0] RR; []
con una porta NAND (senza cambiare i collegamenti) ottengo:	S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;
☐ Un circuito a due livelli di logica che ricono-	STAR<=(RR==10)?S2:S1; end
sce gli stessi stati di ingresso	S2: begin
☐ Un circuito a più di due livelli di logica che ri- conosce gli stessi stati di ingresso	Dato il pezzo di descrizione riportato sopra, per quanti
☐ Un circuito che riconosce un insieme diverso	clock la rete resta in S1?
di stati di ingresso	□ 10
□ Nessuna delle precedenti	
The mate of due livelli di legion le qui provite à masse de	<ul><li>□ 9</li><li>□ Nessuna delle precedenti</li></ul>
Una rete a due livelli di logica la cui uscita è presa da una porta NOR	- Nessuna delle precedenti
☐ Può essere soggetta ad alee statiche del primo	Detto t l'istante in cui si ha il fronte di salita del clock,
ordine soltanto sul livello 0	l'uscita di una rete sequenziale sincronizzata di Moore
□ Può essere soggetta ad AS 1° ordine soltanto	va a regime:
sul livello 1	☐ All'istante t
☐ Può essere soggetta ad AS 1° ordine su entrambi i livelli	
□ Nessuna delle precedenti	□ Nessuna delle precedenti
- Nessuna dene precedenti	Tressula delle precedenti
Dato un sommatore a 1 cifra in base 3 il cui stato di	Un produttore che ha un handshake soc/eoc con un
ingresso è x=10, y=01 Cin=1, lo stato di uscita è:	consumatore deve tenere costante il proprio dato di
$\Box$ Cout=0, S=11	uscita quando:
$\Box$ Cout=1, S=00	$\Box$ eoc=1
□ Cout=1, S=11	o eoc=0
□ Nessuna delle precedenti	□ soc=0
La sequenza di bit 10110111 rappresenta:	$\square$ soc=1
☐ Un numero intero positivo in base 4	Alla fine della fase di chiamata (o fetch, o prelievo) il
☐ Un numero intero positivo in base 16	registro IP contiene di norma l'indirizzo:
☐ Un numero naturale in base 10 e codifica	☐ Dell'istruzione la cui fase di esecuzione sta
BCD	per iniziare
□ Nessuna delle precedenti	Della prossima istruzione da eseguire, ammes-
Sia dato un latch SR implementato a porte NAND, ini-	so che il flusso del programma prosegua in sequenza
zializzato a 1 al reset asincrono. La sequenza di ingres-	□ Dell'ultima istruzione eseguita per intero
si, fornita nel rispetto dei vincoli di temporizzazione, è	□ Nessuna delle precedenti
sr=00, 10, 11, 01, 11, 01, 00. Quanto vale l'uscita <i>q</i> alla	
fine?	
□ 0 □ 1	
☐ Un valore casuale non prevedibile a priori	
☐ Oscilla continuamente	
E' sempre possibile realizzare una rete sequenziale	
asincrona che riconosca una sequenza di stati di ingresso $X(1),, X(N)$ distinti, tale che $X(j)$ è adiacente ad	
So $X(1)$ ,, $X(N)$ distillit, tale the $X(j)$ e adiacente ad $X(j+1)$ .	
□ Vero	
□ Falso	

Cognome e nome	e:				
Matrico	ola:				
(	Consegna:	Sì 🗌	No 🗌		
	Matrico	Cognome e nome: Matricola: Consegna:		Matricola:	Matricola:



### Barrare **una sola risposta** per domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Una rete a due livelli di logica la cui uscita è presa da una porta NAND  □ Può essere soggetta ad alee statiche del primo ordine su entrambi i livelli □ Può essere soggetta ad AS 1° ordine soltanto sul livello 1 □ Può essere soggetta ad AS 1° ordine soltanto sul livello 0 □ Nessuna delle precedenti	Sia dato un latch SR implementato a porte NAND, inizializzato a 1 al reset asincrono. La sequenza di ingressi, fornita nel rispetto dei vincoli di temporizzazione, è sr=00, 10, 11, 01, 11, 10, 00. Quanto vale l'uscita q alla fine?
<pre>reg [3:0] RR; [] S0: begin RR&lt;=10; STAR&lt;=S1; end S1: begin RR&lt;=RR-1;</pre>	Non è sempre possibile realizzare una rete sequenziale asincrona che riconosca una sequenza di stati di ingresso $X(1), \ldots, X(N)$ distinti. $\Box$ Vero $\Box$ Falso
Dato il pezzo di descrizione riportato sopra, per quanti clock la rete resta in S1?  □ 10 □ 11 □ 9 □ Nessuna delle precedenti	Se prendo un circuito in forma PS a due livelli di logica e sostituisco ciascuna porta AND e OR che lo compone con una porta NOR (senza cambiare i collegamenti) ottengo:  Un circuito a due livelli di logica che riconosce gli stessi stati di ingresso Un circuito a più di due livelli di logica che ri-
Dato un sommatore a 1 cifra in base 4 il cui stato di ingresso è x=10, y=01 Cin=1, lo stato di uscita è:  Cout=0, S=11 Cout=1, S=00 Cout=1, S=11 Nessuna delle precedenti	conosce gli stessi stati di ingresso  Un circuito che riconosce un insieme diverso di stati di ingresso  Nessuna delle precedenti  Un produttore che ha un handshake /dav-rfd con un consumatore è tenuto a mantenere fermo il dato in usci-
Detto t l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Mealy Ritardato va a regime:  ☐ All'istante t ☐ All'istante t+T <sub>propagation</sub> ☐ Un po' dopo t+T <sub>propagation</sub> ☐ Nessuna delle precedenti	ta quando:    /dav=0, rfd=0   /dav=0, rfd=1   /dav=1, rfd=0   /dav=1, rfd=1
Alla fine della fase di chiamata (o fetch, o prelievo) il registro IP contiene di norma l'indirizzo:  □ Dell'ultima istruzione eseguita per intero □ Della prossima istruzione da eseguire, ammesso che il flusso del programma prosegua in sequenza □ Dell'istruzione la cui fase di esecuzione sta per iniziare □ Nessuna delle precedenti	
La sequenza di bit 10110111 rappresenta:  ☐ Un numero intero negativo in base 4 ☐ Un numero intero positivo in base 16 ☐ Un numero naturale in base 10 e codifica BCD ☐ Nessuna delle precedenti	

Cognome e nome:			
Matricola:		<del></del>	
Consegna:	Sì 🗌	No	
J			