

Cognome e Nome: \_\_\_\_\_ Matricola \_\_\_\_\_

Programma: vecchio (senza prova pratica) ☐ nuovo (con prova pratica) ☐

Prima della consegna barrare una delle due caselle sottostanti. L'opzione scelta non può essere modificata dopo la consegna.

Intendo sostenere la prova orale nell'appello di Febbraio. Prendo atto che, a seguito della mia decisione, le altre prove consegnate cesseranno di essere valide al termine di questo appello e non potranno essere usate per l'appello straordinario di Aprile. ☐

Ho diritto a ed intenzione di rimandare la prova orale all'appello straordinario di Aprile. Prendo atto che il mio diritto a rimandare la prova orale sarà oggetto di verifica, e che dovrò ripetere l'intero esame da capo se la verifica darà esiti negativi (per qualunque motivo). ☐

-----

**Esercizio 1**

1) Descrivere e sintetizzare un circuito che ha in ingresso un numero naturale a una cifra in base 6,  $X$ , ed un bit di riporto entrante,  $r_{in}$ , e produce in uscita un numero naturale a una cifra in base 6,  $Y$ , ed un bit  $r_{out}$ , dove:

$$X + r_{in} \cdot 6 = Y \cdot 2 + r_{out}$$

In altre parole,  $Y$  ed  $r_{out}$  sono il quoziente e resto della divisione per due del numero  $X$  (se  $r_{in} = 0$ ) o del numero  $X + 6$  (se  $r_{in} = 1$ ).

2) Usando il circuito di cui al punto precedente, sintetizzare un circuito che prende in input numeri in base 6 a  $n$  cifre e calcola resto e quoziente della loro divisione per due.

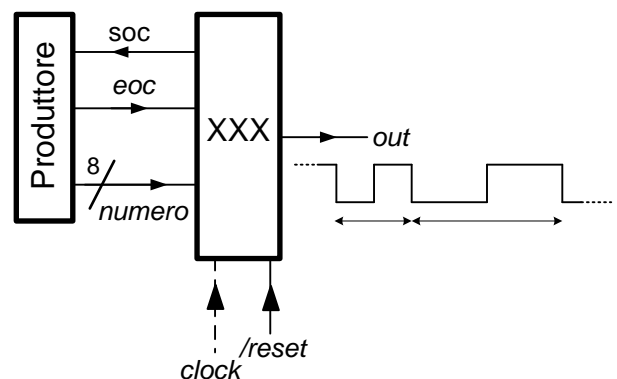
**Esercizio 2**

Descrivere l'Unità XXX in modo che la variabile di uscita *out* stia a 1 per un tempo pari a quello in cui è stata precedentemente a 0 e la durata in cui starà di nuovo a 0 dipenda dal *numero* che XXX preleva dal Produttore mentre *out* era a 1.

Più precisamente l'Unità XXX si evolve all'infinito nel seguente modo:

- 1) In una prima fase tiene *out* a 0 per un numero di clock pari all'ultimo *numero* che essa ha prelevato dal Produttore;
- 2) Entra quindi in una seconda fase in cui tiene *out* a 1 per uno stesso numero di clock. **Mentre è in corso** questa seconda fase, preleva anche dal Produttore un **nuovo numero**
- 3) Torna al punto 1;

Si tracci il diagramma temporale di una evoluzione completa di XXX. Si chiami NUMERO il registro che contiene il valore di *numero* prelevato da XXX mentre essa sta tenendo *out* a 1. Si chiami COUNT il registro utilizzato per il conteggio della durata di ciascuna delle due fasi e si descriva in Verilog la porzione della Parte Operativa che lo riguarda e poi la corrispondente struttura circuitale.



Si supponga che:

- Il Produttore emetta numeri abbastanza grandi e sia rapido cosicché l'handshake con XXX si concluda nel corso della seconda fase e termini sempre prima che essa termini (senza che si creino problemi a nessuno, di nessun tipo e per nessuna ragione).
- Al reset iniziale XXX ritenga di aver prelevato un *numero* uguale a 6, ovvero:
 

```
always @(reset == 0) begin
        OUT<=0; SOC<=0; NUMERO<=6;
        COUNT<=...; STAR<=S0; end
```

