

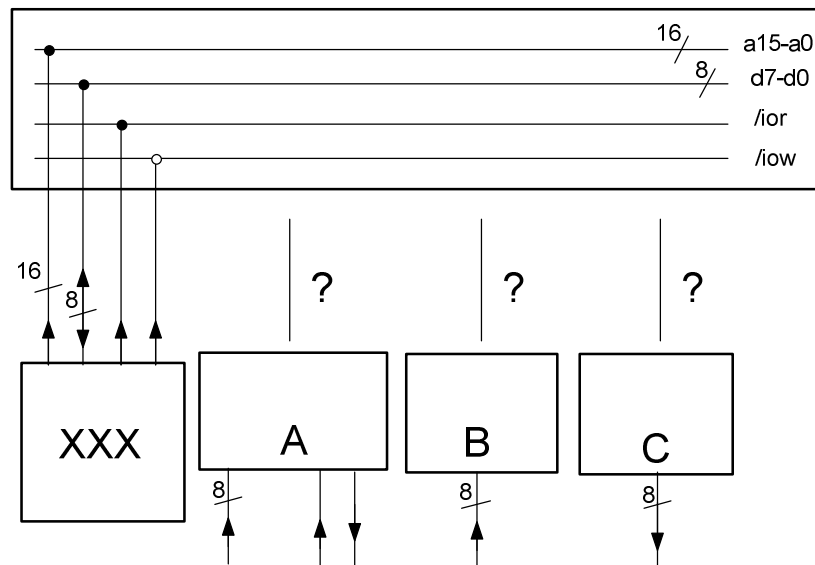
Esercizio 1

Sintetizzare, secondo il modello strutturale con flip-flop SR, la **rete sequenziale asincrona** con due variabili di ingresso e due variabili di uscita descritta dal grafo di flusso di figura. Per la sintesi della rete combinatoria che riceve in ingresso x_1, x_0 devono essere utilizzate solo porte NOR.

		x1,x0				z1,z0
		00	01	11	10	
S0	--	S1	S0	S2	11	
S1	S1	S1	S0	S2	01	
S2	S2	S1	S0	S2	10	

Esercizio 2

L'unità **XXX** è connessa a un bus sul quale sono montate, nello spazio di I/O, l'interfaccia **A** (parallela di ingresso **con** handshake) agli offset 'H0100 e 'H0101, l'interfaccia **B** (parallela di ingresso **senza** handshake) all'offset 'H0120 e l'interfaccia **C** (parallela di uscita **senza** handshake) all'offset 'H0140.



L'unità **XXX**, a regime, compie ciclicamente **impiegando esattamente 100 periodi di clock**, le seguenti azioni:

- Legge un byte dall'interfaccia **B**, lo somma (modulo 256) con l'ultimo byte letto dall'interfaccia **A**, interpretando i byte come rappresentazioni di numeri naturali. La prima volta si comporta come se avesse letto da **A** il byte 'H00.
 - Emette tramite l'interfaccia **C** il byte che rappresenta la somma.
 - Preleva un nuovo byte dall'interfaccia **A** e lo appoggia in un registro APP_A.
1. Descrivere la logica e i collegamenti tra le interfacce **A**, **B**, **C** e il bus.
 2. Descrivere l'unità **XXX** e sintetizzare la porzione di parte operativa relativa al registro A15_A0 di **XXX** che contiene gli indirizzi.

NOTA: Non inserire stati di wait nei cicli di lettura e/o scrittura nelle interfacce.