## **ELETTRONICA DIGITALE**

Corso di Laurea in Ingegneria Informatica

Prova scritta del 02 settembre 2015

## Esercizio A

$R_1 = 20 \text{ k}\Omega$	$R_{11} = 2.4 \text{ k}\Omega$	$V_{\text{cc}}$
$R_3 = 4 \text{ k}\Omega$	$R_{12} = 3 \text{ k}\Omega$	$\begin{array}{cccccccccccccccccccccccccccccccccccc$
$R_4 = 3.2 \text{ k}\Omega$	$R_{13} = 1 \text{ k}\Omega$	$R_{1}$ $R_{2}$ $R_{3}$ $R_{11}$
$R_5 = 1 \text{ k}\Omega$	$R_{14} = 20 \text{ k}\Omega$	$\left\{\begin{array}{cccccccccccccccccccccccccccccccccccc$
$R_6 = 1.5 \text{ k}\Omega$	$R_{15} = 50 \Omega$	$R_3$ $Q_2$ $C_3$ $R_{13}$
$R_7 = 2.3 \text{ k}\Omega$	$C_1 = 100 \text{ nF}$	$C_1$ $R_{15}$ $R_{10}$
$R_8 = 500 \Omega$	$C_2 = 10 \text{ nF}$	$\begin{bmatrix} R_2 \\ R_6 \end{bmatrix} \qquad \begin{bmatrix} R_{12} \\ R_{14} \end{bmatrix} \qquad \begin{bmatrix} R_{14} \\ R_{17} \end{bmatrix}$
$R_9 = 18.8 \text{ k}\Omega$	$C_3 = 68 \text{ nF}$	
$R_{10} = 8.6 \text{ k}\Omega$	$V_{CC} = 18 \text{ V}$	$\overline{m}$

 $Q_1$  è un transistore BJT BC109B resistivo con  $h_{re} = h_{oe} = 0$ ;  $Q_2$  è un transistore MOS a canale p resistivo, con la corrente di drain in saturazione data da  $I_D = k(V_{GS} - V_T)^2$  con k = 0.25 mA/V<sup>2</sup> e  $V_T = -1$  V;. Con riferimento al circuito in figura:

- Calcolare il valore della resistenza R<sub>2</sub> in modo che, in condizioni di riposo, la tensione sul source di Q<sub>2</sub> sia 12.6 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q<sub>2</sub>. (R: R<sub>2</sub> = 5274.5 Ω)
- 2) Determinare l'espressione e il valore di  $V_U/V_i$  alle frequenze per le quali  $C_1$ ,  $C_2$ , e  $C_3$  possono essere considerati dei corto circuiti. (R:  $V_U/V_i = -16.9$ )
- 3) (<u>Solo per 12 CFU</u>) Determinare la funzione di trasferimento  $V_U/V_i$  e tracciarne il diagramma di Bode quotato asintotico del modulo. (R:  $f_{z1} = 0$  Hz;  $f_{p1} = 17318.6$  Hz;  $f_{z2} = 6919.8$  Hz;  $f_{p2} = 8577.5$  Hz;  $f_{z3} = 0$  Hz;  $f_{p3} = 97.5$  Hz;)

## Esercizio B

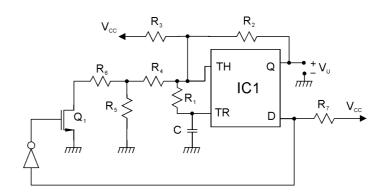
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \overline{DE} \left( \overline{A} B + \overline{C} \overline{D} \right) + \overline{A} \overline{B} \overline{D} + A B \overline{E}$$

Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

## Esercizio C

$R_1 = 200 \Omega$	$R_6 = 500 \Omega$
$R_2 = 500 \Omega$	$R_7 = 1 \text{ k}\Omega$
$R_3 = 2 k\Omega$	C = 47 nF
$R_4 = 500 \Omega$	$V_{CC} = 6 V$
$R_5 = 2 k\Omega$	



Il circuito  $IC_1$  è un NE555 alimentato a  $V_{CC} = 6V$ ,  $Q_1$  ha una  $R_{on} = 0$  e  $V_T = 1V$ ; l'inverter è ideale. Determinare la frequenza del segnale di uscita del multivibratore in figura. (R: f = 32564 Hz)