

Esercizio 2: Verilog

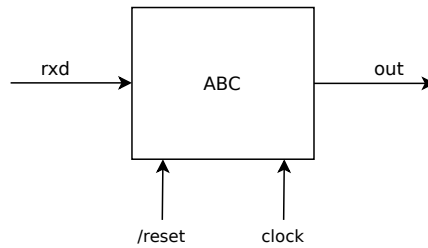


Figura 1: Schema del sistema

L'Unità ABC in fig. 1 è, rispetto alla variabile di ingresso rx, un ricevitore seriale di trame con 4 bit utili. Ogni volta che ha ricevuto una trama, ABC ne confronta i due bit più significativi con i due bit meno significativi: se il confronto dà esito positivo, cioè coincidono, ABC mette ad 1 la variabile out per un ciclo di clock, altrimenti lascia tale variabile a 0. Torna quindi ad aspettare una nuova trama, e così via all'infinito.

Il formato delle trame, illustrato in fig. 2, è diverso da quello visto a lezione, e non ci sono né il bit di START né il bit di STOP. Il bit ricevuto per primo è comunque il bit meno significativo dei 4 bit utili.

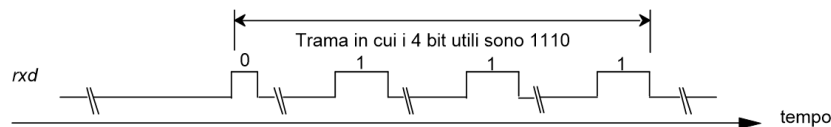


Figura 2: Formato delle trame di bit

In dettaglio:

- Tra un bit utile e un altro e tra una trama e un'altra, rx sta a 0 per un tempo imprecisato, ma sufficientemente lungo da non creare alcun problema di alcun tipo;
- L'arrivo di un bit utile è notificato dalla circostanza che rx va a 1;
- La durata della permanenza di rx a 1 indica se un bit utile vale 1 oppure 0, in accordo alle seguenti specifiche:
 - rx permane a 1 esclusivamente per 5 o per 10 cicli di clock
 - Se rx permane a 1 per 5 (cioè per 0101) cicli di clock, allora il bit utile vale 0
 - Se rx permane a 1 per 10 (cioè per 1010) cicli di clock, allora il bit utile vale 1

Descrivere e sintetizzare la rete ABC.

Durante la sintesi, specificare come commento alla parte controllo la struttura della ROM, assumendo una parte controllo sintetizzata secondo un modello basato su microindirizzi.

Per tutte le reti combinatorie non richieste dall'esercizio che lo studente ritenga necessario introdurre, si fornisca descrizione e sintesi.