

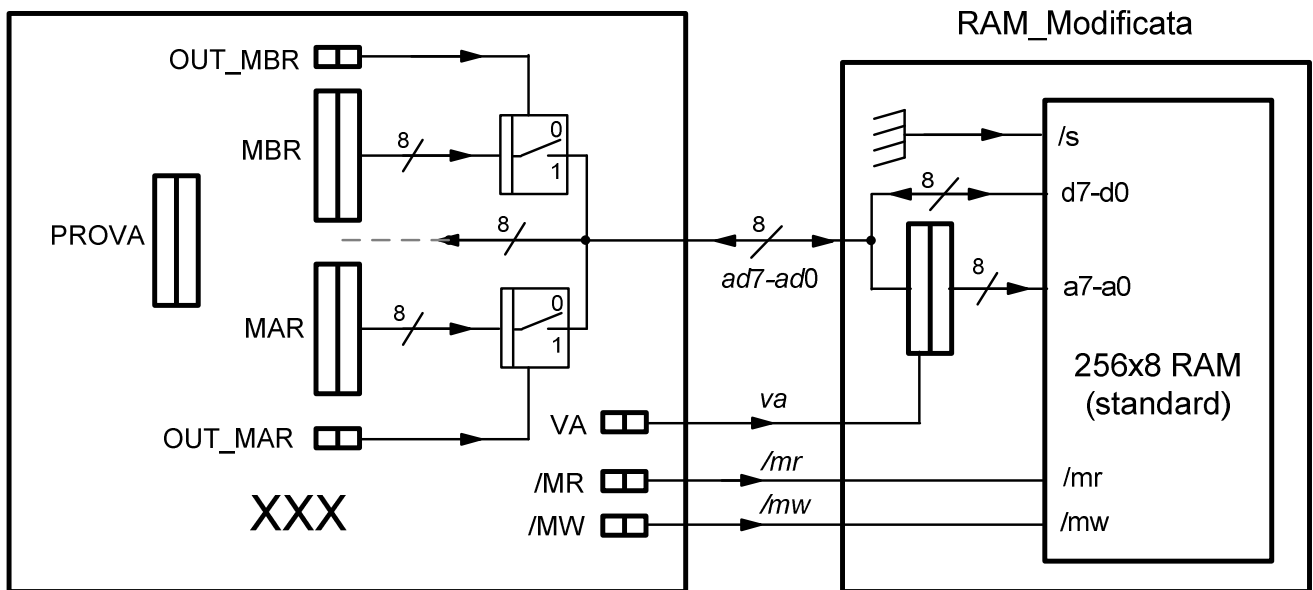
Esercizio 1

Sintetizzare una rete che ha in ingresso un numero naturale in base 10 su quattro cifre, codificate BCD (o 8421), e tre uscite d2, d5, d3, che valgono 1 se il numero in ingresso è divisibile per 2, 5 e 3 rispettivamente.

Descrivere esplicitamente qualunque rete non svolta a lezione.

Data la assoluta semplicità degli algoritmi richiesti, verrà valutata la *qualità* della soluzione.

Esercizio 2



L'Unità XXX usa, per accedere alla RAM_Modificata, un unico bus $ad7_ad0$ per gli indirizzi e per i dati. Durante un ciclo di accesso alla RAM_Modificata, l'Unità XXX prima immette sul bus gli indirizzi e poi utilizza il bus per i dati: la presenza di indirizzi validi è segnalata alla RAM_Modificata, dalla variabile va , che viene messa ad 1 per un ciclo di clock e poi riportata a 0. La RAM (standard) non necessita di stati di wait.

Scrivere in Verilog:

- 1) un microsottoprogramma che legga la locazione di memoria il cui indirizzo sia stato preventivamente depositato in MAR e che lasci nel registro MBR il contenuto della locazione letta.

```
read0: begin ... ; end
...
...
readF: begin ..; STAR<=MJR; end
```
- 2) un microsottoprogramma che scriva il contenuto di MBR nella locazione di memoria il cui indirizzo sia stato preventivamente depositato in MAR.

```
write0: begin ... ; end
...
...
writeF: begin ..; STAR<=MJR; end
```
- 3) Descrivere l'Unità XXX che, possedendo i micro sottoprogrammi di cui sopra, immetta il byte 'HAA nella locazione di indirizzo 231 e quindi legga questa locazione e ne immetta il contenuto nel registro PROVA.