

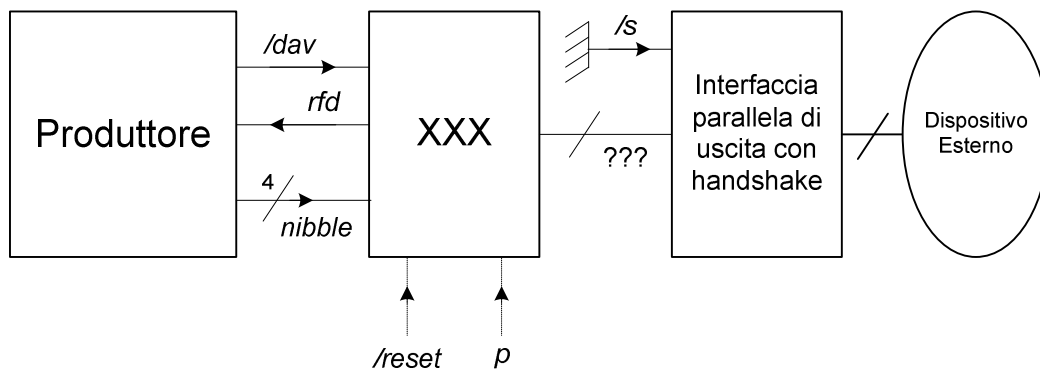
### Esercizio 1

Siano  $X$ ,  $Y$ , le rappresentazioni in complemento alla radice su 6 bit delle coordinate intere  $(x, y)$  del punto  $P$  su un piano cartesiano. Sintetizzare una rete combinatoria che riceve in ingresso  $X$  ed  $Y$ , e restituisce in uscita una variabile indicante un punteggio da 0 a 3, calcolato nel seguente modo:

- 3 punti, se  $P$  è interno ad un cerchio di raggio 4
- 2 punti, se  $P$  è esterno al cerchio precedente, ma interno ad un cerchio di raggio 8
- 1 punto, se  $P$  è esterno al cerchio precedente, ma interno ad un cerchio di raggio 16
- 0 altrimenti

Specificare tutte le reti non esplicitamente descritte a lezione.

### Esercizio 2



L'Unità  $XXX$  gestisce un Produttore di nibble (**4 bit**) e una Interfaccia Parallela di Uscita con Handshake e compie le seguenti operazioni:

1. Preleva due nibble dal Produttore costruendo un byte (il nibble prelevato per primo è considerato come la parte meno significativa del byte);
2. Elabora il byte **ottenendo un nuovo byte**;
3. Invia correttamente il nuovo byte all'Interfaccia Parallela di Uscita.
4. Torna al punto 1

L'elaborazione del byte è la seguente: il byte viene considerato come la rappresentazione in modulo e segno di un integer e viene trasformato in un nuovo byte atto a rappresentare in complemento a due lo stesso integer.

Disegnare i collegamenti tra l'unità e l'interfaccia parallela e descrivere l'Unità  $XXX$ . Nella descrizione usare un registro di nome MBR per costruire il byte dai due nibble e per immettervi poi il nuovo byte risultato della conversione.

Implementare solamente la porzione di Parte Operativa relativa al registro MBR, ma dettagliando al massimo sia in Verilog sia attraverso un equivalente schema circuitale.

---

### Es 1 - Una possibile soluzione

Detto  $k = |x|^2 + |y|^2$ , naturale rappresentabile su 12 bit, è necessario testare quale di questi casi sia vero:

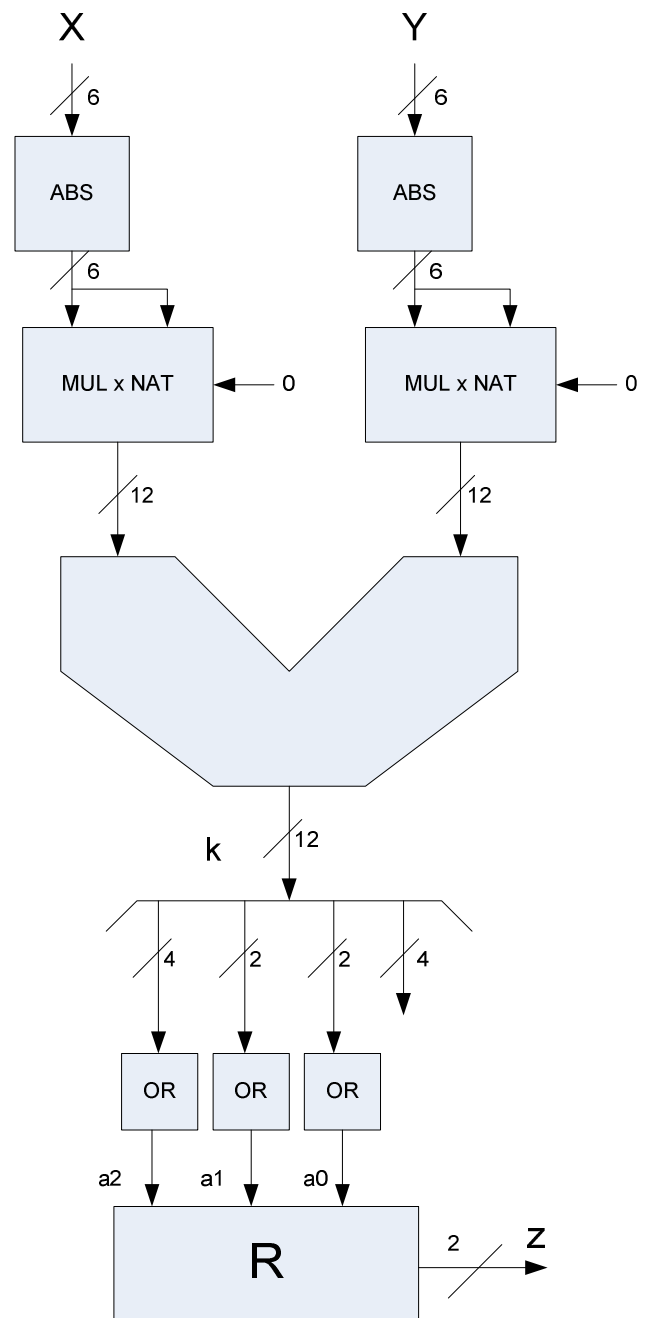
1.  $k < 16$
2.  $16 \leq k < 64$
3.  $64 \leq k < 256$
4.  $k \geq 256$

Lo si può fare guardando i bit più significativi del naturale  $k$ . In particolare,  $k \geq 256$  (64,16) se almeno uno dei 4 (6, 8) bit più significativi vale 1. La tabella di verità della rete  $R$  è la seguente:

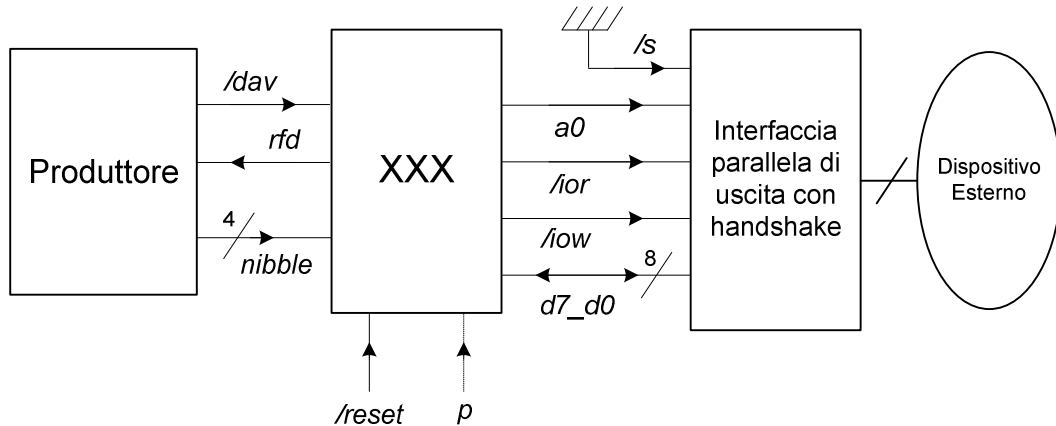
a2	a1	a0	z1	z0
1	-	-	0	0
0	1	-	0	1
0	0	1	1	0
0	0	0	1	1

Da cui si ricava immediatamente:

$$z_1 = \overline{a_2} \cdot \overline{a_1}, \quad z_0 = \overline{a_2} \cdot a_1 + \overline{a_2} \cdot a_0$$



## Es 2 - Una possibile soluzione



```

module XXX(dav_,rfd,nibble,a0,ior_,iow_,d7_d0, p,reset_);
  input p, reset_;
  input dav_;
  output rfd;
  input [3:0] nibble;
  output a0,ior_,iow_;
  inout [7:0] d7_d0;
  reg RFD;          assign rfd=RFD;
  reg A0,IOR_,IOW_; assign a0=A0; assign ior_=IOR_; assign iow_=IOW_;
  reg DIR;
  reg [7:0] MBR;     assign d7_d0=(DIR==1)?MBR:'HZZ';
  reg [3:0] STAR;
  parameter S0=0,S1=1,S2=2,S3=3,S4=4,S5=5,S6=6,S7=7,S8=8,S9=9,S10=10;
  always @(posedge p or negedge reset_)
    if (reset_==0) begin RFD=1; IOR_=1; IOW_=1; DIR=0; STAR=S0; end
    else #3
      casex(STAR)
        S0 : begin DIR<=0; MBR<='{H0,nibble}; STAR<=(dav_==1)?S0:S1; end
        S1 : begin RFD<=0; STAR<=(dav_==0)?S1:S2; end
        S2 : begin RFD<=1; MBR<='{nibble,MBR[3:0]};
                STAR<=(dav_==1)?S2:S3; end
        S3 : begin RFD<=0; STAR<=(dav_==0)?S3:S4; end
        S4 : begin RFD<=1; A0<=0; STAR<=S5; end
        S5 : begin IOR_<=0; STAR<=S6; end
        S6 : begin STAR<=S7; end
        S7 : begin IOR_<=1; STAR<=(d7_d0[5]==0)?S5:S8; end
        S8 : begin DIR<=1; A0<=1; MBR<=da_mes_a_comp(MBR[7],MBR[6:0]);
                STAR<=S9; end
        S9 : begin IOW_<=0; STAR<=S10; end
        S10: begin IOW_<=1; STAR<=S0; end
      endcase
  //Rete combinatoria che converte da modulo e segno a complemento a due
  function [7:0] da_mes_a_comp;
    input s; //segno
    input [6:0] modulo;
    da_mes_a_comp=(s==0)?{0,module}:{~{0,module}+1};
  endfunction
endmodule

```