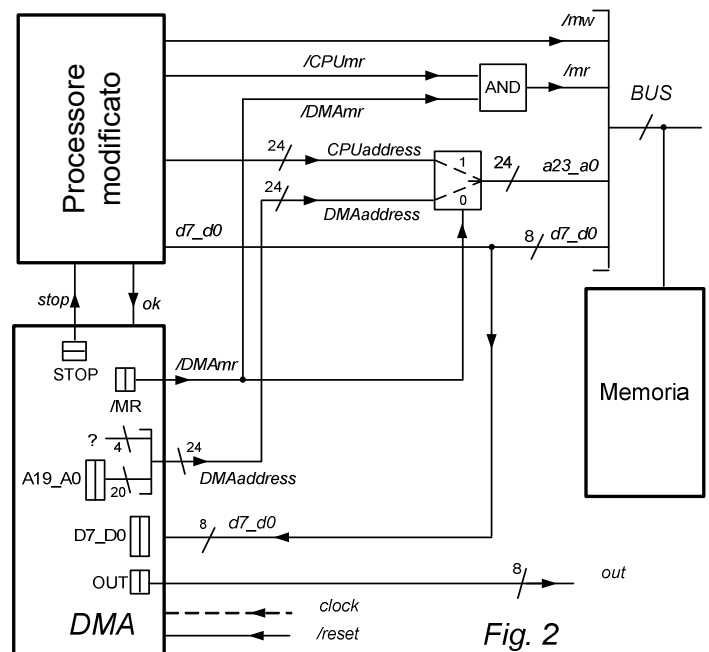
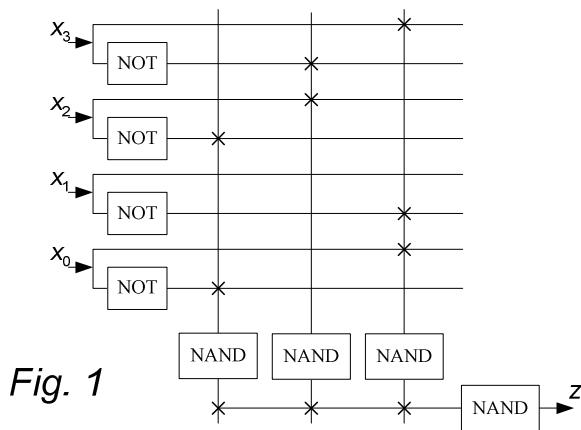


Cognome e Nome: \_\_\_\_\_ Matricola: \_\_\_\_\_

**Esercizio 1**

Individuare e classificare le alee del 1° ordine della rete combinatoria in Fig. 1. Modificare poi la rete in modo da eliminarle.

**Esercizio 2**

Al processore visto a lezione (Fig. 2) sono state aggiunte la variabile di ingresso *stop* e la variabile di uscita *ok* (inizializzata a 0 al reset asincrono), aventi le seguenti funzioni: quando *stop* viene messo a 1 dal circuito esterno *DMA*, il processore, entro un tempo inferiore alla decina di cicli di clock (ma non noto a priori) cessa di accedere alla memoria e pone *ok* a 1 e si blocca. Quando *stop* viene riportato a 0 il processore, entro un tempo inferiore alla decina di cicli di clock (ma non noto a priori), pone *ok* a 0 e riprende la sua normale evoluzione.

**Descrivere e sintetizzare** il circuito *DMA* in modo che esso emetta, all'infinito ed in modo ciclico, il contenuto delle locazioni di memoria a partire dalla locazione di indirizzo 'H000000, per un totale di  $2^{20}$  locazioni. I byte contenuti nelle locazioni debbono essere emessi tramite la variabile di uscita *out* uno dopo l'altro ad un ritmo di uno ogni 1024 cicli di clock. Quando il circuito *DMA* intende compiere un ciclo di lettura in memoria, si preoccupa preventivamente di bloccare il processore ponendo *stop* ad 1 (al reset *stop* è inizializzato a 0) e attendendo che *ok* vada ad 1; terminato il ciclo di lettura riporta *stop* a 0, sbloccando il processore (che così può tranquillamente lavorare) e verifica che *ok* sia tornato a 0 prima di iniziare un nuovo ciclo. Si supponga la memoria sufficientemente veloce da non dover inserire stati di wait nei cicli di lettura.

Cognome e Nome: \_\_\_\_\_ Matricola: \_\_\_\_\_

### Soluzione esercizio 1

Dal circuito a sole porte NAND si ricava per ispezione diretta la seguente forma SP corrispondente:

$$z = \bar{x}_2 \cdot \bar{x}_0 + \bar{x}_3 \cdot x_2 + x_3 \cdot \bar{x}_1 \cdot x_0$$

La rete è stata quindi implementata come riportato nella seguente mappa di Karnaugh:

		$x_3x_2$			
		$x_1x_0$	00	01	11
$x_1x_0$	00	1	1	0	1
	01	0	1	1	1
	11	0	1	0	0
	10	1	1	0	1

Si può rilevare la presenza di alee statiche sull'uno (p.e., nel passaggio dallo stato di ingresso da 0000 a 0100). Il circuito privo di alee si ottiene aggiungendo alla lista i sottocubi principali evidenziati in rosso nella seguente mappa.

		$x_3x_2$			
		$x_1x_0$	00	01	11
$x_1x_0$	00	1	1	0	1
	01	0	1	1	1
	11	0	1	0	0
	10	1	1	0	1

La forma SP ridondante che si ottiene è:

$$z = \bar{x}_2 \cdot \bar{x}_0 + \bar{x}_3 \cdot x_2 + x_3 \cdot \bar{x}_1 \cdot x_0 + \bar{x}_3 \cdot \bar{x}_0 + x_2 \cdot \bar{x}_1 \cdot x_0 + x_3 \cdot \bar{x}_2 \cdot \bar{x}_1$$

Cognome e Nome: \_\_\_\_\_ Matricola: \_\_\_\_\_

**Esercizio 2 - Soluzione**

```

module Good(d7_d0,DMAaddress,DMAmr_,stop,ok,out,clock,reset_);
  input      clock ,reset_;
  input  [7:0] d7_d0;
  input      ok;
  output     stop;
  output  [7:0] out;
  output     DMAmr_;
  output [23:0] DMAaddress;

  reg        STOP;      assign  stop=STOP;
  reg [7:0]    OUT;      assign  out=OUT;
  reg        MR_;       assign  DMAmr_=MR_;
  reg [19:0]  A19_A0;    assign  DMAaddress={ 'H0,A19_A0 };

  reg [7:0]    D7_D0;
  reg [11:0]   COUNT;

  reg [2:0]    STAR;     parameter S0=0,S1=1,S2=2,S3=3,S4=4;

  parameter num_clock=10;

  always @(reset_==0) begin MR_=1; A19_A0<=0; COUNT<=num_clock; STOP=0; STAR=S0; end
  always @(posedge clock) if (reset_==1) #3
    casex(STAR)
      S0: begin COUNT<=COUNT-1; STOP<=1; STAR<=(ok==1)?S1:S0; end
      S1: begin COUNT<=COUNT-1; MR_<=0; STAR<=S2; end
      S2: begin COUNT<=COUNT-1; D7_D0<=d7_d0; A19_A0<=A19_A0+1; STOP<=0; MR_<=1;
            STAR<=S3; end
      S3: begin COUNT<=COUNT-1; STAR<=(ok==0)?S4:S3; end
      S4: begin COUNT<=(COUNT==1)?num_clock:(COUNT-1); OUT<=(COUNT==1)?D7_D0:OUT;
            STAR<=(COUNT==1)?S0:S4; end
    endcase
endmodule

```