

Esercizio 1

- 1) Descrivere, secondo un modello campionario-ritardatore il *flip-flop T*. Questo è un circuito con due ingressi, t (*toggle*) e p . Il FF-T si distingue dal FF-D-ET perché sul fronte in salita di p campiona il valore di t , e *conserva* se $t=0$ o *commuta* se $t=1$.
- 2) Sintetizzare il campionario, utilizzando un elemento neutro come elemento di marcatura. Detto t_{CN} il tempo di attraversamento della rete combinatoria CN1, dimensionare:
 - a) il ritardo minimo richiesto per il meccanismo di marcatura
 - b) il tempo di permanenza minimo di uno stato di ingresso
- 3) Sintetizzare in maniera euristica un FF-T a partire da:
 - a) un FF-D-ET
 - b) un FF-JK

Esercizio 2

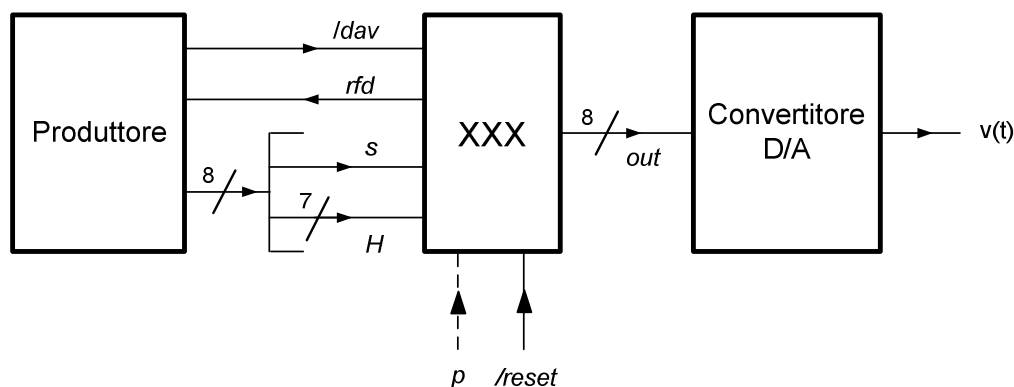
Descrivere e sintetizzare l'unità XXX di Fig. 1 nelle seguenti ipotesi:

L'unità XXX è normalmente a riposo e invia al convertitore D/A un byte che il convertitore traduce in $v(t)=0$. Quando l'unità XXX riceve dal produttore una nuova coppia (segno s , altezza H) gestisce la variabile di uscita *out* in modo da indurre il convertitore D/A a generare, tramite $v(t)$, un segnale triangolare di altezza $k \cdot H$ (con k costante caratteristica del Convertitore) e di polarità positiva se s vale 0 e negativa se s vale 1. Il Convertitore D/A lavora in binario bipolare (cioè interpreta *out* come la rappresentazione in traslazione di un intero).

Completare, come controprova del funzionamento dell'unità descritta, il suo diagramma di temporizzazione

NOTE:

- Si faccia attenzione che H è un numero naturale su 7 bit
- Si convenga che H è sempre maggiore di 1
- Nessuna descrizione o schema debbono essere fatti relativamente al Produttore e al Convertitore.



Nella figura è esemplificata una evoluzione consistente prima con il caso $s=0$ e $H=2$ e poi con il caso $s=1$ e $H=2$.

