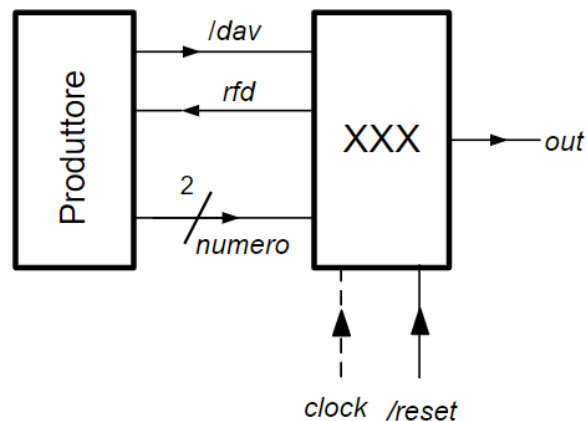


28 Gennaio 2020 - Esercizio 2



Descrivere in Verilog l'Unità XXX che, partendo da uno stato iniziale, preleva dal Produttore un numero naturale *numero* a due bit e lo notifica tramite la variabile *out* comportandosi come segue:

1. Tiene *out* a 0 in assenza di un nuovo *numero*
2. In base al *numero* prelevato (0, 1, 2 o 3) tiene *out* a 1 per, rispettivamente, 2, 4, 6 o 8 cicli di clock.
3. Torna al punto 1 e così via all'infinito.

Descrivere il dispositivo in Verilog. A tale scopo, è fornito il file *testbench.v*, contenente dei casi di test per la verifica della soluzione proposta.

Detto *COUNT* il registro con cui viene effettuato il conteggio del numero dei cicli in cui *out* sta a 1, disegnare, nel maggior dettaglio possibile, la porzione di Parte Operativa relativa a tale registro.