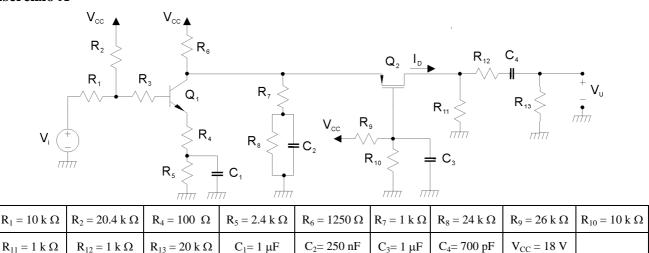
ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 19 luglio 2013

Esercizio A



 Q_1 è un transistore BJT BC109B resistivo con $h_{re} = h_{oe} = 0$. Q_2 è un transistore MOS a canale p resistivo, con la corrente di drain in saturazione data da $I_D = k (V_{GS} - V_T)^2$ con k = 0.25 mA/V² e $V_T = -1$ V. Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R_3 in modo che, in condizioni di riposo, la tensione di drain di Q_2 sia 4 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q_2 . (R: $R_3 = 25342.1 \Omega$)
- 2) Determinare V_U/V_i alle frequenze per le quali C_1 , C_2 , C_3 e C_4 possono essere considerati dei corto circuiti. (R: $V_U/V_i = -1.44$)
- 3) (<u>Solo per 12 CFU</u>) Determinare la funzione di trasferimento V_U/V_i e tracciarne il diagramma di Bode quotato asintotico del modulo. (R: $f_{z1} = 66.31$ Hz; $f_{p1} = 7781.83$ Hz; $f_{z2} = 663.14$ Hz; $f_{p2} = 495.61$ Hz; $f_{z4} = 0$ Hz; $f_{p4} = 10334.74$ Hz)

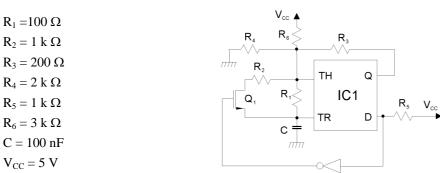
Esercizio B

Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \overline{BC} \left(\overline{\overline{A}D} + \overline{C}E \right) + AC + \overline{B}D$$

Determinare il numero di transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

Esercizio C



Il circuito IC_1 è un NE555 alimentato a $V_{CC} = 5V$, Q_1 ha una $R_{on} = 0$ e $V_T = 1$ V, l'inverter è ideale. Determinare la frequenza del segnale di uscita del multivibratore in figura. (R: f = 41076.76 Hz)