# Domande di Reti Logiche - compito del 08/01/2020



#### Barrare una sola risposta per domanda

Il punteggio finale è  $-1 \times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere  DIV %BL DIV %AX, %BL MOV \$0, %DX MOV \$0, %BH DIV %BX Nessuna delle precedenti  ADD %AL, %BL
O PRO	Quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, <u>e</u> 0 dentro CF?
NOON	☐ AL=0100_0000, BL=0100_0000 ☐ AL=1000_0000, BL=1000_0000
	<ul><li>□ AL=1111_1111, BL=0000_0001</li><li>□ Nessuna delle precedenti</li></ul>
	Sia data una stringa di $n$ bit, in cui il primo bit rappresenta il segno e gli altri $n$ -1 bit il modulo di un intero $x$ . La rappresentazione di $x$ in complemento a due su $n$ bit: $\Box$ È possibile solo se $x$ è positivo $\Box$ È possibile solo se $x$ è negativo $\Box$ È sempre possibile $\Box$ Nessuna delle precedenti $ 2X _m = 2 X _m$ $\Box$ Vero
	<ul><li>☐ Falso</li><li>☐ Nessuna delle precedenti</li></ul>
	$\bar{a}b + a + \bar{a}\bar{b} =$ $0$ $1$ $a$ $a$ Nessuna delle precedenti
	In un D-Flip-Flop, se l'ingresso $d$ varia $all'interno$ $dell'intervallo$ $[t-T_{setup};t+T_{hold}]$ rispetto al fronte di salita del clock (che si suppone sia all'istante $t$ ), l'uscita $q$ Vale 0 o 1, in modo non predicibile  Oscilla  E in alta impedenza  Nessuna delle precedenti
	Un ricevitore seriale si rende conto che una nuova trama è iniziata quando

Il trasmettitore mette /dav a 0 Il trasmettitore mette eoc a 1

Nessuna delle precedenti

Il trasmettitore invia una sequenza di escape

```
reg [1:0] A,B;
[...]
S0: begin A<=1; B<=2; STAR<=S1; end
S1: begin A<=B; B<=A; STAR<=S2; end
S2: begin B<=A; A<=B; STAR<=S3; end
S3: [...]
Dato il pezzo di descrizione riportato sopra, cosa conten-
gono i registri A e B nello stato S3?
    \Box A=1. B=2
        A=2, B=2
        Entrambi contengono valori casuali, che dipen-
         dono da quale registro vince la corsa
        Nessuna delle precedenti
In una rete sequenziale sincronizzata siano X[j] e S[j] lo
stato di ingresso ed interno presenti dopo il j-simo clock.
La legge A() che aggiorna lo stato interno è:
\square S[j+1] = A(X[j],S[j])
\Box S[j+1] = A(X[j+1],S[j])
\Box S[j+1] = A(X[j],S[j+1])
□ Nessuna delle precedenti, in quanto la risposta dipen-
   de dal tipo di rete (Moore, Mealy, Mealy ritardato)
Un'interfaccia gestibile ad interruzione di programma ri-
porta a zero il flag IE quando:
☐ Il processore mette inta ad 1
☐ Il controllore di interruzione mette a 0 il bit relativo a
   quell'interfaccia in un proprio registro interno
   Il processore scrive qualcosa nel type register TR_i,
   relativo a quell'interfaccia, che si trova nel controllore
   di interruzione
☐ Nessuna delle precedenti
Nel D-Flip-Flop 7474, il ritardatore è:
    Una rete combinatoria
    Un Latch SR
                                                            VECCHIO PROGRAMMA
    Una rete sequenziale sincronizzata
    Nessuna delle precedenti
Un circuito formatore di impulsi P+ è:
☐ Una rete combinatoria
    Una rete sequenziale sincronizzata
    Una rete sequenziale asincrona
    Nessuna delle precedenti
```

	Domai	nde di Reti Logiche	– compito del (	08/01/2020	
Y	Cognome e nome	:			
	Matrico	la:			
	C	Consegna:	Sì 🗌	No	

# Domande di Reti Logiche - compito del 08/01/2020



### Barrare una sola risposta per domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

	<u> </u>	
NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere  DIV %BL DIV %AX, %BL MOV \$0, %DX MOV \$0, %BH DIV %BX  Nessuna delle precedenti	reg [ []
NUOVO PROGRAMI	ADD %AL, %BL  Quale delle seguenti configurazioni degli operandi scrive  1 dentro OF, <u>e</u> 0 dentro CF?   AL=0100_0000, BL=0100_0000  AL=1000_0000, BL=1000_0000  AL=1111_1111, BL=0000_0001  Nessuna delle precedenti	☐  In una stato d  La leg
	Sia data una stringa di $n$ bit, in cui il primo bit rappresenta il segno e gli altri $n$ -1 bit il modulo di un intero $x$ . La rappresentazione di $x$ in complemento a due su $n$ bit: $\Box$ È possibile solo se $x$ è positivo $\Box$ È possibile solo se $x$ è negativo $\Box$ È sempre possibile $\Box$ Nessuna delle precedenti $ 2X _m = 2 X _m$ $\Box$ Vero $\Box$ Falso $\Box$ Nessuna delle precedenti $\bar{a}b + a + \bar{a}\bar{b} = \Box$	☐ S[j ☐ S[j ☐ Ne    de  Un'int porta a ☐ Il p ☐ ue ☐ Il j ☐ rela di i ☐ Ne
	<ul> <li>□ 0</li> <li>□ 1</li> <li>□ a</li> <li>□ Nessuna delle precedenti</li> </ul> In un D-Flip-Flop, se l'ingresso d varia all'interno dell'intervallo [t - T <sub>setup</sub> ; t + T <sub>hold</sub> ] rispetto al fronte di salita del clock (che si suppone sia all'istante t), l'uscita q <ul> <li>□ Vale 0 o 1, in modo non predicibile</li> <li>□ Oscilla</li> <li>□ È in alta impedenza</li> <li>□ Nessuna delle precedenti</li> </ul> Un ricevitore seriale si rende conto che una nuova trama è iniziata quando <ul> <li>□ Il trasmettitore mette /dav a 0</li> </ul>	Nel D-
	☐ Il trasmettitore mette eoc a 1	

Il trasmettitore invia una sequenza di escape

Nessuna delle precedenti

```
[1:0] A,B;
egin A<=1; B<=2; STAR<=S1; end
egin A<=B; B<=A; STAR<=S2; end
egin B<=A; A<=B; STAR<=S3; end
pezzo di descrizione riportato sopra, cosa conten-
registri A e B nello stato S3?
  A=1. B=2
  A=2, B=2
  Entrambi contengono valori casuali, che dipen-
  dono da quale registro vince la corsa
  Nessuna delle precedenti
rete sequenziale sincronizzata siano X[j] e S[j] lo
li ingresso ed interno presenti dopo il j-simo clock.
ge A() che aggiorna lo stato interno è:
+1] = A(X[j], S[j])
+1] = A(X[j+1], S[j])
+1] = A(X[j], S[j+1])
ssuna delle precedenti, in quanto la risposta dipen-
dal tipo di rete (Moore, Mealy, Mealy ritardato)
terfaccia gestibile ad interruzione di programma ri-
zero il flag IE quando:
processore mette inta ad 1
controllore di interruzione mette a 0 il bit relativo a
ell'interfaccia in un proprio registro interno
processore scrive qualcosa nel type register TR_i,
ativo a quell'interfaccia, che si trova nel controllore
interruzione
ssuna delle precedenti
-Flip-Flop 7474, il ritardatore è:
na rete combinatoria
n Latch SR
                                                       VECCHIO PROGRAMMA
na rete sequenziale sincronizzata
essuna delle precedenti
cuito formatore di impulsi P+ è:
na rete combinatoria
na rete sequenziale sincronizzata
na rete sequenziale asincrona
essuna delle precedenti
```

Doi	mande di Reti Logiche	– compito del	08/01/2020	
Cognome e nor	ne:			
Matri	cola:		·	
	Consegna:	Sì 🗌	No	

### Domande di Reti Logiche - compito del 08/01/2020



#### Barrare una sola risposta per domanda

Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere  DIV %BL DIV %AX, %BL MOV \$0, %DX MOV \$0, %BH DIV %BX  Nessuna delle precedenti
NUOVO PROGRAN	ADD %AL, %BL  Quale delle seguenti configurazioni degli operandi scrive  1 dentro OF, e 0 dentro CF?  AL=0100_0000, BL=0100_0000  AL=1000_0000, BL=1000_0000  AL=1111_1111, BL=0000_0001  Nessuna delle precedenti
	Sia data una stringa di <i>n</i> bit, in cui il primo bit rappresenta il segno e gli altri <i>n</i> -1 bit il modulo di un intero <i>x</i> . La rappresentazione di <i>x</i> in complemento a due su <i>n</i> bit:  ☐ È possibile solo se <i>x</i> è positivo ☐ È possibile solo se <i>x</i> è negativo ☐ È sempre possibile ☐ Nessuna delle precedenti
	$ 2X _m = 2 X _m$ $\square$ Vero $\square$ Falso $\square$ Nessuna delle precedenti
	$\bar{a}b + a + \bar{a}\bar{b} =$ $0$ $1$ $a$ $a$ Nessuna delle precedenti
	In un D-Flip-Flop, se l'ingresso $d$ varia $all'interno$ $dell'intervallo$ $[t - T_{setup}; t + T_{hold}]$ rispetto al fronte di salita del clock (che si suppone sia all'istante $t$ ), l'uscita $q$ Vale 0 o 1, in modo non predicibile  Oscilla  E in alta impedenza  Nessuna delle precedenti

Un ricevitore seriale si rende conto che una nuova trama

Il trasmettitore invia una sequenza di escape

Il trasmettitore mette /dav a 0 Il trasmettitore mette eoc a 1

Nessuna delle precedenti

è iniziata quando

```
reg [1:0] A,B;
[...]
S0: begin A<=1; B<=2; STAR<=S1; end
S1: begin A<=B; B<=A; STAR<=S2; end
S2: begin B<=A; A<=B; STAR<=S3; end
S3: [...]
Dato il pezzo di descrizione riportato sopra, cosa conten-
gono i registri A e B nello stato S3?
    \Box A=1. B=2
        A=2, B=2
        Entrambi contengono valori casuali, che dipen-
         dono da quale registro vince la corsa
        Nessuna delle precedenti
In una rete sequenziale sincronizzata siano X[j] e S[j] lo
stato di ingresso ed interno presenti dopo il j-simo clock.
La legge A() che aggiorna lo stato interno è:
\square S[j+1] = A(X[j],S[j])
\Box S[j+1] = A(X[j+1],S[j])
\Box S[j+1] = A(X[j],S[j+1])
□ Nessuna delle precedenti, in quanto la risposta dipen-
   de dal tipo di rete (Moore, Mealy, Mealy ritardato)
Un'interfaccia gestibile ad interruzione di programma ri-
porta a zero il flag IE quando:
☐ Il processore mette inta ad 1
☐ Il controllore di interruzione mette a 0 il bit relativo a
   quell'interfaccia in un proprio registro interno
   Il processore scrive qualcosa nel type register TR_i,
   relativo a quell'interfaccia, che si trova nel controllore
   di interruzione
☐ Nessuna delle precedenti
Nel D-Flip-Flop 7474, il ritardatore è:
    Una rete combinatoria
    Un Latch SR
                                                            VECCHIO PROGRAMMA
    Una rete sequenziale sincronizzata
    Nessuna delle precedenti
Un circuito formatore di impulsi P+ è:
☐ Una rete combinatoria
    Una rete sequenziale sincronizzata
    Una rete sequenziale asincrona
    Nessuna delle precedenti
```

Domande di Reti Logiche – compito	del 08/01/2020
Cognome e nome:  Matricola:	
Matricola:	
Consegna: Sì	No

#### Barrare una sola risposta per domanda

Il punteggio finale è -1  $\times$  (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

_	
egg.)	AX contiene un naturale compreso tra 4000 e 10000, e BL contiene un naturale tra 20 e 200. Per poter svolgere la divisione in ogni caso devo scrivere
e St	
/19	□ DIV %AX, %BL □ MOV \$0, %DX
018	MOV \$0, %BH
a. 2	DIV %BX
۱ (a.	□ Nessuna delle precedenti
MMA	1 Nessula delle precedenti
NUOVO PROGRAMMA (a.a. 2018/19 e segg.)	ADD %AL, %BL  Quale delle seguenti configurazioni degli operandi scrive
PR	1 dentro OF, <u>e</u> 0 dentro CF?
000	□ AL=0100 0000, BL=0100 0000
N	□ AL=1000 0000, BL=1000 0000
	□ AL=1111 1111, BL=0000 0001
	□ Nessuna delle precedenti
	rappresentazione di $x$ in complemento a due su $n$ bit: $\Box$ È possibile solo se $x$ è positivo $\Box$ È possibile solo se $x$ è negativo $\Box$ È sempre possibile $\Box$ Nessuna delle precedenti $ 2X _m = 2 X _m$
	□ Vero
	☐ Falso
	□ Nessuna delle precedenti
	$\bar{a}b + a + \bar{a}\bar{b} =$
	$\Box$ 0
	$\Box$ 1
	$\Box$ a
	☐ Nessuna delle precedenti
	In un D-Flip-Flop, se l'ingresso $d$ varia all'interno dell'intervallo $[t - T_{setup}; t + T_{hold}]$ rispetto al fronte di salita del clock (che si suppone sia all'istante $t$ ), l'uscita $q$ Vale 0 o 1, in modo non predicibile  Oscilla
	È in alta impedenza
	☐ Nessuna delle precedenti
	Un ricevitore seriale si rende conto che una nuova trama è iniziata quando
	☐ Il trasmettitore mette /dav a 0

Il trasmettitore mette eoc a 1

Nessuna delle precedenti

Il trasmettitore invia una sequenza di escape

```
reg [1:0] A,B;
[...]
S0: begin A<=1; B<=2; STAR<=S1; end
S1: begin A<=B; B<=A; STAR<=S2; end
S2: begin B<=A; A<=B; STAR<=S3; end
S3: [...]
Dato il pezzo di descrizione riportato sopra, cosa conten-
gono i registri A e B nello stato S3?
    \Box A=1. B=2
        A=2, B=2
        Entrambi contengono valori casuali, che dipen-
         dono da quale registro vince la corsa
        Nessuna delle precedenti
In una rete sequenziale sincronizzata siano X[j] e S[j] lo
stato di ingresso ed interno presenti dopo il j-simo clock.
La legge A() che aggiorna lo stato interno è:
\square S[j+1] = A(X[j],S[j])
\Box S[j+1] = A(X[j+1],S[j])
\Box S[j+1] = A(X[j],S[j+1])
□ Nessuna delle precedenti, in quanto la risposta dipen-
   de dal tipo di rete (Moore, Mealy, Mealy ritardato)
Un'interfaccia gestibile ad interruzione di programma ri-
porta a zero il flag IE quando:
☐ Il processore mette inta ad 1
☐ Il controllore di interruzione mette a 0 il bit relativo a
   quell'interfaccia in un proprio registro interno
   Il processore scrive qualcosa nel type register TR_i,
   relativo a quell'interfaccia, che si trova nel controllore
   di interruzione
☐ Nessuna delle precedenti
Nel D-Flip-Flop 7474, il ritardatore è:
    Una rete combinatoria
    Un Latch SR
                                                            VECCHIO PROGRAMMA
    Una rete sequenziale sincronizzata
    Nessuna delle precedenti
Un circuito formatore di impulsi P+ è:
☐ Una rete combinatoria
    Una rete sequenziale sincronizzata
    Una rete sequenziale asincrona
    Nessuna delle precedenti
```

Do	mande di Reti Logiche	– compito del	08/01/2020	
Cognome e no	me:			
Matr	icola:			
	Consegna:	Sì 🗌	No	