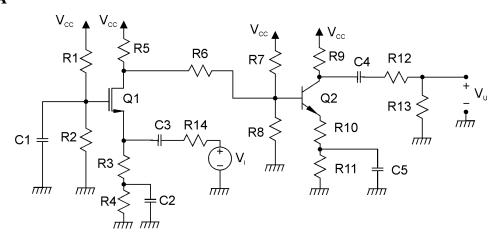
### ELETTRONICA DIGITALE

Corso di Laurea in Ingegneria Informatica

Prova scritta del 19 febbraio 2024

#### Esercizio A



$R1 = 40 \text{ k}\Omega$	$R2 = 20 \text{ k}\Omega$	$R3 = 500 \Omega$	$R5 = 10 \text{ k}\Omega$	$R6 = 290 \Omega$	$R7 = 9300 \Omega$	$R8 = 870 \text{ k}\Omega$
$R9 = 2.5 \text{ k}\Omega$	$R10 = 350 \Omega$	$R11 = 3.65 \text{ k}\Omega$	$R12 = 100 \Omega$	$R13 = 7.9 \text{ k}\Omega$	$R14 = 50 \Omega$	VCC = 18 V

Q1 è un transistore MOS a canale n resistivo con  $V_T = 1$  V e la corrente di drain in saturazione data da  $I_D = k(V_{GS-V_T})^2$  con k = 0.5 mA/V<sup>2</sup>. Q2 è un transistore BJT BC109B resistivo con  $h_{re} = h_{oe} = 0$ . Con riferimento al circuito in figura:

- 1) Calcolare il valore della resistenza R4 in modo che, in condizioni di riposo, la tensione sul collettore di Q2 sia 13 V. Determinare, inoltre, il punto di riposo dei due transistori e verificare la saturazione di Q1.
- 2) Determinare l'espressione e il valore di  $V_U/V_i$  alle frequenze per le quali i condensatori possono essere considerati dei corto circuiti.

## Esercizio B

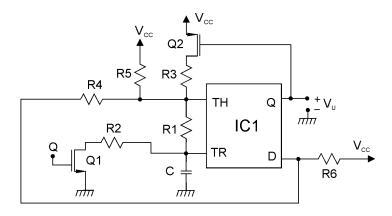
Progettare una porta logica in tecnologia CMOS, utilizzando la tecnica della pull-up network e della pull-down network, che implementi la funzione logica:

$$Y = \overline{A} \cdot \left(\overline{B} + \overline{C}\right) + C \cdot \left(D + \overline{E}\right)$$

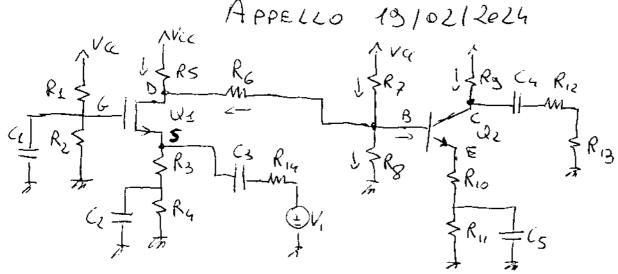
Determinare il numero dei transistori necessari e disegnarne lo schema completo. Dimensionare inoltre il rapporto (W/L) di tutti i transistori, assumendo, per l'inverter di base, W/L pari a 2 per il MOS a canale n e pari a 5 per quello a canale p. Si specifichino i dettagli della procedura di dimensionamento dei transistori.

### Esercizio C

R1= 200 Ω	$R5 = 2 k\Omega$
$R2 = 4.8 \text{ k}\Omega$	$R6 = 1.8 \text{ k}\Omega$
$R3 = 2 k\Omega$	$C = 0.22 \mu F$
$R4 = 200 \ \Omega$	$V_{CC} = 6$



Il circuito  $IC_1$  è un NE555 alimentato a  $V_{CC} = 6$  V; Q1 ha  $R_{on} = 0$  e  $V_{Tn} = 1$ V; Q2 ha  $R_{on} = 0$  e  $V_{Tp} = -1$ V. Verificare che il circuito si comporta come un multivibratore astabile e determinare la frequenza del segnale di uscita.



1) Det. Ry PER 
$$V_c = 13V$$

$$T_g = T_c = \frac{V_{cc} - V_c}{R_g} = 2mA$$

$$V_{6S} = V_{7} \pm \sqrt{\frac{\pi_{0}}{\kappa}}$$

V65 = V+ I VID SCELGO SOLUZIONE CON IL SEGNO" + " PERCHE"

U1 E UN PROS E QUINDI CONDUCE PER V65 2 V+

$$V_6 = V_{CC} \frac{R_2}{R_1 + R_2} = 6V$$

$$R_4 = \frac{V_5}{T_6} - R_3 = \frac{1060.572}{1000.572}$$

5.385V > 1.97V hp VERIFICATA

$$Q_{1}$$
:  $V_{DS} = 1.94 \text{ mA}$ 
 $V_{DS} = 5.385 \text{ V}$ 
 $V_{GS} = 2.94 \text{ V}$ 
 $Q_{m} = 1.97 \text{ mA/V}$ 

2) DET. Vu/V: PER C1, C2, C3, C4, C5 CORTO CIRCULTATI

RIG S 3milys D R6

B

R12

M

PV: SR3

G SR5

SR211R8

SR10

R12

M

SR10

SR211R8

SR10

Rv= hie + R.o (hpe+1) = 110150 R

= - 38.073

$$i_{6} = (-9mJgs) \frac{Rs}{R_{5} + R_{6} + R_{7}||R_{8}||R_{V}|}$$

$$=) i_{6} = 9mJ_{5} \frac{Rs}{R_{5} + R_{6} + R_{7}||R_{8}||R_{V}|}$$

$$J_{g} = \phi =) J_{gs} = -J_{5}$$

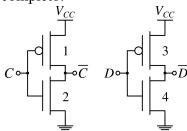
$$\frac{Vu}{V} = \frac{1880.75}{(-h le)} \frac{R_9 R_{13}}{R_9 + R_{12} + R_{13}} \frac{R_7 I I R_8}{R_7 I R_8 + R_V} \frac{R_9}{R_9 + R_{12} + R_{13}} \frac{R_7 I R_8}{R_9 + R_{12} + R_{13}} \frac{R_7 I R_8}{R_9 + R_{14} + R_9 I R_9} \frac{R_9}{R_9 + R_{14} + R_9 I R_9} \frac{R_9}{R_9} \frac{R_9}$$

# Esercizio B - svolgimento

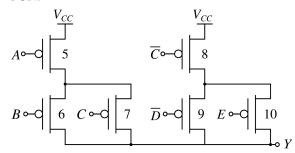
$$Y = \overline{A} \cdot (\overline{B} + \overline{C}) + C \cdot (D + \overline{E})$$

Numero di MOS:  $6 \times 2 + 2 \times 2 = 16$ 

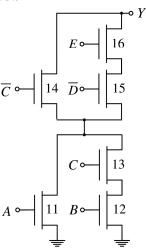
Schema completo:



PUN:



PDN:



Dimensionamento della PUN, assumendo  $(W/L)_p = p = 5$ :

- $(W/L)_{1,3} = p = 5$
- Percorsi con 2 MOS in serie: (Q5-Q6), (Q5-Q7), (Q8-Q9), (Q8-Q10), tutti possibili.

$$(W/L)_{5,6,7,8,9,10} = w; \quad 2 \times \frac{1}{w} = \frac{1}{p} \implies w = 2p = 10.$$

Dimensionamento della PDN, assumendo  $(W/L)_n = n = 2$ :

- $(W/L)_{2,4} = n = 2$
- Percorsi con 4 MOS in serie: (Q12-Q13-Q15-Q16) possibile.

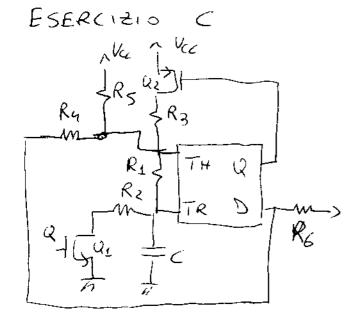
$$(W/L)_{12,13,15,16} = x;$$
  $4 \times \frac{1}{x} = \frac{1}{n} \implies x = 4n = 8.$ 

• Percorsi con 3 MOS in serie: (Q11-Q15-Q16) possibile, mentre (Q12-Q13-Q14) impossibile dovuto a C e  $\overline{C}$ .

$$(W/L)_{11} = y;$$
  $\frac{1}{v} + 2 \times \frac{1}{x} = \frac{1}{n} \implies y = \frac{nx}{x - 2n} = 2n = 4.$ 

• Percorsi con 2 MOS in serie: (Q11-Q14) possibile.

$$(W/L)_{14} = z;$$
  $\frac{1}{z} + \frac{1}{y} = \frac{1}{p} \implies z = \frac{ny}{y-n} = 2n = 4.$ 



$$R_{1} = 200 R$$
 $R_{2} = 4.8 K 2$ 
 $R_{3} = 2 K 2$ 
 $R_{4} = 200 R$ 
 $R_{5} = 2 K 2$ 
 $R_{6} = 1.8 K 2$ 
 $C = 0.22 \mu F$ 
 $V_{CC} = 6 V$ 

PER 
$$V_{TH} = 4V$$
  $T_{P} = T_{1} = \frac{V_{CC} - V_{TH}}{R_{P}} = 2mA$ 

$$V_{COTIT} - V_{TH} - R_{1}T_{1} = 3.6V$$

VERIFICA CORRUTAZIONE: VILL VERILL VILL 2V < 3.6V < 4.8V VERIFICA OK

$$R_{v_1} = R_2 II(R_1 + R_P) = 960 2$$
  
 $T_1 = (R_{v_1} = 211.2 \mu )$ 

$$R_{5} = \begin{cases} V(c) & V(c) \\ R_{3} = V(c) \\ R_{4} = V(c) \\ R_{4} = V(c) \\ R_{5} = V(c) \\ R_{6} = V(c) \\ R_{7} = V(c) \\ R_{1} = V(c) \\ R_{1} = V(c) \\ R_{1} = V(c) \\ R_{2} = V(c) \\ R_{3} = V(c) \\ R_{4} = V(c) \\ R_{5} = V(c) \\ R_{1} = V(c) \\ R_{1} = V(c) \\ R_{2} = V(c) \\ R_{3} = V(c) \\ R_{4} = V(c) \\ R_{5} = V($$

VERIFICA COMPUTATIONE: Viz > Venz > Vfz

36V > 2V > 1V =) KERIFICA OK