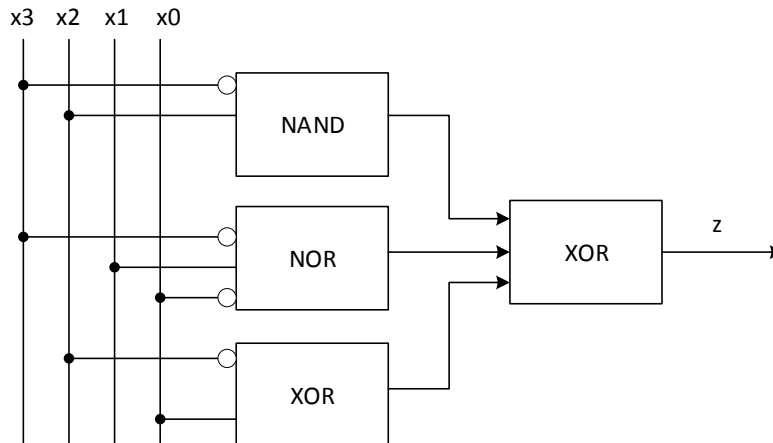


### Esercizio 1

Sintetizzare a costo minimo in forma PS una rete equivalente a quella della figura sottostante. Nello svolgere la sintesi, si supponga che non si possano presentare stati di ingresso con 3 variabili ad 1.



### Esercizio 2

La coppia EPROM e Unità XXX implementano una rete sequenziale sincronizzata di Moore con 16 stati interni. La locazione della EPROM di indirizzo  $i$ , ( $i = 0, 1, \dots, 15$ ), contiene la  $i$ -ma riga della tabella di flusso della rete di Moore in accordo alle seguenti specifiche: i 4 bit più significativi sono la codifica dello stato interno successivo se  $x$  vale 0; i 4 bit contigui sono la codifica dello stato interno successivo se  $x$  vale 1; gli 8 bit contigui (cioè gli otto bit meno significativi) rappresentano lo stato di uscita.

Ciò premesso, l'unità XXX è dotata, fra gli altri, di un registro A3\_A0 e di un registro OUT e, a regime, compie **ogni 10 periodi del clock** le seguenti azioni:

- 1) Se  $x$  vale 0 immette in A3\_A0 i quattro bit d15\_d0[15:12];  
Se  $x$  vale 1 immette in A3\_A0 i quattro bit d15\_d0[11:8];
- 2) Immette in OUT gli 8 bit d15\_d0 [7:0]

Si supponga che al reset iniziale i registri A3\_A0 e OUT siano azzerati e che l'accesso alla ROM non richieda stati di wait.

**Si descriva e si sintetizzi l'unità XXX e si disegni la Parte Operativa relativa al registro A3\_A0.**

