Domande di Reti Logiche – compito del 30/1/2018



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Sia dato un D-latch inizializzato ad 1 al reset asincro- no. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita q alla fine? 0 1 Un valore casuale non prevedibile a priori Oscilla continuamente	Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti
reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	Nel microcodice del calcolatore visto a lezione, durante un ciclo di lettura nello spazio di I/O, l'assegnamento IOR_<=0 avviene: Un clock prima dell'assegnamento al registro degli indirizzi Nello stesso clock dell'assegnamento al registro degli indirizzi Un clock dopo l'assegnamento al registro degli indirizzi Nessuna delle precedenti
$a \cdot b + a \cdot b \cdot c + a \cdot \overline{b} =$	Produttore rfd Adattatore di Protocollo Consumatore datain
 □ Nessuna delle precedenti In base 10, -32 ₃ è uguale a: □ Non si può fare, perché -32 non è un numero naturale □ 32 ₃ □ 13 ₃ □ Nessuna delle precedenti Affinché il quoziente della divisione tra due interi a e b sia rappresentabile sul numero di cifre richiesto: □ È sufficiente che lo sia il quoziente della divisione a diviso b □ È necessario che lo sia il quoziente della divisione a diviso b □ Nessuna delle precedenti 	Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1 Nessuna delle precedenti Con riferimento al Controllore delle Interruzioni visto a lezione, i fili del bus indirizzi che riceve la maschera che deve supportare l'ingresso /s del Controllore sono: 16 14
Sia <i>X</i> =9524 la rappresentazione in complemento alla radice di un numero intero <i>x</i> in base 10. Ciò significa che <i>x</i> è un numero □ positivo, rappresentabile anche su tre cifre □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre	☐ 12 ☐ Nessuna delle precedenti

	Domande di Reti Logiche – compito del 30/1/2018			
Y	Cognome e nom	ne:		
	Matric	cola:		
		Consegna:	Sì 🗌	No 🗌

Domande di Reti Logiche - compito del 30/1/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

sia dato un D-latch inizializzato ad 1 al reset asincro- no. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente	Dato un convertitore A/D binario bipolare a 8 bit, la tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti
reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	Nel microcodice del calcolatore visto a lezione, durante un ciclo di lettura nello spazio di I/O, l'assegnamento IOR_<=0 avviene: ☐ Un clock dopo l'assegnamento al registro degli indirizzi ☐ Nello stesso clock dell'assegnamento al registro degli indirizzi ☐ Un clock prima dell'assegnamento al registro degli indirizzi ☐ Nessuna delle precedenti
$ □ 8 $ $ □ Nessuna delle precedenti $ $ x \cdot y + x \cdot y \cdot z + x \cdot \overline{y} = $ $ □ x $	Produttore rfd Adattatore di Protocollo datain Consumatore
□ 1 □ 0 □ Nessuna delle precedenti	Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav, rfd e eoc a 1 e soc
In base 10, -35 ₃ è uguale a: ☐ Non si può fare, perché -35 non è un numero naturale ☐ 35 ₃ ☐ 16 ₃ ☐ Nessuna delle precedenti	 a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1
Affinché il quoziente della divisione tra due interi <i>a</i> e <i>b</i> sia rappresentabile sul numero di cifre richiesto: □ È sufficiente che lo sia il quoziente della divisione a diviso b □ È necessario che lo sia il quoziente della divisione a diviso b □ Nessuna delle precedenti	 □ Nessuna delle precedenti Con riferimento al Controllore delle Interruzioni visto a lezione, i fili del bus indirizzi che riceve la maschera che deve supportare l'ingresso /s del Controllore sono: □ 12 □ 14
Sia <i>X</i> =8732 la rappresentazione in complemento alla radice di un numero intero <i>x</i> in base 10. Ciò significa che <i>x</i> è un numero □ positivo, rappresentabile anche su tre cifre □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre	☐ 16☐ Nessuna delle precedenti

Domande di Reti Logiche – compito del 30/1/2018				
	Cognome e no	me:		
	Matr	icola:		
		Consegna:	Sì 🗌	No

Domande di Reti Logiche - compito del 30/1/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

Dato un convertitore A/D binario bipolare a 8 bit, la tensione minima è convertita nella stringa di bit: □ 0000 0000	reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end
□ 1000 0000	S1: begin RR<=RR+1;
□ 1111 1111	$STAR \le (RR = 10) ?S2 : S1;$ end
□ Nessuna delle precedenti	S2: begin
Nel microcodice del calcolatore visto a lezione, durante un ciclo di lettura nello spazio di I/O, l'assegnamento IOR_<=0 avviene: ☐ Un clock prima dell'assegnamento al registro degli indirizzi ☐ Nello stesso electrodell'assegnamento el registro.	Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2? 10 11 9 Nessuna delle precedenti
 Nello stesso clock dell'assegnamento al registro degli indirizzi 	$a \cdot b + a \cdot b \cdot c + a \cdot \overline{b} =$
☐ Un clock dopo l'assegnamento al registro degli	
indirizzi	⊔ <i>a</i> □ 1
□ Nessuna delle precedenti	\Box 0
•	□ Nessuna delle precedenti
	1 ressulta delle precedenti
	In base 10, $\left -32\right _3$ è uguale a:
Produttore rfd Adattatore di eoc Consumatore	
Protocollo	□ Non si può fare, perché -32 non è un numero naturale
dataout	
dataout datain	1 13
Con riferimento alla figura soprastante, partendo da	☐ Nessuna delle precedenti
una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera:	
☐ E' il Produttore che deve evolversi per primo por-	Affinché il quoziente della divisione tra due interi a e b
tando /dav a 0	sia rappresentabile sul numero di cifre richiesto:
☐ E' il Consumatore che deve evolversi per primo	☐ È sufficiente che lo sia il quoziente della divisione
portando soc a 1	a diviso b □ È necessario che lo sia il quoziente della divisione
☐ Sia il Produttore che il Consumatore possono	a diviso $ b $
evolversi indipendentemente, portando l'uno /dav	□ Nessuna delle precedenti
a 0 e l'altro soc a 1	1
☐ Nessuna delle precedenti	
	Sia X=9524 la rappresentazione in complemento alla
	radice di un numero intero x in base 10. Ciò significa che x è un numero
Con riferimento al Controllore delle Interruzioni visto a	= 1.1
lezione, i fili del bus indirizzi che riceve la maschera che deve supportare l'ingresso /s del Controllore sono:	 positivo, rappresentabile anche su tre cifre positivo, ma non rappresentabile su tre cifre
□ 16	negativo, rappresentabile anche su tre cifre
	negativo, ma non rappresentabile su tre cifre
	= meganito, mainon imperiore maino da dio vino
□ Nessuna delle precedenti	
Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 11, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori	
□ Oscilla continuamente	

Domande di Reti Logiche – compito del 30/1/2018				
Cognome e nome:				
Matr	ricola:			
	Consegna:	Sì 🗌	No	

Domande di Reti Logiche - compito del 30/1/2018



Barrare **una sola risposta** per domanda

Il punteggio finale è -1 \times (n. di risposte errate + n. domande lasciate in bianco) Usare lo spazio bianco sul retro del foglio per appunti, se serve

$x \cdot y + x \cdot y \cdot z + x \cdot y =$	Nel microcodice del calcolatore visto a lezione, durante
\Box x	un ciclo di lettura nello spazio di I/O, l'assegnamento
\Box 1	IOR_<=0 avviene: ☐ Un clock dopo l'assegnamento al registro degli
\Box 0	indirizzi
□ Nessuna delle precedenti	□ Nello stesso clock dell'assegnamento al registro degli indirizzi
In base 10, $ -35 _{3}$ è uguale a:	☐ Un clock prima dell'assegnamento al registro degli
□ Non si può fare, perché -35 non è un numero na-	indirizzi Nessuna delle precedenti
turale $\Box 35 _3$	Con riferimento al Controllore delle Interruzioni visto a
\Box $[16]_3$	lezione, i fili del bus indirizzi che riceve la maschera
-	che deve supportare l'ingresso /s del Controllore sono:
□ Nessuna delle precedenti	□ 12
Affinché il quoziente della divisione tra due interi <i>a</i> e <i>b</i>	
sia rappresentabile sul numero di cifre richiesto:	
☐ È sufficiente che lo sia il quoziente della divisione	
a diviso $ b $	☐ Nessuna delle precedenti
☐ È necessario che lo sia il quoziente della divisione	
a diviso $ b $	/dav soc
□ Nessuna delle precedenti	rfd Adattatore di eoc
1	Produttore Adattatore di Protocollo Consumator
Sia <i>X</i> =8732 la rappresentazione in complemento alla	datain Latain Latain
radice di un numero intero x in base 10. Ciò significa	33.0.0
che x è un numero	
	Data un conventitore A/D hinoria hinolore a 9 hit la
positivo, rappresentabile anche su tre cifre	Dato un convertitore A/D binario bipolare a 8 bit, la
□ positivo, ma non rappresentabile su tre cifre	tensione massima è convertita nella stringa di bit:
 positivo, ma non rappresentabile su tre cifre negativo, rappresentabile anche su tre cifre 	tensione massima è convertita nella stringa di bit: □ 0000 0000
□ positivo, ma non rappresentabile su tre cifre	tensione massima è convertita nella stringa di bit: □ 0000 0000 □ 1000 0000
 positivo, ma non rappresentabile su tre cifre negativo, rappresentabile anche su tre cifre negativo, ma non rappresentabile su tre cifre 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111
 positivo, ma non rappresentabile su tre cifre negativo, rappresentabile anche su tre cifre negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincro- 	tensione massima è convertita nella stringa di bit: □ 0000 0000 □ 1000 0000
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera:
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo por-
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end 	tensione massima è convertita nella stringa di bit: □ 0000 0000 □ 1000 0000 □ 1111 1111 □ Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: □ E' il Produttore che deve evolversi per primo portando /dav a 0 □ E' il Consumatore che deve evolversi per primo portando soc a 1 □ Sia il Produttore che il Consumatore possono
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1; 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1; STAR<=(RR==9)?S2:S1; end 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1; 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1; STAR<=(RR==9)?S2:S1; end S2: begin Dato il pezzo di descrizione riportato sopra, quanto vale il contenuto del registro RR nello stato S2? □ 10 □ 9 	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1
 □ positivo, ma non rappresentabile su tre cifre □ negativo, rappresentabile anche su tre cifre □ negativo, ma non rappresentabile su tre cifre Sia dato un D-latch inizializzato ad 1 al reset asincrono. La sequenza di ingressi fornita è dc=00, 10, 11, 01, 10, 01, 00. Quanto vale l'uscita q alla fine? □ 0 □ 1 □ Un valore casuale non prevedibile a priori □ Oscilla continuamente reg [3:0] RR; [] S0: begin RR<=1; STAR<=S1; end S1: begin RR<=RR+1;	tensione massima è convertita nella stringa di bit: 0000 0000 1000 0000 1111 1111 Nessuna delle precedenti Con riferimento alla figura soprastante, partendo da una condizione al reset con /dav , rfd e eoc a 1 e soc a 0, quale delle seguenti affermazioni è vera: E' il Produttore che deve evolversi per primo portando /dav a 0 E' il Consumatore che deve evolversi per primo portando soc a 1 Sia il Produttore che il Consumatore possono evolversi indipendentemente, portando l'uno /dav a 0 e l'altro soc a 1

Domande di Reti Logiche – compito del 30/1/2018			
Cognome e nome:			
Matricola:			
Consegna: Sì	No 🗌		