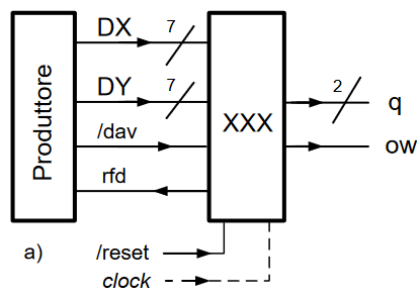
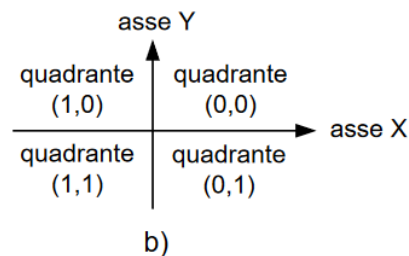


## 16 Luglio 2019 - Esercizio 2



(a) Schema del dispositivo



(b) Piano cartesiano

L'unità XXX (Figura 1a) analizza le coordinate di un punto  $P$  in un piano cartesiano e genera una variabile a due bit  $q$  il cui valore indica in quale quadrante si trova il punto  $P$  (Figura 1b). L'unità colloquia con un produttore che gli fornisce le rappresentazioni DX e DY di due numeri interi a 7 bit, che indicano la modifica da apportare alle rappresentazioni X e Y delle coordinate attuali  $x$  e  $y$  del punto  $P$ . Quando almeno una delle coordinate non è più rappresentabile su 8 bit, l'unità pone a 1 la variabile di uscita ow e si ferma in attesa di un nuovo segnale di reset.

Si descriva l'unità XXX in Verilog. A tale scopo, è fornito il file testbench.v, contenente dei casi di test per la verifica della soluzione proposta. Si sintetizzi e si disegni in dettaglio il circuito della parte operativa relativa al registro OW che supporta la variabile di uscita ow, riducendo il tutto a reti note.

Note:

- Al reset iniziale il punto  $P$  va posizionato sull'origine degli assi.
- Tutte le rappresentazioni sono in complemento a 2; si consiglia di rappresentare le coordinate  $x$  e  $y$  su 9 bit per semplificare il calcolo dell'overflow rispetto 8 bit.
- Si considerino i semiassi come appartenenti ai quadranti positivi, e.g.  $P = (0, 3) \rightarrow Q = (0, 0)$ .