



Barrare **una sola risposta** per ogni domanda

Il punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_1x_0	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0	—	S_2	S_1	0
S_2	—	S_3	S_2	S_1	1
S_3	S_0	S_3	S_2	—	0

Sia T_a il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- ☐ T_a
- ☐ $2 T_a$
- ☐ $3 T_a$
- ☐ $5 T_a$

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

- ☐ Soltanto sul livello 1
- ☐ Soltanto sul livello 0
- ☐ Su entrambi i livelli
- ☐ Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- ☐ Resto su m bit, quoziente su $m+1$ bit
- ☐ Resto su m bit, quoziente su 1 bit, *no_div*
- ☐ Resto su $m+1$ bit, quoziente su 1 bit, *no_div*
- ☐ Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: $C_{in}=0$, $X=1001$, $Y=0001$, lo stato di uscita sarà:

- ☐ $C_{out}=1$, $S=0000$, $O_w=0$
- ☐ $C_{out}=0$, $S=1010$, $O_w=0$
- ☐ $C_{out}=1$, $S=0000$, $O_w=1$
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su n cifre):

- ☐ È sempre possibile
- ☐ È possibile solo in base 2
- ☐ È possibile solo per numeri positivi
- ☐ Nessuna delle precedenti

Quali delle seguenti reti logiche sono *non* trasparenti?

- ☐ Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato
- ☐ Il D-latch
- ☐ Le reti sequenziali di Mealy ritardato
- ☐ Nessuna delle precedenti

```
reg [3:0] WAIT;
```

```
[...]
```

```
S0: begin WAIT<=???; STAR<=S1; end
```

```
S1: begin WAIT<=WAIT-1;
```

```
STAR<=(WAIT==0)?S2:S1; end
```

```
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- ☐ 8
- ☐ 9
- ☐ 10
- ☐ Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo $a_{15_a_0}$ su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

- ☐ $a_{15_a_0}$
- ☐ $a_{15_a_{10}}$
- ☐ a_{10}
- ☐ Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- ☐ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- ☐ Usare l'istruzione CLI
- ☐ Nessuna delle precedenti

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

- ☐ Sempre a 1
- ☐ Sempre a 0
- ☐ A volte ad 1 e a volte a 0
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_1x_0	00	01	11	10	z
S_0	$\odot S_0$	$\odot S_0$	$\odot S_0$	S_1	0
S_1	S_0	—	S_2	$\odot S_1$	0
S_2	—	S_3	$\odot S_2$	S_1	1
S_3	S_0	$\odot S_3$	S_2	—	0

Sia T_a il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- ☐ T_a
- ☐ $2 T_a$
- ☐ $3 T_a$
- ☐ $5 T_a$

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

- ☐ Soltanto sul livello 1
- ☐ Soltanto sul livello 0
- ☐ Su entrambi i livelli
- ☐ Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- ☐ Resto su m bit, quoziente su $m+1$ bit
- ☐ Resto su m bit, quoziente su 1 bit, *no_div*
- ☐ Resto su $m+1$ bit, quoziente su 1 bit, *no_div*
- ☐ Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: $C_{in}=0$, $X=1001$, $Y=0001$, lo stato di uscita sarà:

- ☐ $C_{out}=1$, $S=0000$, $O_w=0$
- ☐ $C_{out}=0$, $S=1010$, $O_w=0$
- ☐ $C_{out}=1$, $S=0000$, $O_w=1$
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su n cifre):

- ☐ È sempre possibile
- ☐ È possibile solo in base 2
- ☐ È possibile solo per numeri positivi
- ☐ Nessuna delle precedenti

Quali delle seguenti reti logiche sono *non* trasparenti?

- ☐ Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato
- ☐ Il D-latch
- ☐ Le reti sequenziali di Mealy ritardato
- ☐ Nessuna delle precedenti

```
reg [3:0] WAIT;
[...]
```

```
S0: begin WAIT<=???; STAR<=S1; end
S1: begin WAIT<=WAIT-1;
      STAR<=(WAIT==0)?S2:S1; end
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- ☐ 8
- ☐ 9
- ☐ 10
- ☐ Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a_{15_a0} su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

- ☐ a_{15_a0}
- ☐ a_{15_a10}
- ☐ a_{10}
- ☐ Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- ☐ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- ☐ Usare l'istruzione CLI
- ☐ Nessuna delle precedenti

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

- ☐ Sempre a 1
- ☐ Sempre a 0
- ☐ A volte ad 1 e a volte a 0
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_1x_0	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0	—	S_2	S_1	0
S_2	—	S_3	S_2	S_1	1
S_3	S_0	S_3	S_2	—	0

Sia T_a il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- ☐ T_a
- ☐ $2 T_a$
- ☐ $3 T_a$
- ☐ $5 T_a$

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

- ☐ Soltanto sul livello 1
- ☐ Soltanto sul livello 0
- ☐ Su entrambi i livelli
- ☐ Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- ☐ Resto su m bit, quoziente su $m+1$ bit
- ☐ Resto su m bit, quoziente su 1 bit, *no_div*
- ☐ Resto su $m+1$ bit, quoziente su 1 bit, *no_div*
- ☐ Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: $C_{in}=0$, $X=1001$, $Y=0001$, lo stato di uscita sarà:

- ☐ $C_{out}=1$, $S=0000$, $O_w=0$
- ☐ $C_{out}=0$, $S=1010$, $O_w=0$
- ☐ $C_{out}=1$, $S=0000$, $O_w=1$
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su n cifre):

- ☐ È sempre possibile
- ☐ È possibile solo in base 2
- ☐ È possibile solo per numeri positivi
- ☐ Nessuna delle precedenti

Quali delle seguenti reti logiche sono *non* trasparenti?

- ☐ Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato
- ☐ Il D-latch
- ☐ Le reti sequenziali di Mealy ritardato
- ☐ Nessuna delle precedenti

```
reg [3:0] WAIT;
```

```
[...]
```

```
S0: begin WAIT<=???; STAR<=S1; end
```

```
S1: begin WAIT<=WAIT-1;
```

```
STAR<=(WAIT==0)?S2:S1; end
```

```
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- ☐ 8
- ☐ 9
- ☐ 10
- ☐ Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo a_{15_a0} su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

- ☐ a_{15_a0}
- ☐ a_{15_a10}
- ☐ a_{10}
- ☐ Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- ☐ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- ☐ Usare l'istruzione CLI
- ☐ Nessuna delle precedenti

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

- ☐ Sempre a 1
- ☐ Sempre a 0
- ☐ A volte ad 1 e a volte a 0
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No

Barrare **una sola risposta** per domandaIl punteggio finale è $-1 \times (\text{n. di risposte errate} + \text{n. domande lasciate in bianco})$

Usare lo spazio bianco sul retro del foglio per appunti, se serve

x_1x_0	00	01	11	10	z
S_0	S_0	S_0	S_0	S_1	0
S_1	S_0	—	S_2	S_1	0
S_2	—	S_3	S_2	S_1	1
S_3	S_0	S_3	S_2	—	0

Sia T_a il tempo di attraversamento della RC1 della rete sequenziale asincrona la cui tabella di flusso è riportata sopra. Affinché il pilotaggio della RSA avvenga in modo corretto, il tempo di permanenza di uno stato di ingresso non può scendere sotto

- ☐ T_a
- ☐ $2 T_a$
- ☐ $3 T_a$
- ☐ $5 T_a$

Una rete combinatoria a due livelli di logica la cui uscita esce da una porta NOR è soggetta ad alee statiche del primo ordine:

- ☐ Soltanto sul livello 1
- ☐ Soltanto sul livello 0
- ☐ Su entrambi i livelli
- ☐ Nessuna delle precedenti

Sia dato un *divisore elementare per naturali in base due*, in cui il dividendo è un ingresso ad $m+1$ bit ed il divisore un ingresso a m bit. Le uscite sono:

- ☐ Resto su m bit, quoziente su $m+1$ bit
- ☐ Resto su m bit, quoziente su 1 bit, *no_div*
- ☐ Resto su $m+1$ bit, quoziente su 1 bit, *no_div*
- ☐ Nessuna delle precedenti

Sia dato un sommatore a una cifra per numeri in base dieci codificati BCD. Se lo stato di ingresso è: $C_{in}=0$, $X=1001$, $Y=0001$, lo stato di uscita sarà:

- ☐ $C_{out}=1$, $S=0000$, $O_w=0$
- ☐ $C_{out}=0$, $S=1010$, $O_w=0$
- ☐ $C_{out}=1$, $S=0000$, $O_w=1$
- ☐ Nessuna delle precedenti

La conversione tra rappresentazione in traslazione e in complemento alla radice (entrambe su n cifre):

- ☐ È sempre possibile
- ☐ È possibile solo in base 2
- ☐ È possibile solo per numeri positivi
- ☐ Nessuna delle precedenti

Quali delle seguenti reti logiche sono *non* trasparenti?

- ☐ Le reti sequenziali sincronizzate di Moore, Mealy e Mealy Ritardato
- ☐ Il D-latch
- ☐ Le reti sequenziali di Mealy ritardato
- ☐ Nessuna delle precedenti

```
reg [3:0] WAIT;
```

```
[...]
```

```
S0: begin WAIT<=???; STAR<=S1; end
```

```
S1: begin WAIT<=WAIT-1;
```

```
STAR<=(WAIT==0)?S2:S1; end
```

```
S2: [...]
```

Dato il pezzo di descrizione riportato sopra, quale valore va sostituito a ??? in S0 perché la rete resti in S1 per 9 cicli di clock?

- ☐ 8
- ☐ 9
- ☐ 10
- ☐ Nessuna delle precedenti

Dato un sistema di elaborazione con un bus a 16 fili di indirizzo $a_{15_a_0}$ su cui si vuole montare una EPROM da 1Kbyte a partire dall'indirizzo 'H0800, la maschera che genera /s riceve in ingresso tutti e soli:

- ☐ $a_{15_a_0}$
- ☐ $a_{15_a_{10}}$
- ☐ a_{10}
- ☐ Nessuna delle precedenti

Per disabilitare una interfaccia ad inviare richieste di interruzione si deve:

- ☐ Inviarle un segnale elettrico tramite una opportuna variabile di collegamento con il Controllore
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione MOV
- ☐ Azzerare un apposito bit di un apposito registro dell'Interfaccia tramite una istruzione OUT
- ☐ Usare l'istruzione CLI
- ☐ Nessuna delle precedenti

Con riferimento al processore visto a lezione, durante una lettura in memoria, il contenuto del registro DIR deve essere:

- ☐ Sempre a 1
- ☐ Sempre a 0
- ☐ A volte ad 1 e a volte a 0
- ☐ Nessuna delle precedenti



Cognome e nome: _____

Matricola: _____

Consegna: ☐ Sì ☐ No
