

```

library ieee;

use ieee.std_logic_1164.all;

entity Mensaje is port(
    clk, clr : in std_logic;
    display : out std_logic_vector(6 downto 0);
    sel : inout std_logic_vector(2 downto 0)
);
end Mensaje;

architecture aMensaje of Mensaje is
    signal q0, q1, d0, d1 : std_logic;
    CONSTANT L1 : std_logic_vector(6 downto 0) := "1000010"; --d
    CONSTANT L2 : std_logic_vector(6 downto 0) := "1001111"; --i
    CONSTANT L3 : std_logic_vector(6 downto 0) := "0000001"; --O

begin

--decodificador
    process(sel)
    begin
        case sel is
            when "110" =>
                display <= L1;
            when "101" =>
                display <= L2;
            when "011" =>
                display <= L3;
            when others => display <= "0000000";
        end case;
    end process;
end aMensaje;

```

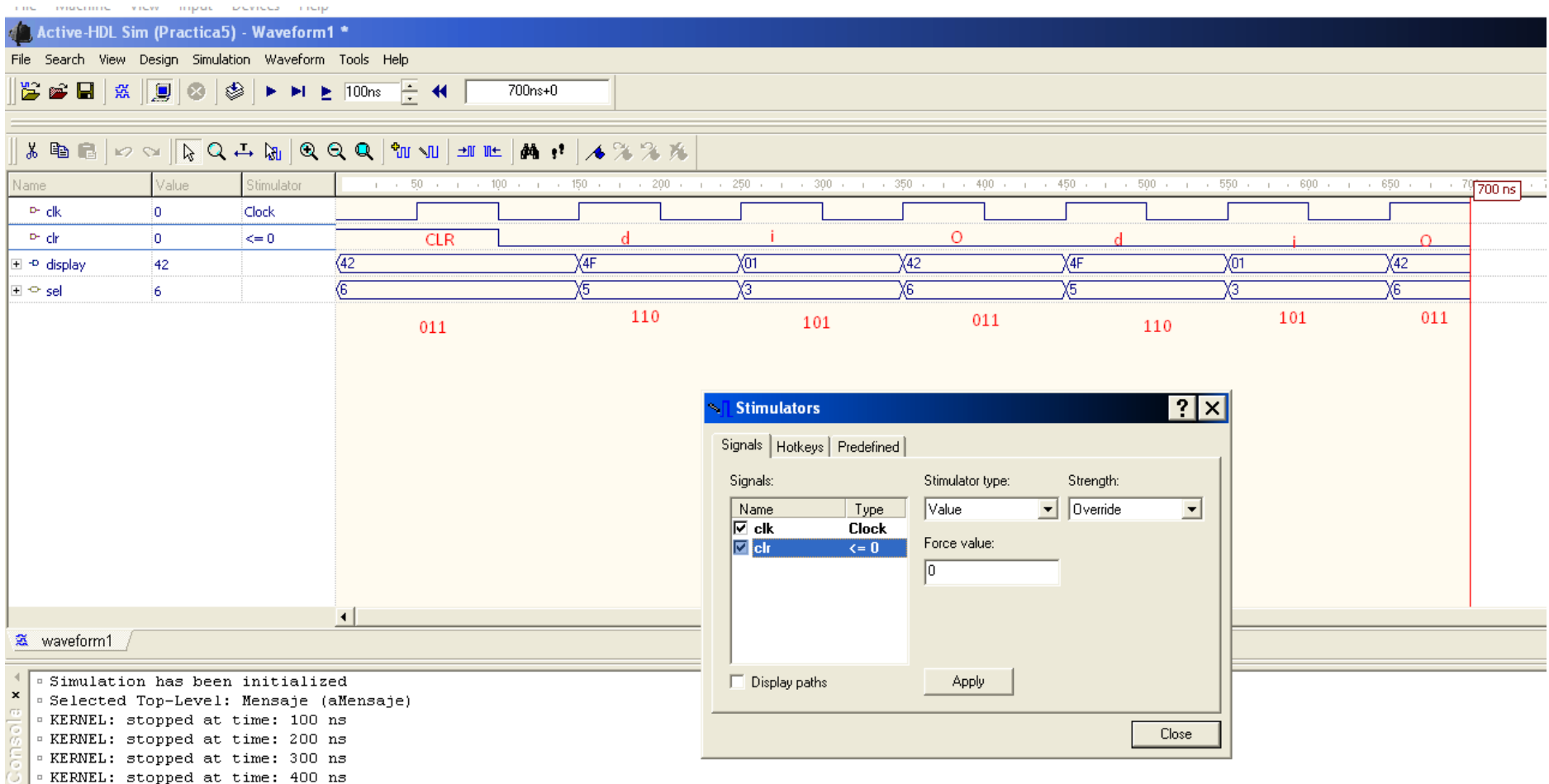
```

                                end case;
        end process;
--anillo
        process(clk, clr)
        begin
            if(clr = '1') then
                sel <= "110";
            elsif(rising_edge(clk)) then
                sel <= to_stdlogicvector(to_bitvector(sel) rol 1);
            end if;
        end process;

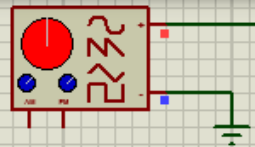
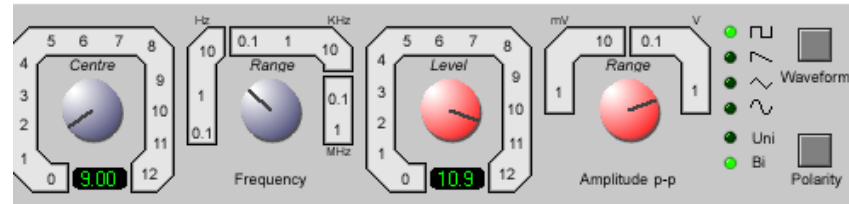
-- flip flops
        process(clk, clr)
        begin
            if(clr = '1') then
                q0 <= '0';
                q1 <= '0';
            elsif(rising_edge(clk)) then
                d1 <= q0;
                d0 <= (q1 and not(q0)) or (not(q1) and q0);
            end if;
        end process;

end architecture;

```

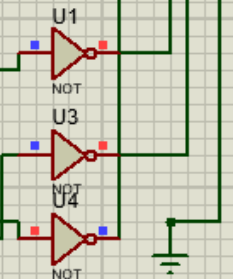
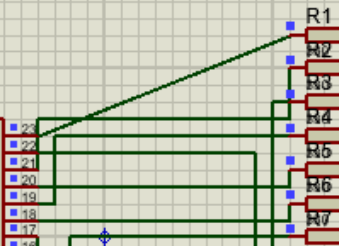
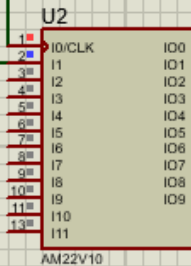


SM Signal Generator

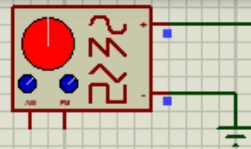
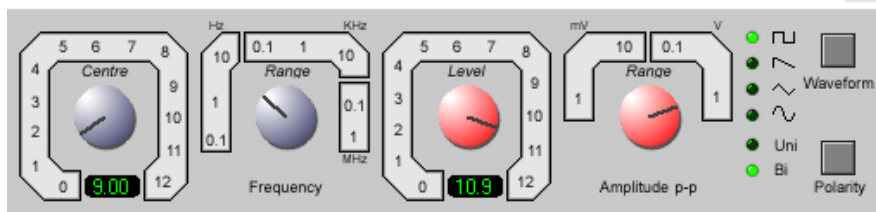


PREVIO A CLEAR

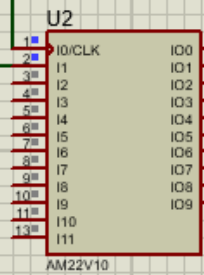
CLR
0



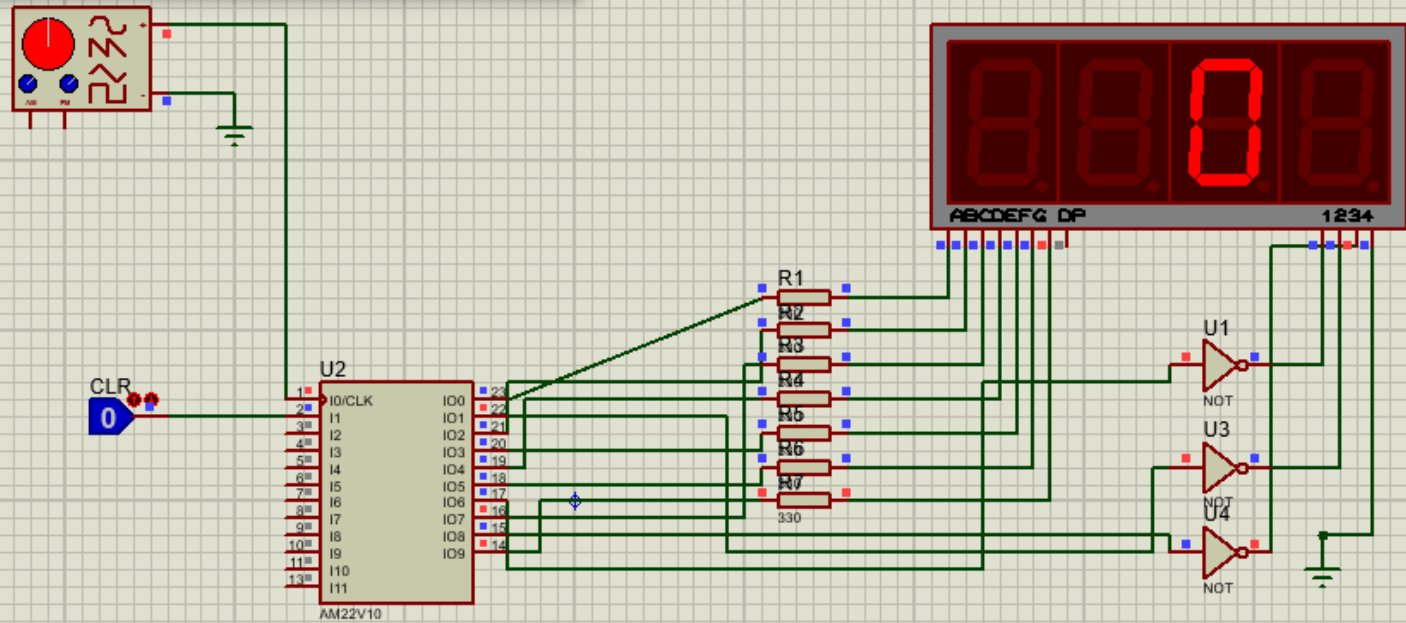
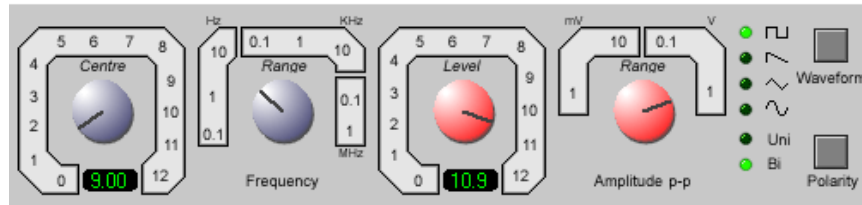
VSM Signal Generator



CLR
0



VSM Signal Generator



010

1-1
1-1
1-1

| Q | Q+ | DI | DC | DD | a | b | c | d | e | f | g |
|---|----|----|----|----|---|---|---|---|---|---|---|
| A | B | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| B | C | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| C | A | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

$$A = 00$$

$$B = 01$$

$$C = 11$$

| Q ₁ | Q ₀ | Q ₁ + | Q ₀ + | DI | DC | DD | a | b | c | d | e | f | g |
|----------------|----------------|------------------|------------------|----|----|----|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

| T ₁ | T ₀ | D ₁ | D ₀ |
|----------------|----------------|----------------|----------------|
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

$$T_1 = Q_1 \overline{Q_0} + Q_1 Q_0 = Q_1$$

$$T_0 = \overline{Q_1} \overline{Q_0} + Q_1 Q_0 = Q_1 \otimes Q_0$$

$$DI = Q_1 Q_0$$

$$DC = \overline{Q_1} Q_0$$

$$DD = \overline{Q_1} \overline{Q_0}$$

| Q ₁ /Q ₀ | 0 | 1 |
|--------------------------------|---|---|
| 0 | 1 | 1 |
| 1 | 1 | 1 |

$$C = Q_0 + Q_1$$

también Podríamos
reducir Columnas en
 $b=c, d=e, a=f$, Pero
lo que ya reducimos es
Suficiente

| Q | Q ₁ | DI | DC | DD | a | b | c | d | e | f | g |
|---|----------------|----|----|----|---|---|---|---|---|---|---|
| A | B | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| B | C | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| C | A | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Q

Q⁺

| Q ₉ | Q ₈ | Q ₇ | Q ₆ | Q ₅ | Q ₄ | Q ₃ | Q ₂ | Q ₁ | Q ₀ | Q ₉ ⁺ | Q ₈ ⁺ | Q ₇ ⁺ | Q ₆ ⁺ | Q ₅ ⁺ | Q ₄ ⁺ | Q ₃ ⁺ | Q ₂ ⁺ | Q ₁ ⁺ | Q ₀ ⁺ |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

$$A = 1101000010$$

$$B = 1011001111$$

$$C = 0110000001$$

* Para no tomar tantas
FF, en esta ocasión
Podemos liberar solo
2 de la siguiente manera

| Q ₁ | Q ₀ | Q ₁ ⁺ | Q ₀ ⁺ | DD | a | b | c | d | e | f | g | D ₁ | D ₀ |
|----------------|----------------|-----------------------------|-----------------------------|----|---|---|---|---|---|---|---|----------------|----------------|
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

$$\begin{matrix} A = 11 \\ B = 10 \\ C = 01 \end{matrix}$$

D₁

| Q ₁ | Q ₀ | D ₁ |
|----------------|----------------|----------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

$$D_1 = Q_0$$

D₀

| Q ₁ | Q ₀ | D ₀ |
|----------------|----------------|----------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

$$D_0 = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0$$

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

Solo 1

2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?

12

3. ¿Cuántos pines de entrada/salida de los PLD 22V10 se usan en el diseño?

2 de entrada

7 de salida

3 de entrada/salida

4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total de los PLD 22V10?

12, se utiliza el 9% del PLD

5. ¿A partir de que frecuencia se observa el mensaje nítido y sin parpadeo?

En teoría alrededor de 60 Hertz.

6. ¿Cuántos FF's se ocupan en el PLD para implementar la máquina Moore?

Nosotros utilizamos solo 2 FF tipo D.

7. ¿Cuántas terminales de salida se usan en PLD2?

Solo utilizamos un PLD

8. ¿Qué puedes concluir de esta práctica?

Fue una práctica muy importante ya que tuvimos que aprender a utilizar los recursos que ofrece la GAL, reduciendo columnas en nuestra tabla, o utilizando un código para nuestros estados en la maquina de moore similar a nuestra parte combinatoria para de esta manera economizar recursos y poder utilizar solo un PLD para la realización de esta práctica.