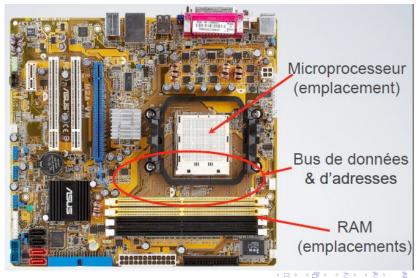
Microprocesseurs (MIC)

Chap. 1: Fonctionnement d'un microprocesseur

Sommaire

- 1 Les processeurs
- 2 Les cycles du processeur
- Interruptions

Microprocesseur

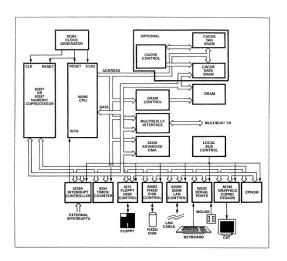


Intel 80386

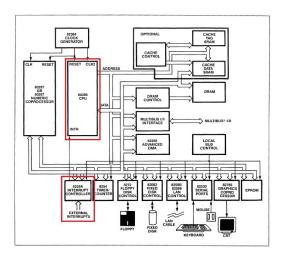
- Processeur Intel pour PC ('80s '90s)
- Registres de 32 bits
- Adresses de 32 bits
 - → mémoire jusque 4Gb
- Bus de 32 bits (sauf série SX)
- \sim 4×10⁶ instructions par seconde
- i386 : série de CPU compatibles avec 80386
 - 80486, Pentium (586), Pentium Pro (686), Pentium 4 (786), . . .
- Processeur de base dans ce cours



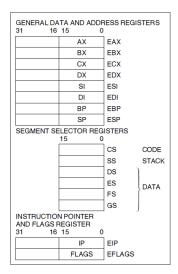
Intel 80386 : schéma général



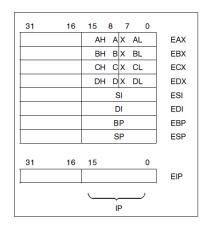
Intel 80386 : dans ce chapitre



Intel 80386 : registres



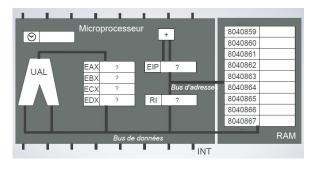
Intel 80386 : registres généraux et EIP



Sommaire

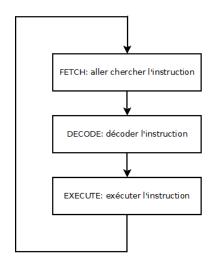
- 1 Les processeurs
- 2 Les cycles du processeur
- Interruptions

Modèle simplifié

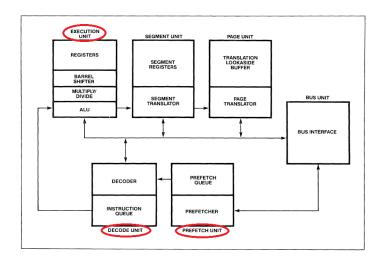


- EIP : pointeur d'instruction
- RI : registre d'instruction
- Registres généraux
- Bus
- UAL : unité arithmético-logique
- Horloge
- Incrémenteur

Le cycle du processeur



Unités fonctionnelles du CPU (80386)



Code ASM

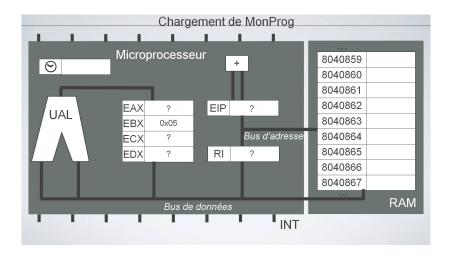
boucle: add bl, 10

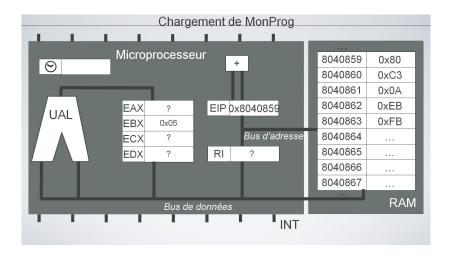
jmp boucle

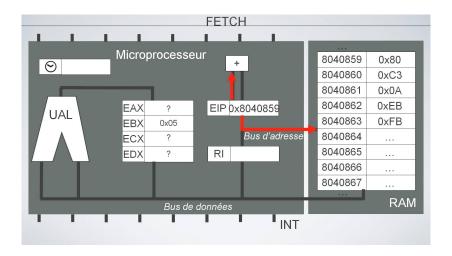
Code machine

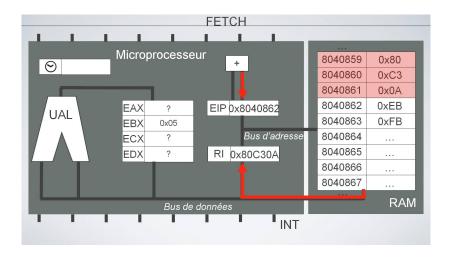
0x80 0xC3 0x0A

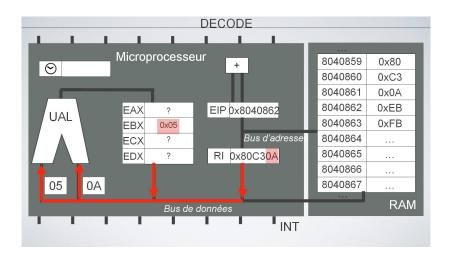
0xEB 0xFB

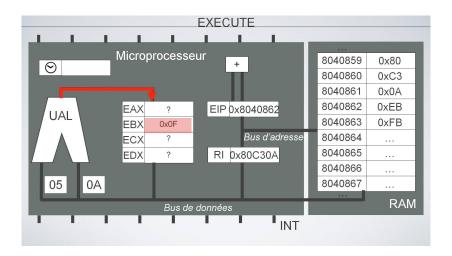


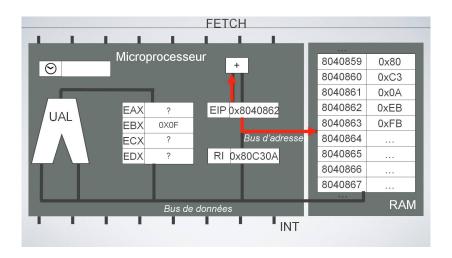


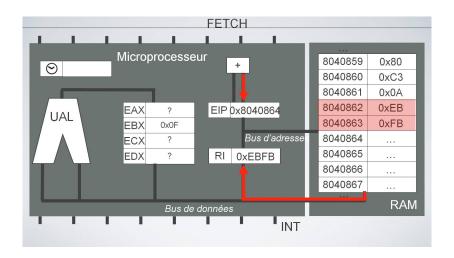


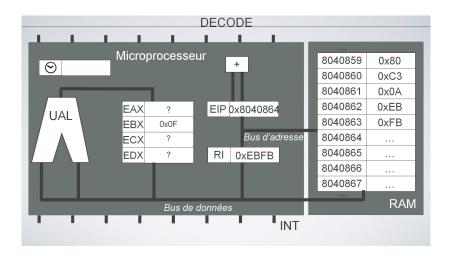


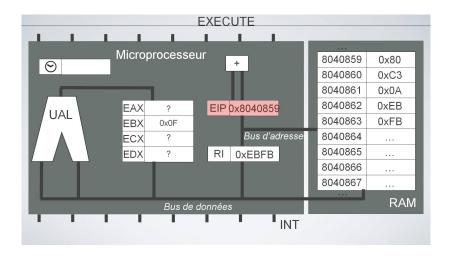


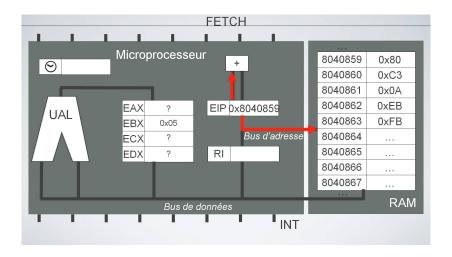












Sommaire

- 1 Les processeurs
- 2 Les cycles du processeur
- 3 Interruptions

Interruptions - définition

- Interruption automatique du programme en cours
- Exécution d'une « routine de traitement d'interruption » (interrupt handler)
- Retour automatique au programme interrompu

Types d'interruptions

- Interruptions externes
 - Provoquées par un matériel extérieur
- Interruptions internes (« exceptions »)
 - Provoquées par un programme

Interruptions externes

- Exemples :
 - Frappe sur le clavier
 - Arrivée d'un paquet sur le réseau
 - Click sur la souris
 - Fin de lecture sur disque
 - ...

Interruptions internes

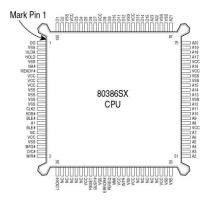
- Exemples :
 - Division par 0
 - Instruction INT
 - •

La broche INTR



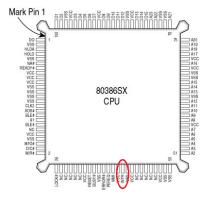
 Signale au processeur l'arrivée d'une interruption externe

La broche INTR

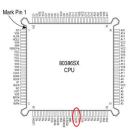


 Signale au processeur l'arrivée d'une interruption externe

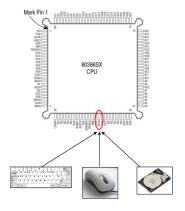
La broche INTR



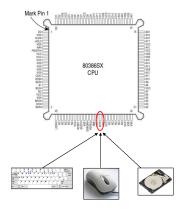
 Signale au processeur l'arrivée d'une interruption externe



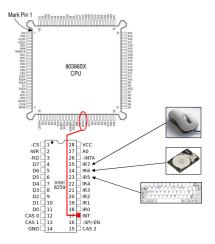
 La broche INTR est unique



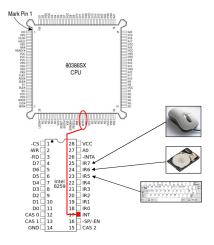
- La broche INTR est unique
- Or plusieurs sources potentielles d'interruptions



- La broche INTR est unique
- Or plusieurs sources potentielles d'interruptions
- ⇒ Il faut sérialiser les interruptions



- La broche INTR est unique
- Or plusieurs sources potentielles d'interruptions
- ⇒ Il faut sérialiser les interruptions
- Rôle du Contrôleur d'interruptions (=PIC : Programmable Interrupt Controller)



- La broche INTR est unique
- Or plusieurs sources potentielles d'interruptions
- ⇒ Il faut sérialiser les interruptions
- Rôle du Contrôleur d'interruptions (=PIC : Programmable Interrupt Controller)
- Exemple: Intel 8259

-CS	1		28	□ vcc
-WR 🗌	2		27	☐ A0
-RD 🗌	3		26	INTA
D7 🗌	4	Intel 8259	25	□ IR7
D6 🗆	5		24	☐ IR6
D5 🗆	6		23	☐ IR5
D4 🗆	7		22	□ IR4
D3 🗆	8		21	☐ IR3
D2 🗌	9		20	☐ IR2
D1 🗌	10		19	☐ IR1
D0 🗆	11		18	□ IR0
CAS 0	12		17	☐ INT
CAS 1	13		16	SP/-EN
GND 🗌	14		15	CAS 2

Exemple: Intel 8259

 Relié aux périphériques via bornes IR(Q)

-CS 🗌	1		28	□ vcc
-WR	2		27	☐ A0
-RD 🗌	3		26	INTA
D7 🗌	4		25	□ IR7
D6 🗌	5	Intel 8259	24	☐ IR6
D5 🗆	6		23	🗌 IR5
D4 🗌	7		22	□ IR4
D3 🗌	8		21	☐ IR3
D2 🗌	9		20	☐ IR2
D1 🗌	10		19	☐ IR1
D0 🗆	11		18	☐ IR0
CAS 0	12		17	☐ INT
CAS 1 \square	13		16	SP/-EN
GND 🗌	14		15	CAS 2

- Relié aux périphériques via bornes IR(Q)
- Envoie les demandes d'interruptions une par une au CPU (borne INT)

-CS	1		28	□ vcc
-WR	2		27	☐ A0
-RD 🗌	3		26	-INTA
D7 🗌	4		25	□ IR7
D6 🗌	5	Intel 8259	24	☐ IR6
D5 🗆	6		23	🗌 IR5
D4 🗌	7		22	□ IR4
D3 🗌	8		21	☐ IR3
D2 🗌	9		20	☐ IR2
D1 _	10		19	🗌 IR1
D0 🗆	11		18	□ IR0
CAS 0	12		17	☐ INT
CAS 1	13		16	SP/-EN
GND 🗌	14		15	CAS 2

- Relié aux périphériques via bornes IR(Q)
- Envoie les demandes d'interruptions une par une au CPU (borne INT)
- Programmable pour donner des priorités différentes à chaque périphérique

-CS	1		28	□ vcc
-WR □	2		27	☐ A0
-RD 🗌	3		26	-INTA
D7 🗌	4	Intel	25	□ IR7
D6 🗌	5		24	☐ IR6
D5 🗆	6		23	🗌 IR5
D4 🗌	7		22	□ IR4
D3 🗌	8	8259	21	☐ IR3
D2 🗌	9		20	☐ IR2
D1 🗌	10		19	☐ IR1
D0 🗆	11		18	☐ IR0
CAS 0	12		17	☐ INT
CAS 1	13		16	SP/-EN
GND 🗆	14		15	CAS 2

- Relié aux périphériques via bornes IR(Q)
- Envoie les demandes d'interruptions une par une au CPU (borne INT)
- Programmable pour donner des priorités différentes à chaque périphérique
- PIC= Programmable Interrupt Controller

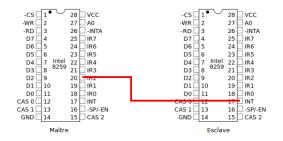
Les IRQ



- IRQ0 timer programmable
- IRQ1 clavier
- IRQ2 mise en cascade d'un 2^e PIC
- IRQ3 port série
- IRQ4 port série
- IRQ5 port parallèle
- IRQ6 disque floppy
- IRQ7 port parallèle



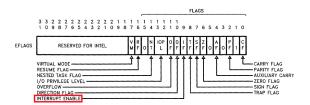
Deux PIC en cascade



 Permet d'augmenter le nombre d'IRQ

Le flag IF

- Si IF=0, le CPU est non-interruptible
- SI IF=1, le CPU est interruptible
- CLI: instruction pour mettre IF à 0
- STI: instruction pour mettre IF à 1
- CLI/STI : utilisés par l'OS



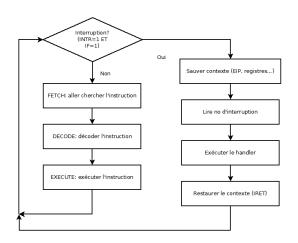
L'instruction IRET

- Exécutée en fin de handler d'interruption
- Permet de revenir au programme interrompu
 - Restaure l'ancien EIP
 - Restaure les anciens registres
 - ...

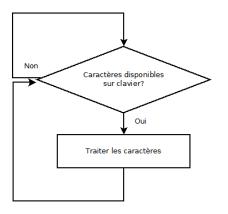
Numéros d'interruptions (80386)

- Chaque type d'interruption a un numéro (« vecteur »)
- 256 types différents
- 0-31 : réservés pour des exceptions
 - 0 : division par 0
 - 6 : opcode non-défini
 - ...
- 32-255 :
 - Définis par l'OS
 - Programmés dans le PIC (interruptions externes)

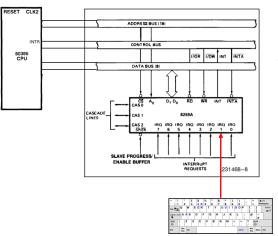
Cycle du processeur avec interruptions



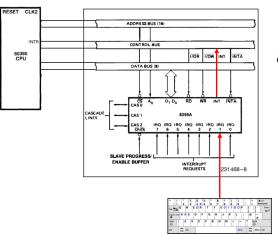
Le polling (scrutation)



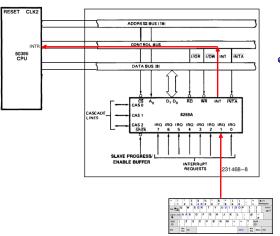
- Exemple : traitement de texte
- Comment détecter une frappe au clavier sans interruptions?
- Seule solution : le polling
- Problème : attente active



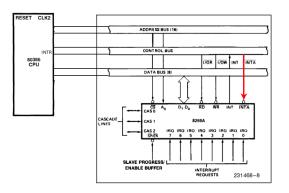
 Arrivée de l'interruption sur INTR



 Arrivée de l'interruption sur INTR

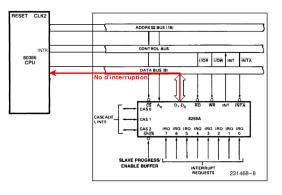


 Arrivée de l'interruption sur INTR



- Arrivée de l'interruption sur INTR
- Accusé de réception sur INTA





- Arrivée de l'interruption sur INTR
- Accusé de réception sur INTA
- Envoi du n° d'interruption sur bus de données

Table d'interruptions

- Contient les adresses des handlers d'interruptions
- Indexée par le numéro d'interruption
- Dans la RAM
- Gérée par l'OS
- Détails : leçon ultérieure et cours de Systèmes

Table d'interruptions : schéma général

