

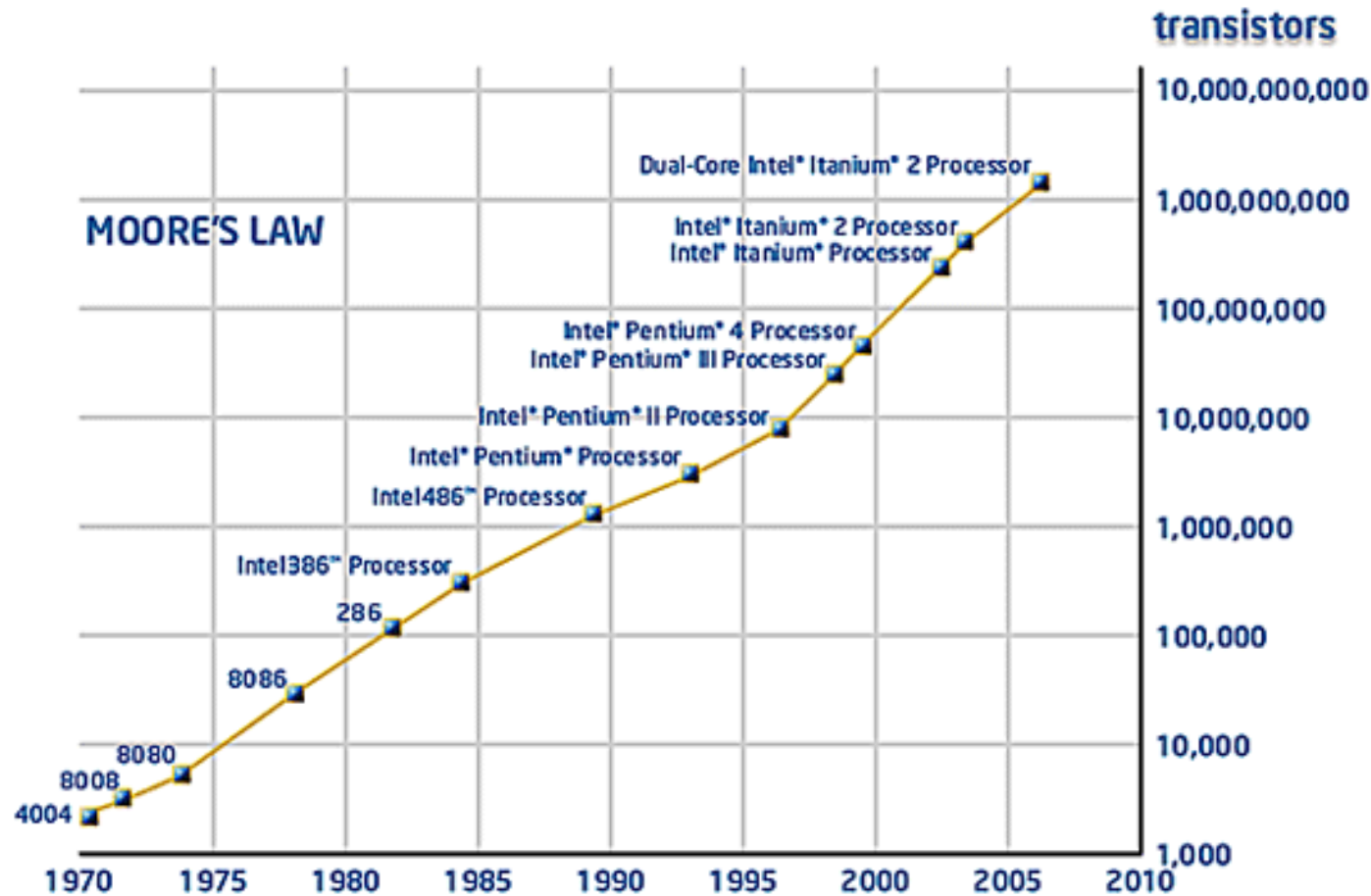
Évolution des processeurs

- ? Historique ...
- ? Loi de Moore ...
- ? Co-processeurs ...
- ? Processeurs pipe-line ...
- ? Classement SISD, SIMD ...
- ? Jeu d'instruction MMX ...
- ? Jeu d'instruction SSE ...
- ? Processeurs 64 bits ...
- ? Processeurs dual core ...

Historique

- Lampes ;
- Transistors ;
- Circuits imprimés ;
- Circuits intégrés ;
- 4040 Intel ;
- 8080 Intel - Z80 Zilog ;
- 8085 Intel ;
- 8086 Intel ;
- 80286, 80386, 80386SX, 80486SX, 80486DX ;
- pentium... 64 bits.

Loi de Moore



Les ordinateurs doublent de puissance tous les deux ans pour le même volume et le même prix de revient.

co-processeurs

- Mathématique ;
- D.M.A. ;
- Graphique ;
- ...

Les processeurs spécialisés permettent de soulager fortement le processeur central.

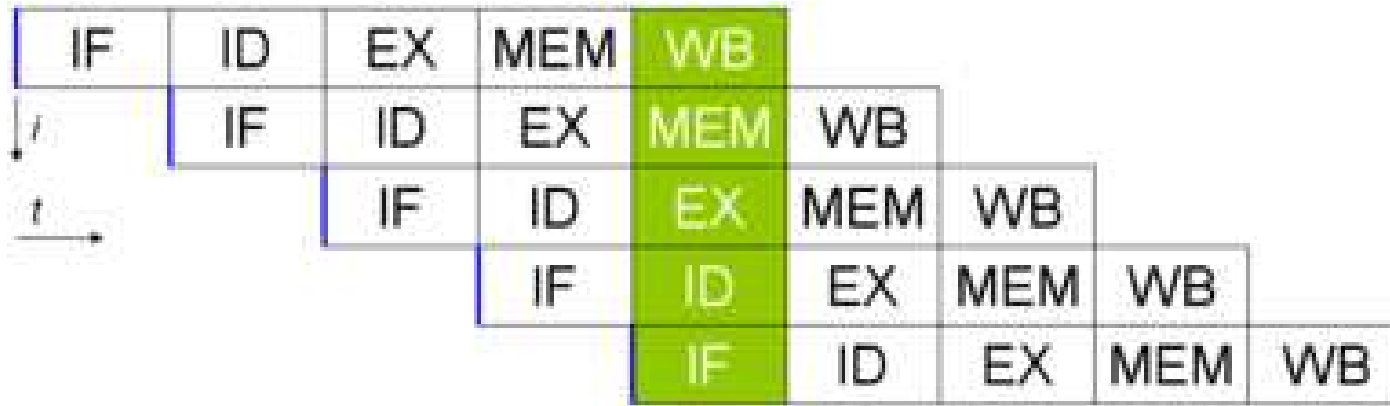
Processeur sans pipeline



Les instructions sont effectuées les unes après les autres.
Ces instructions sont découpées en

- IF Instruction fetch ou lecture de l'instruction ;
- ID Instruction decode ou décodage de l'instruction ;
- EX Execute ou exécution de l'instruction ;
- MEM Lecture en mémoire éventuelle ;
- WB Write Back ou stocker le résultat.

Processeur avec pipeline



Ici, 5 pipelines permettent d'effectuer les instructions en parallèle en utilisant des parties différentes du circuit. En augmentant encore le nombre de pipelines, on obtient des processeurs super scalaires.

Classement

- SISD Single Instruction Single Data : les instructions traitent une seule donnée à la fois ;
- SIMD Single Instruction Multiple Data : les instructions traitent un ensemble de données à la fois. Cela peut être réalisé à l'aide d'un ensemble d'ALU.

MMX Multi media Extensions

- Ajout de 8 registres 64 bits MM0 à MM7 ;
- Ajout de 57 instructions de type SIMD qui permettent d'utiliser ces registres MMX comme un ensemble de valeurs (2 doubles ou 4 words ou 8 bytes).

Un exemple illustre ces possibilités. Il effectue un produit matriciel 2x2. Notez que la compression jpeg est basée sur un double produit matriciel.

MMX Example - 1

Rappels :

$$(1) \quad \begin{pmatrix} a & b \\ c & d \end{pmatrix} \cdot \begin{pmatrix} e & f \\ g & h \end{pmatrix} = \begin{pmatrix} ae + bg & af + bh \\ ce + dg & cf + dh \end{pmatrix}$$

Cette équation (1) est un produit matriciel de deux matrices 2x2. Le résultat est une matrice 2x2.

Dans notre exemple, nous calculons :

$$(2) \quad \begin{pmatrix} 1 & 2 \\ 3 & 4 \end{pmatrix} \cdot \begin{pmatrix} 5 & 6 \\ 7 & 8 \end{pmatrix} = \begin{pmatrix} 19 & 22 \\ 43 & 50 \end{pmatrix}$$

MMX Exemple - 2

Instructions MMX PACKSSDW et PMADDWD

MM0	<table><tr><td>1</td><td>2</td></tr></table>	1	2	2 dword	MM0	<table><tr><td>1</td><td>2</td><td>3</td><td>4</td></tr></table>	1	2	3	4	4 word
1	2										
1	2	3	4								
MM1	<table><tr><td>3</td><td>4</td></tr></table>	3	4	2 dword	MM1	<table><tr><td>5</td><td>6</td><td>7</td><td>8</td></tr></table>	5	6	7	8	4 word
3	4										
5	6	7	8								
PACKSSDW MM0,MM1			PMADDWD MM0,MM1								
MM0	<table><tr><td>1</td><td>2</td><td>3</td><td>4</td></tr></table>	1	2	3	4	4 word	MM0	<table><tr><td>17</td><td>53</td></tr></table>	17	53	2 dword
1	2	3	4								
17	53										

PACKSSDW place 4 valeurs entières contenues dans deux registres MMX dans un seul registre MMX.

PMADDWD effectue le 1/2 calcul matriciel 2x2. Ici, $1*5+2*6 = 17$ ET $3*7+4*8 = 53$.

Le programme MMX01.asm complet est donné en annexe. Un extrait est donné au slide suivant.

MMX Example - 3

```
section .data
M1L1    dd      1,2 ; matrice 1, ligne 1
M1L2    dd      3,4 ; matrice 1, ligne 2
M2C1    dd      5,7 ; matrice 2, colonne 1
M2C2    dd      6,8 ; matrice 2, colonne 2

section .code
MOVQ     MM0,[ M1L1]      ;1,2
MOVQ     MM1,[ M1L1]      ;1,2
MOVQ     MM2,[ M2C1]      ;5,7
MOVQ     MM3,[ M2C2]      ;6,8
PACKSSDW MM0,MM1          ;1,2,1,2
PACKSSDW MM2,MM3          ;5,7,6,8
PMADDWD  MM0,MM2          ;19,22
MOVQ     MM4,[ M1L2]      ;3,4
MOVQ     MM5,[ M1L2]      ;3,4
PACKSSDW MM4,MM5          ;3,4,3,4
PMADDWD  MM4,MM2          ;43,50
```

3DNow !

C'est la réponse d'AMD à Intel.

AMD, avec son K6, ajoute les mêmes instruction que MMX, aussi en SIMD, mais en calcul flottant.

SSE 1999

Streaming Simd Extensions. Intel propose 70 instructions supplémentaires pour son pentium III ainsi que 8 nouveaux registres 128 bits XMM0 à XMM7. Ces registres sont souvent considérés comme contenant 4 flottants de 32 bits. Un exemple illustre ces possibilités. Il s'agit d'extraire 4 racines carrées en une seule instruction. Les jeux 3D, pour le calcul des distances, utilisent souvent le calcul de racines carrées.

SSE Example - 1

```
section .data
Nbres    dd      9.0,16.0,25.0,36.0
section .bss
Racin    resd     4
section .code
        SQRTPS   xmm0,[Nbres]      ; considère Nbres comme 4 flottants
                                   ; et en calcule les racines carrées
        MOVUPS   [Racin],xmm0      ; copie ces 4 racines en mémoire
```

Racin contient après ces instructions, 0x40400000, 0x40800000, 0x40A00000 et 0x40C00000.
Le programme SSE01.asm complet est donné en annexe.

SSE Example - 2

Interprétation des résultats (IEEE754).

Racine contient la représentation de 3.0, 4.0, 5.0 et 6.0.

Les nombre flottants 32 bits sont ici représentés par

- 1 bit de signe 0 positif et 1 négatif ;
- 8 bits d'exposant de 2 en excédent à 127 ;
- 23 bits pour la partie fractionnaire de la mantisse (N'oubliez pas le +1).
- 3.0 est représenté par $0x40400000 = +2^1 \cdot (1 + \frac{1}{2})$.
- 4.0 est représenté par $0x40800000 = +2^2 \cdot (1)$.
- 5.0 est représenté par $0x40A00000 = +2^2 \cdot (1 + \frac{1}{4})$.
- 6.0 est représenté par $0x40C00000 = +2^2 \cdot (1 + \frac{1}{2})$.

SSE2

Streaming Simd Extensions -2. Intel propose 144 instructions supplémentaires pour son pentium 4. Les registres XMM peuvent être aussi considérés comme contenant 2 flottants de 64 bits.

Streaming Simd Extensions -3. Intel et AMD proposent des instructions supplémentaires orientées calcul 3D.

SSSE3

Supplemental Streaming Simd Extensions -3. 16 nouvelles instructions proposées sur les processeurs Intel et AMD.

SSE4

Streaming Simd Extensions -4. De nouvelles instructions proposées sur les processeurs Intel et AMD. Cependant, ce SSE4 est annoncé avec des divergences pour ces deux constructeurs. On peut s'attendre à une situation d'incompatibilité : des programmes qui fonctionnent sur AMD et pas sur Intel et inversement.

Processeurs 64 bits

Conjointement à ces nouveaux jeux d'instruction, les registres classiques augmentent de taille. Les registres EAX, EBX... sont étendus à 64 bits et s'appellent RAX, RBX... Les adresses sont sur 64 bits, ce qui offre un espace adressable de $\approx 16.10^{18}$ bytes. Les bus d'adresse des processeurs actuels sont cependant limités à 40, 42 ou 44 bits.

Processeurs dual core

On assiste aussi au doublement des processeurs dans un même circuit intégré. Ceci permet de doubler théoriquement la puissance du circuit. Par exemple, gcc qui est un compilateur sous linux, accepte l'option -j 2 pour lui signaler qu'il peut effectuer sa compilation sur un processeur dual-core.

Ces processeurs sont exploités à l'aide de process qui utilisent 2 threads.

Ces threads peuvent être vus comme des process qui s'exécutent avec 2 registres IP mais qui partagent tout le reste.