**毕 业 论 文**



题 目： **流水式全数字锁相环芯片的研究**

**与设计**

学 院： **理学院**

年级、专业： **2019级、微电子科学与工程**

学 生：  **卢星宇**

学 号：  **3120192108128**

指导教师：  **胡夏融**

完成日期**：**

目录

# 摘要

锁相环（Phase Locked Loop，PLL）是一种电路或系统，其本质是通过比较两个信号的相位差，并调整一个信号的频率或相位，使其与另一个信号同步。全数字锁相环（Digital Phase Locked Loop，DPLL）是一种利用数字信号处理技术实现相位同步和频率稳定的锁相环系统。与传统的模拟锁相环相比，DPLL主要的区别是将模拟电路转换为数字电路， 具有更高的精度、稳定性、灵活性以及可集成化与抗干扰能力强等特点。但是，现有的锁相环任存在锁相速度慢、功耗高、以及系统参数不能动态调节等问题。

本文针对这些问题实现了一种使用流水线技术优化的全数字锁相环电路。该锁相环主要由数字鉴相器、数字滤波器、数控振荡器组成。其中数字鉴相器由双D触发器实现，数字滤波器由可逆计数器组成，数控振荡器由N分频器组成。

该锁相环电路利用Verilog硬件描述语言，采用自上向下的设计方法，并通过modelsim进行仿真。

引 言

# 概要

## 选题背景

锁相环（Phase-Locked Loop，PLL）是一种常见的控制系统，其用于调节一个振荡器的频率和相位，以使其与一个参考信号保持同步。锁相环通常由相位比较器、环路滤波器、振荡器和分频器等组成，它可以在很多领域中应用，如通信、计算机、测量和控制等。

在通信领域，锁相环经常用于时钟恢复、时钟同步和频率合成等应用中。例如，在数字通信系统中，接收端需要从接收到的数据信号中提取出时钟信号，用于进行数字信号处理。此时，锁相环可以通过将接收到的信号与本地时钟信号进行比较，调整本地时钟信号的频率和相位，从而实现时钟恢复。在无线通信系统中，锁相环可以用于时钟同步，通过调节本地时钟信号的相位，使其与远程时钟信号保持同步，从而实现数据的正确传输。锁相环还可以用于频率合成，通过将一个低频信号锁定到一个高频参考信号上，以实现高精度的频率合成。

根据锁相环的实现方式，可以将其分为模拟锁相环和数字锁相环两种。模拟锁相环是使用模拟电路来实现锁相环的各个部分，数字锁相环则是使用数字电路来实现锁相环的各个部分，包括数字控制振荡器、数字相位比较器等。现有的模拟锁相环电路设计比较复杂，且精度较低、频率范围较窄。模拟锁相环的稳定性与抗干扰能力较差，容易受到温度、湿度、电源、外部电磁干扰的影响。由于模拟锁相环使用的是模拟电路，因此在集成度上受到一定的限制，使用的元器件和材料成本相对数字锁相环较高。

对于模拟电路存在的问题，如使用数字电路即可解决。全数字锁相环（All-Digital Phase-Locked Loop， ADPLL）的特点就是使用数字电路来实现锁相环的各个部分，它具有以下特点：

1. 精度：全数字锁相环具有高精度的特点，可以实现非常精确的相位和频率控制，通常精度可以达到ppm级别，甚至更高。
2. 频率范围：全数字锁相环的频率范围非常广，可以覆盖从几十 Hz 到数 GHz 的范围。
3. 稳定性：全数字锁相环的稳定性较好，受到环境温度、湿度、电源变化等因素的影响较小。
4. 抗干扰能力：全数字锁相环具有较强的抗干扰能力，可以有效地抵御来自外界的电磁干扰和噪声干扰。
5. 功耗：全数字锁相环的功耗相对较低，通常可以在数十 mW 到几个W之间，随着集成度的提高，其功耗也在不断降低。
6. 可编程性：全数字锁相环具有较强的可编程性，可以根据具体应用场景进行灵活配置和参数调节。
7. 成本：由于全数字锁相环使用的是数字电路，因此在集成度上可以更高，使用的元器件和材料成本相对模拟锁相环较低。

综上所述，全数字锁相环在精度、频率范围、稳定性、抗干扰能力、功耗、可编程性和成本等方面都具有很大的优势，广泛应用于高精度测量、高速数据传输、频率合成等领域。

## 国内外研究现状与发展方向

## 论文结构

# 锁相环的简介与分析

锁相环按照实现的不同可以分为模拟锁相环和数字锁相环。模拟锁相环是由模拟电路构成的一种闭环控制系统，它通过比较输入信号和输出反馈信号的相位差，产生控制信号来调整本地振荡器的频率和相位，以实现输入信号与本地振荡器输出信号同步的目的。随着半导体技术的迅速发展，出现了全数字锁相环，它将模拟锁相环中的模拟电路转换为数字电路，并使用数字信号处理算法实现锁相环的各种功能。全数字锁相环具有较高的抗干扰能力和稳定性能，且具有很强的可编程性和可扩展性，可以实现更加复杂的信号处理和控制功能。

## 锁相环的主要应用

锁相环（Phase Locked Loop，PLL）是一种广泛应用于电子系统中的控制回路，可以用于多种应用。以下是锁相环的主要应用：

1. 时钟恢复：锁相环常用于从数字信号中提取时钟信号，即时钟恢复。锁相环可以实现时钟信号的稳定提取，从而提高系统的可靠性和稳定性。
2. 频率合成：锁相环可以将一个低频稳定参考信号转换为一个高频信号，即频率合成。通过改变锁相环的参数，可以实现不同频率的输出信号，适用于多种应用场景。
3. 频率转换：锁相环可以实现频率的倍频和分频，即频率转换。通过改变锁相环的参数，可以实现不同倍频和分频的输出信号，适用于多种应用场景。
4. 时钟多路复用：锁相环可以将多个时钟信号合并为一个时钟信号，即时钟多路复用。通过锁相环的控制，可以实现多个时钟信号的同步和切换，适用于多种应用场景。
5. 数字信号处理：锁相环可以作为数字信号处理的重要模块，实现数字滤波、相位调制和频率变换等功能。锁相环的可编程性和灵活性使得它在数字信号处理领域有广泛的应用。
6. 测试与测量：锁相环可以用于测量频率、相位和时间等参数，适用于测量系统和测试仪器等领域。锁相环的高精度和高稳定性使得它在测量和测试中具有重要的作用。
7. 通信系统：锁相环可以用于调制解调、频率合成、时钟恢复和时钟多路复用等通信系统中的重要模块。锁相环的高精度和高稳定性使得它在通信系统中具有重要的作用。

锁相环是一种非常实用的电路模块，在电子系统中有广泛的应用。不同的应用场景需要不同的锁相环设计，需要根据实际需求选择合适的锁相环类型和参数。

## 锁相环的性能指标

锁相环的主要性能指标包括以下几个方面：

1. 锁定时间（Lock time）：锁相环从失锁状态到锁定状态所需的时间。通常情况下，锁定时间越短越好，因为这可以提高锁相环的响应速度。
2. 锁定范围（Capture range）：锁相环能够跟踪的输入频率范围。通常情况下，锁定范围越宽越好，因为这意味着锁相环可以跟踪更大范围的输入频率变化。
3. 锁定精度（Lock accuracy）：锁相环输出频率与参考信号频率的偏差。通常情况下，锁定精度越高越好，因为这意味着锁相环可以更精确地跟踪输入信号。
4. 抖动（Jitter）：锁相环输出频率的短期变化。通常情况下，抖动越小越好，因为这可以提高锁相环的稳定性和精度。
5. 相位噪声（Phase noise）：锁相环输出信号的相位噪声。通常情况下，相位噪声越小越好，因为这可以提高锁相环输出信号的稳定性和精度。
6. 功耗（Power consumption）：锁相环电路的功率消耗。通常情况下，功耗越低越好，因为这可以提高锁相环的效率和可靠性。

## 模拟锁相环

模拟锁相环通常由鉴相器（Phase Detector，PD）模块、环路滤波器（Low Pass Filter，LPF）、压控振荡器（Voltage Control Oscillator，VCO）模块和反馈电路等组成。其中，鉴相器模块用于将输入信号和本地振荡器信号进行比较，并产生误差信号；环路滤波器用于滤除高频噪声，保留控制信号中的直流分量；压控振荡器用于产生本地振荡器信号，并通过控制电压调节其频率和相位；反馈电路用于将本地振荡器信号反馈到鉴相器模块，使其与输入信号同步。其主要电路结构如图2.1所示。



图2.1模拟锁相环的基本结构

设输入信号

其中，和分别是输入信号的幅度和角频率，是输入信号的相位。

设输出信号

其中，和分别是输入信号的幅度和角频率，是输入信号的相位。

通过上面的公式可以得到鉴相器模块的输出误差信号

环路滤波器的主要作用是过滤鉴相器输出的高频部分和噪声，环路滤波器的输出为：

其中，是环路滤波器的输出电压，和分别是滤波器的电阻和电容。

压控振荡器受滤波器输出的控制产生新的本地震荡信号

其中是本地振荡器的自然频率；是振荡器的控制增益。

反馈电路将本地振荡器信号反馈到鉴相器模块中与输入信号进行比较。

模拟锁相环的工作原理比较简单，但是由于模拟电路受到环境和器件参数的影响较大，因此在实际应用中容易受到噪声和漂移等因素的影响，其稳定性和精度有限。随着数字技术的不断发展，全数字锁相环逐渐取代了模拟锁相环成为主流，具有更高的抗噪声和稳定性能，能够满足更高精度的相位控制需求。

## 全数字锁相环

全数字锁相环是一种基于数字电路实现的相位控制系统，其主要由图2.2所示的数字鉴相器（Digital Phase Detector，DPD）模块、数字环路滤波器（Digital Loop Filter，DLF）、数字控制振荡器（Digital Controlled Oscillator，DCO）模块和数字反馈电路模块构成。其工作过程可以分为以下几个步骤：

1. 输入信号与本地振荡器比较：输入信号和本地振荡器信号经过数字鉴相器模块进行比较，产生超前信号和滞后信号。
2. 误差信号滤波：误差数字量通过数字环路滤波器进行滤波处理，以去除高频噪声和谐波，根据超前信号和滞后信号生成控制信号、。
3. 控制数字控制振荡器：控制信号、。通过数字控制振荡器模块来控制本地振荡器的频率和相位，以产生新的本地振荡器信号。
4. 反馈：新的本地振荡器信号通过数字反馈电路反馈回数字鉴相器模块中进行比较，使锁相环系统能够不断地调整本地振荡器的频率和相位，使其与输入信号保持相位一致，实现相位锁定。



图2.2全数字锁相环的基本结构

### 数字鉴相器

数字鉴相器（Digital Phase Detector，DPD）是全数字锁相环中的关键模块之一，其主要作用是将输入信号和本地振荡器信号进行比较，并产生信号，用于控制数字环路滤波器和数字控制振荡器模块。数字鉴相器的设计与实现方法有多种，常见的有异或门鉴相器、双D触发鉴相器、JK触发鉴相器等。本文采用的是双D触发鉴相器。下面阐述其工作原理。



图2.3双D触发鉴相器

如图2.3所示，双D触发鉴相器由两个D触发器和两个与门构成，其中两个D触发器的D端接高电平，CLK端一个接输入参考信号ref、另一个接数控振荡器的输出dco。通过比较ref、dco两个信号出现的先后顺序得到误差信号。当触发器II的上升沿比触发器I的上升沿先到来时，输出信号dco超前与于输入信号ref，此时为“1”，为“0”，输出超前信号up为“1”。当触发器I的上升沿也到来时，为“1”，为“0”。此时，与都为高电平，通过与门会将两个D触发器清零，然后重复以上操作。同理当触发器I的上升沿比触发器II的上升沿先到来时，输出滞后信号dn为“1”。，如果相位在过去10个周期内处于锁定状态，它将锁定信号lock设置为高电平。输出波形如图2.4所示。



图2.4输出dco超前输入ref波形图



图2.5输出dco滞后输入ref波形图



图2.6输入输出频率不相同时波形图

图2.4到2.7中up为超前信号，dn为滞后信号。当输出信号与输入信号相同时，输出信号超前于输入信号时，波形图如图2.4所示，up为两者之间的相位差。输出信号滞后于输入信号时，波形图如图2.5所示，dn为两者之间的相位差。当输入信号与输出信号频率不同时，波形图如图2.6所示，此时输出信号先滞后于输入信号，两个周期后输出信号超前于输入信号。

对双D触发鉴相器的结构和工作过程分析可知其工作特性如图2.7所示，从下图可以看出鉴相信号的误差为时，相位误差序列为一个周期，所以双D触发鉴相器的鉴相周期为。



图2.7双D触发鉴相器特性图

与其它鉴相器相比，双D触发鉴相器不仅可以鉴相还可以鉴频，当输入信号与输出信号的频率不同时，鉴相器的误差信号的脉冲宽度与两种之间的频率差成正比，误差数字量通过数字环路滤波器进行滤波处理，以去除高频噪声和谐波，得到控制量来控制振荡器的频率和相位使得输出信号的频率接近输入信号的频率，最终实现锁定的目的。由于双D触发鉴相器可以同时鉴相与鉴频，其输出与相位误差与频率误差有关，因此带有双D触发鉴相器的锁相环在任意情况下都能获得锁定，本设计采用的鉴相器为双D触发器。

### 数字滤波器

在全数字锁相环中，数字滤波器是一个重要的模块，它主要用于去除数字控制振荡器产生的高频噪声，同时保留所需的基准信号的频率成分，对系统的运行速度和稳定性有一定的调节作用。常用的数字滤波器有加减计数器滤波器、K计数器滤波器、随机徘徊滤波器以及先N后M系列滤波器等。数字滤波器的选择与数字鉴相器有关，对于不同的鉴相器，输出的信号是不同的，所以采用的环路滤波器也是不同的。由于本设计采用的是双D触发鉴相器，输出的信号为两个二进制信号，所以数字滤波器使用随机徘徊滤波器。

随机徘徊滤波器的结构如图2.8所示，随机徘徊滤波器的主体为可逆计数器，可逆计数器的初始大小为0，最大容量为N。



图2.8 随机徘徊滤波器中的可逆计数器

当有超前脉冲输入到Inc端时，计数器上行计数，当有滞后脉冲输入到Dec端时，计数器下行计数。如果超前脉冲超过滞后脉冲的数目达到计数器容量N时，就在+N端输出一个超前控制脉冲，同时使计数器复位。反之，则在-N端输出一个滞后控制脉冲，同时计数器复位。环路锁定前，鉴相器连续输出超前或滞后脉冲，上行计数器或者下行计数器达到满状态后输出超前控制脉冲或者滞后控制脉冲，在这两个脉冲作用下逐步进入锁定状态。当环路进入锁定状态后，由噪声引起的超前或者滞后脉冲是随机的，而且出现的概率基本相等，不会有连续多个超前或滞后脉冲，因此它们的差值达到计数器容量N的可能性极小，这样就可以减少噪声对环路的干扰作用。

### 数控振荡器

数控振荡器的作用与模型锁相环中的压控振荡器的作用类似，都是用与调节频率与相位的电路。不同之处在于压控振荡器通过模拟电路实现的，是用电压来调节振荡器的输出信号，而数控振荡器通过数字电路实现，用控制字来调节数控振荡器的输出信号。因此DCO具有数字电路的优点，例如易于控制和集成，稳定性和精度高等。

常见的数控震荡器有多种，包括除N计数器数控振荡器、增减计数器数控振荡器等。由于本设计使用的是随机徘徊滤波器，所以控制振荡器采用增减计数器式数控振荡器。

该振荡器主要功能是将输入的时钟信号进行分频，主要由一个8位计数器构成，其输出频率的相位控制信号来源于环路滤波器产生的超前控制脉冲信号postive或者滞后控制脉冲信号negative，当pos和neg信号都为低电平时，计数器加一，计数器不变，因此输出信号的频率也不会改变；当出现pos信号时，相当于在分频信号中插入了一个时钟周期，此过程减小了输出信号的频率；当出现neg信号时，计数器加二，相当与在分频信号中减去一个时钟周期，从而减少了输出信号的频率。

# 流水式全数字锁相环设计

## 流水线技术

硬件描述语言的一个突出优点就是执行指令的并行性。多条语句能够在相同时钟周期内并行处理多个信号数据。

但是当数据串行输入时，指令执行的并行性并不能体现出其优势。而且很多时候有些计算并不能在一个或两个时钟周期内执行完毕，如果每次输入的串行数据都需要等待上一次计算执行完毕后才能开启下一次的计算，效率是非常低的。

流水线是一种处理串行数据的技术，可以提高处理器的吞吐量和运算效率。在硬件描述语言中，流水线的实现方式是将计算任务划分成多个阶段，然后在不同的时钟周期内依次执行这些阶段。每个阶段的输出作为下一个阶段的输入，这样可以在同一时钟周期内处理多个数据。

流水线技术可以应用于各种不同的场景，例如数字信号处理、图像处理、加密解密等等。在FPGA中，流水线技术被广泛应用于高速数据处理、数字信号处理、数字滤波器设计等领域。通过使用流水线技术，可以实现高效的数据处理，提高处理器的运算效率和系统的整体性能。

### 流水线技术的工作原理

流水线技术的基本思想是将一个任务划分为若干个子任务，并且将这些子任务串行地连接在一起，形成一个流水线。每个子任务只处理部分数据，然后将结果传递给下一个子任务进行处理。这样，每个子任务都可以在同一时钟周期内独立地完成其任务，并且不必等待上一个任务的完成。

如图2.9为一个同步时序逻辑电路结构。



图2.9 同步时序电路

电路中，设每级寄存器的延时时间为，两级寄存器中的每级组合电路的延时时间为，则该同步时序电路的最高时钟工作频率，组合电路的延时时间越长，同步电路的运行速度就越低。为了提高同步电路的工作速度，可以采用流水线技术。如图3.10为采用流水线技术后的电路设计。



图2.10 采用流水线结构的电路

该电路在图2.9的两个组合逻中间加入了一个寄存器，在此电路图中，每一级的组合逻辑电路的延时时间为，则电路的最高工作频率，只要，电路的运行速度就会提高。

### 流水线技术在FPGA中的实现

FPGA中的逻辑单元（LE）为用于完成用户逻辑的最小单元，每8个LE可以通过连线构成一个逻辑阵列块（LAB），多个LAB和外围的I/O单元连接，可以构成多个门逻辑。FPGA的输入信号于输出信号都为数字信号，每经过一个TTL门电路时都会产生一定的延迟，而在FPGA设计中会用到非常多的门电路，所以电路门的延时在很大程度上影响了整体电路系统的运行速度，可以通过减少各节点的延迟来提高电路的运行速度。流水线技术可以改变系统的电路结构来减少延迟。

乘法器、加法器、计数器是电路设计中常用到的模块，可以通过优化这些模块，再在系统中使用这些模块来提高系统速度。

1. 加法器

例如8位加法器，利用流水线技术的原理，将一个8位加法操作分解为两个4位加法操作，每个4位加法器后加入一个锁存器保计算结果。低4位的加法器与高4位的加法器同时进行加法运算，最后将低4位的进位与高4位的数据相加并输出结果。具体电路如图2.11所示。



图2.11 流水线8位加法器工作图

图中，先将A与B的高四位[7:4]和低四位[3:0]同时进行相加，低四位的进位再与高四位结果相加，最后分别输出结果C的高四位和低四位。与一般的8位加法器而言，4位加法器的运行速度快于8位加法器，所以利用二级流水线实现的8位加法器快于一般的8位加法器。

1. 计数器

计数器也可以使用流水式电路结构来优化，以24位计数器为例，该计数器的进位链很长，必然会降低工作效率。我们可以将其分成三个8位的计数器，每当8位计数器达到最大值255后，利用进位信号触发下一个8位计数器工作，这样减少了系统工作延迟，从使系统处理信息的速度达到最大。同时因为将系统较大的逻辑块划分位几个小的逻辑块，所以系统的功耗也会相应减少。具体的实现电路如图2.12所示。



1. 传统的24位计数器



1. 采用流水线技术的24位计数器

图2.12 计数器的电路结构

其中图a为传统的24位计数器电路结构，图b为采用流水线技术的计数器电路结构。从图b中可以看出，24位的计数器分用流水线技术分为了3级，每一级有一个8位计数器组成，其中第一级计数器保存的数据为0-7位，第二级计数器保存的数据为8-15位，第三级计数器保存的数据为16-23位。每当前一级的8位计数器存满时，输出进位信号，触发后一级的8位计数器开始计数，以此内推进行累加计数。采用流水线计数可以提高计数器的处理速度，从而提高整个系统的运行速度与减少功耗。

## 流水式全数字锁相环设计方案

### 双D触发鉴相器

双D触发鉴相器是用于检测输入信号与输出信号之间的相位差，使后面的设计根据相位差来进行控制。其RTL电路图如图3.1所示，主要由两个D触发器与两个与门组成。

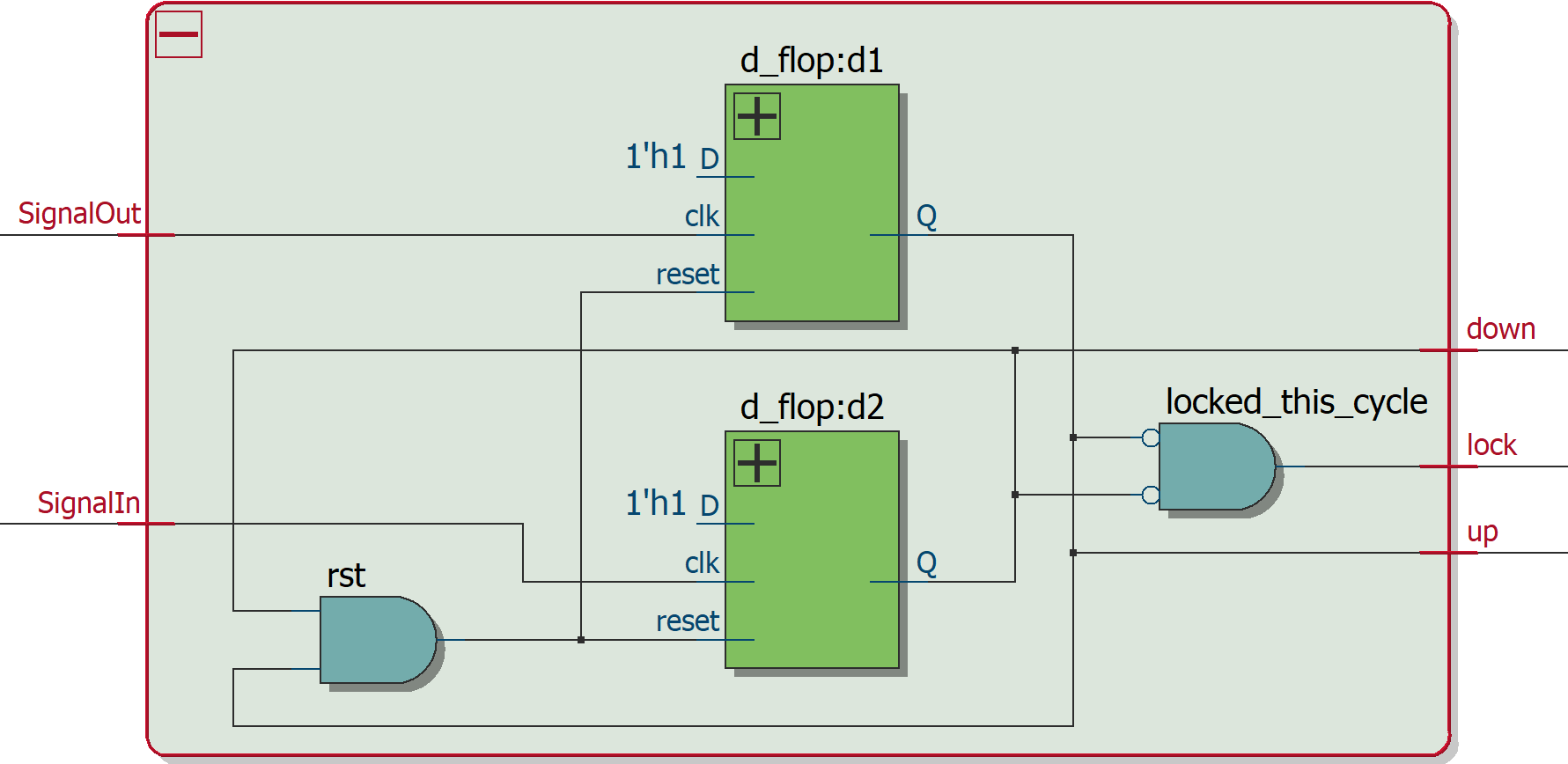


图3.1 双D触发鉴相器RTL电路图

其中SignalOut为压控振荡器的输出反馈信号，SignalIn为输入的参考信号，down为输出滞后信号，up为输出超前信号，lock为锁定信号。其主要工作过程为比较参考信号与输出反馈信号先后到来的顺序输出超前信号up与滞后信号down，如果前10个周期反馈信号没有延迟或者超前，锁定信号lock输出为高电平，即环路处于锁定状态。

图3.2所示为输出参考信号SignalOut与输入反馈信号SignalIn处于相同频率时，SignalOut超前于SignalIn的波形图。

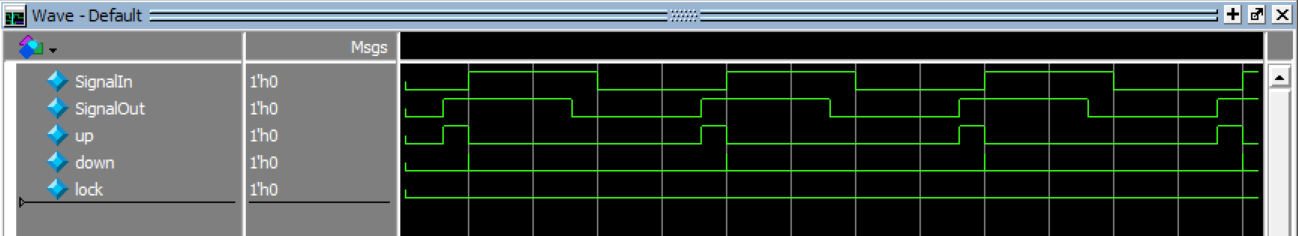


图3.2 SignalOut超前于SignalIn时的波形图

由上图可以看出超前信号up出现了高电平，出现的时间为SignalOut的上升到来时间与SignalIn上升沿到来的时间。

图3.3所示为输出参考信号SignalOut与输入反馈信号SignalIn处于相同频率时，SignalOut滞后于SignalIn的波形图。

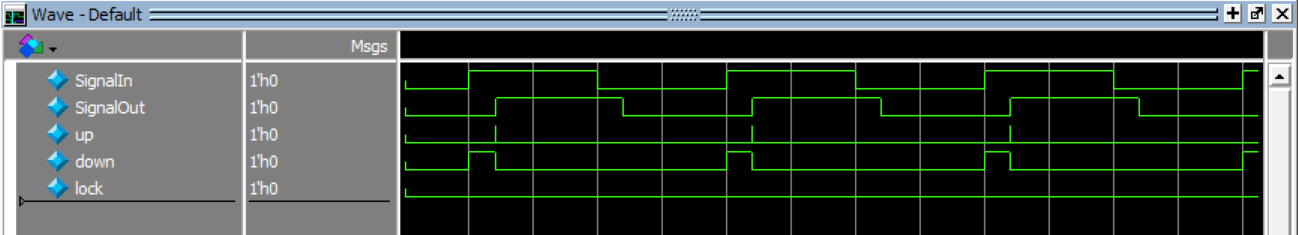


图3.3 SignalOut超前于SignalIn时的波形图

由上图可以看出滞后信号down出现了高电平，出现的时间为SignalIn的上升到来时间与SignalOut上升沿到来的时间。

图3.4与图3.5分别为SignalIn频率是SignalOut频率的两倍和四倍时的波形图，可以看出当频率不同时，相位误差会随之变化。



图3.4 SignalIn频率为SignalOut两倍的波形图

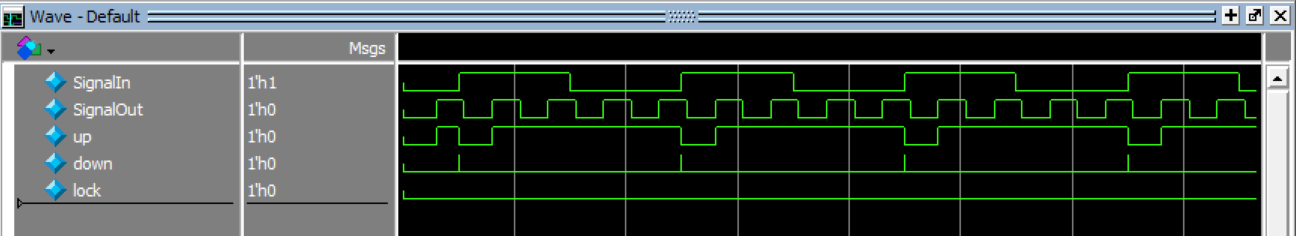


图3.5SignalIn频率为SignalOut四的波形图

由图3.2到3.5可以看出，双D触发鉴相器不仅可以起到鉴相作用，同时还起到了鉴频作用。

### 流水式数字滤波器

流水式数字滤波器的主要的作用是根据数字鉴相器输出的超前信号和滞后信号来输出超前控制脉冲与滞后控制脉冲控制去控制振荡器输出频率的大小。数字滤波器采用的是随机徘徊滤波器，其主要由8位可逆计数器组成，对该可逆计数器采取二级流水线电路结构。第一级计数器的位数位为0-3位，第二级计数器位数位4-7位。当开始向上计数时，先从低4计数器开始计数，当低4位计数器达到最大值后触发高4位计数器，直到达到高4位计数器最大值。流水式计数器的端口如图3.6所示，RTL电路图如图3.7所示。

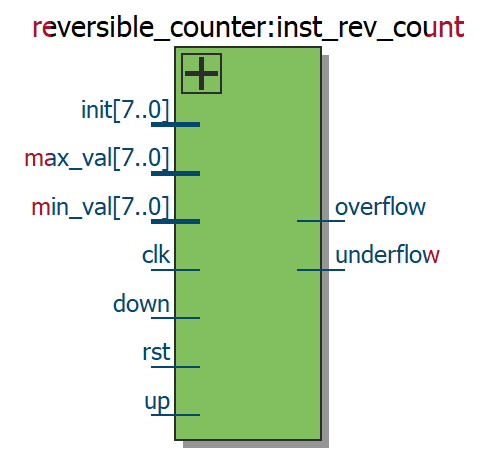


图3.6数字滤波器中的流水式计数器

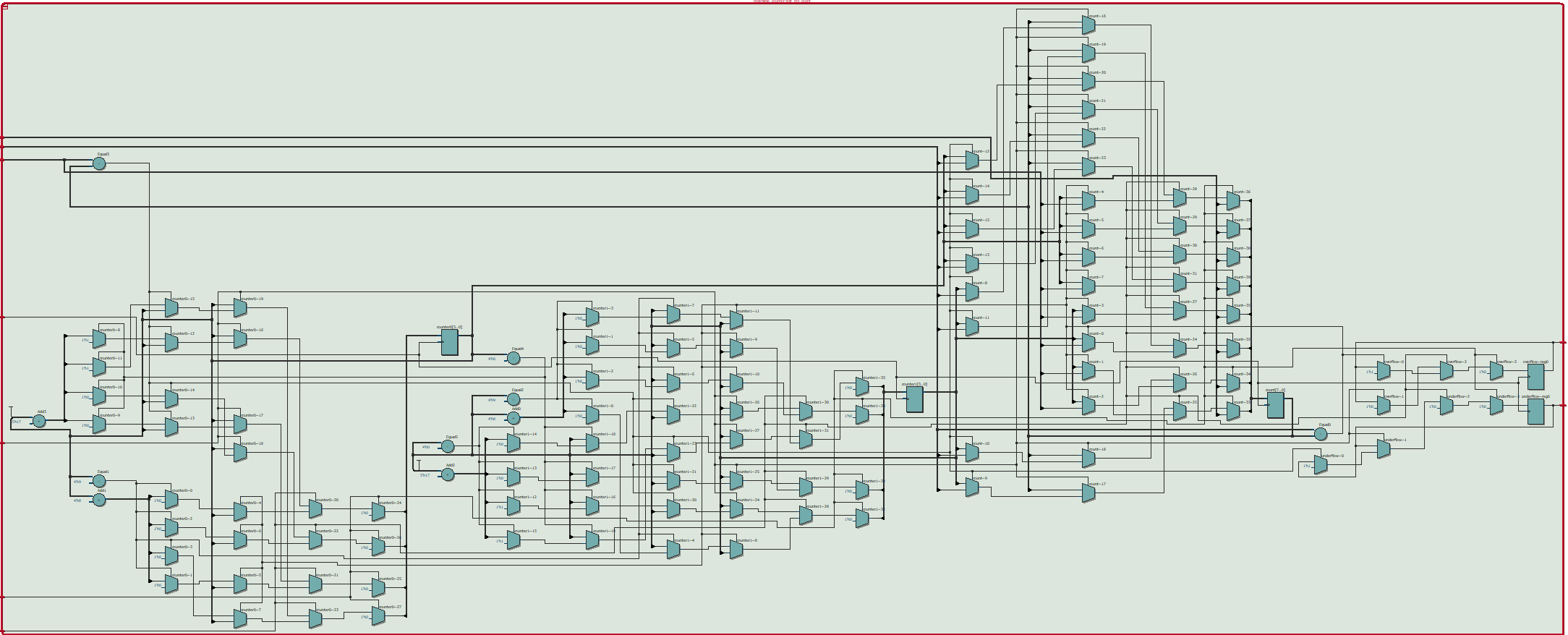


图3.6流水式计数器的RTL电路图

其中init为计数器初始值，max\_val为计数器的最大值， min\_val为计数器的最小值，它们的大小为7位，clk为时钟，up为向上计数信号，down为向下计数信号，当计数器达到最大值时输出overflow信号，达到最小值时输出underflow信号，同时计数器归零，rst为复位信号。

随机徘徊滤波器的RTL结构图如图3.7所示

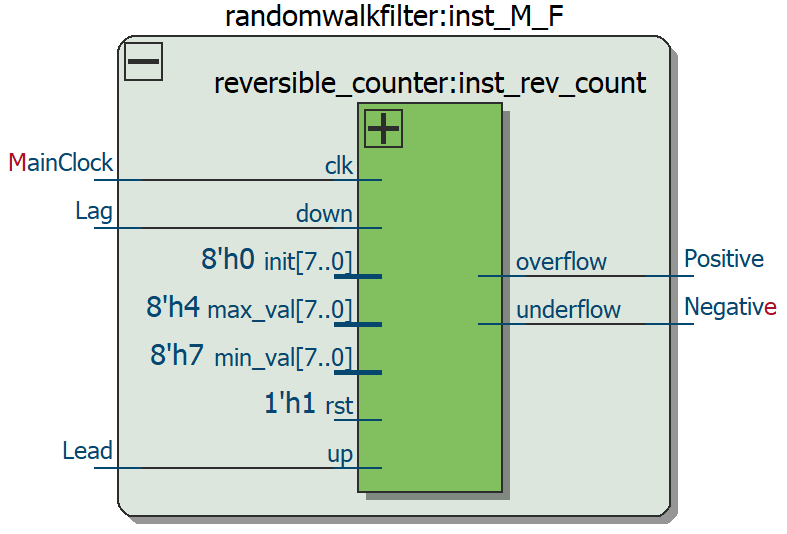


图3.7 随机徘徊滤波器的RTL电路图

其中MainClock为时钟信号，Lead为鉴相器输出的超前信号，Lag为鉴相器输出的滞后信号，Positve为超前控制信号，Negative为滞后控制信号。此外，在随机徘徊滤波器的基础增加了一个Rest值可调的功能，工作原理框图如图3.8所示。



图3.8重制值可调的随机徘徊滤波器

图中，鉴相器输出的超前信号与滞后信号同时控制随机徘徊滤波器M和随机徘徊滤波器N，当随机徘徊滤波器M中的计数器达到最大值或者最小值时，计数器的值重置为0。同时输出的增加与减少信号进入一个8位可逆计数器中，如图3.9这个8位可逆计数器的值决定了随机徘徊滤波器N中计数器的重置值。



图3.9重置计数器的值对应随机徘徊滤波器N重置值

随机徘徊滤波器可以减少噪声并平滑信号，同时保持足够的灵敏度以跟踪变化。该滤波器通过对输入信号进行加减运算，以随机步长向上或向下进行平滑处理。在随机徘徊滤波器上加入可控制重置值的功能使滤波器对信号的快速变化做出响应并跟踪它，同时保持对长期变化的平滑响应。

采用Verilog设计的可控制重置值随机徘徊滤波器RTL电路图如图3.10所示。

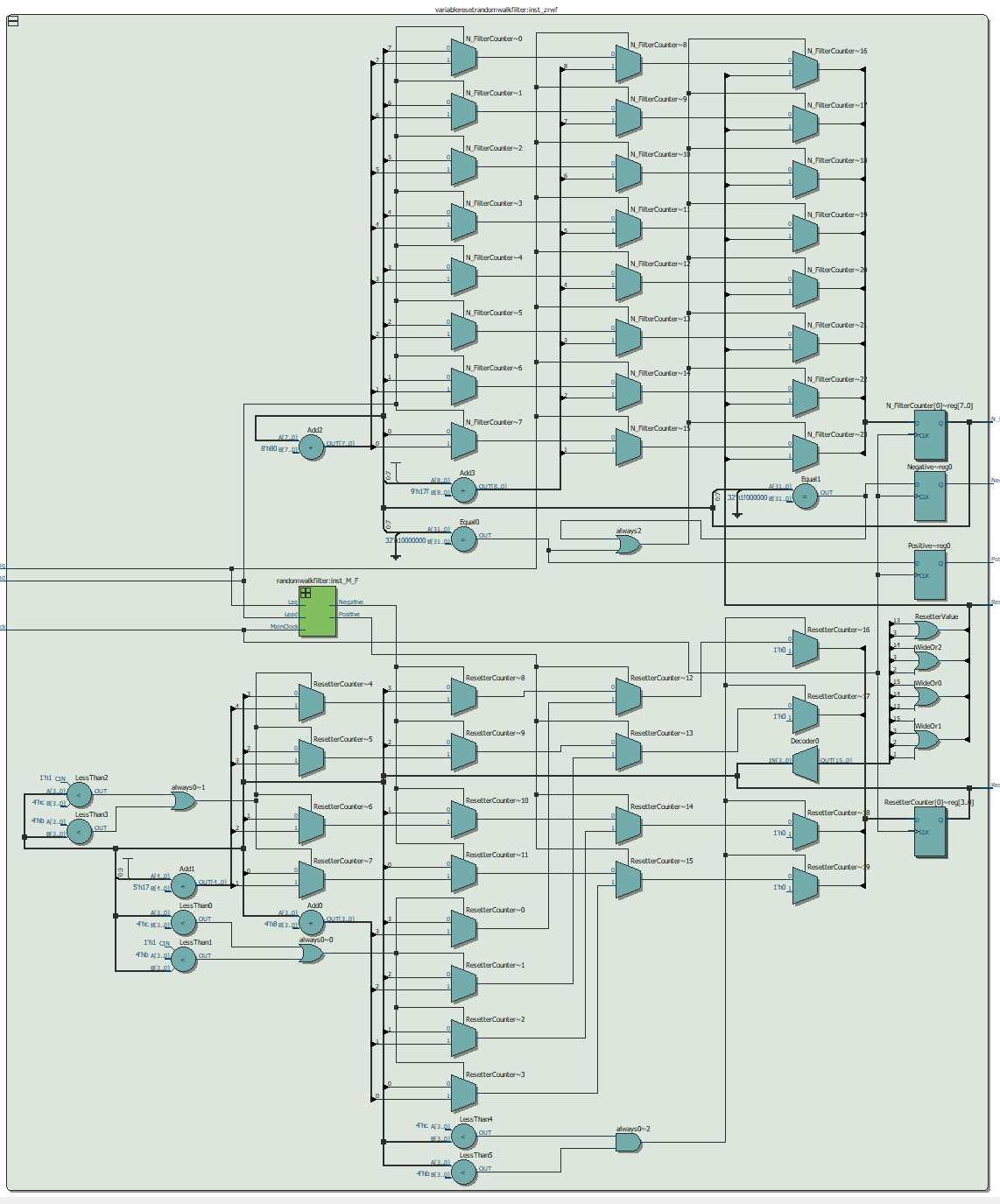


图3-10可控制重置值随机徘徊滤波器

其中MainClock为输入时钟信号，Lead为输入延迟信号，Lead为输入超前信号。Positive, Negative为数控振荡器的控制信号。

可控制重置值随机徘徊滤波器的随机徘徊滤波器的仿真波形图如图3-11与图3-12所示.

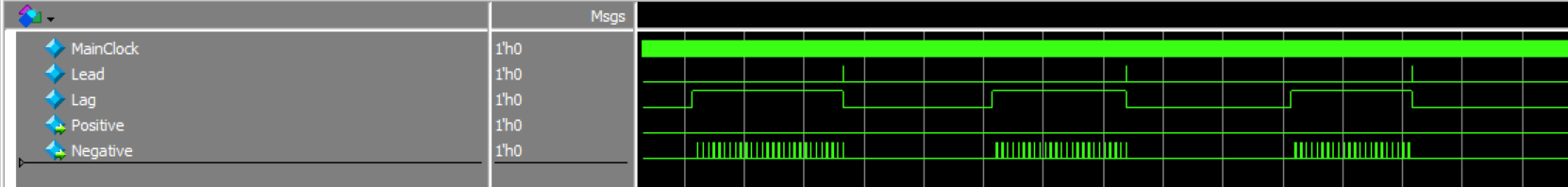


图3-11 延迟信号输出波形图

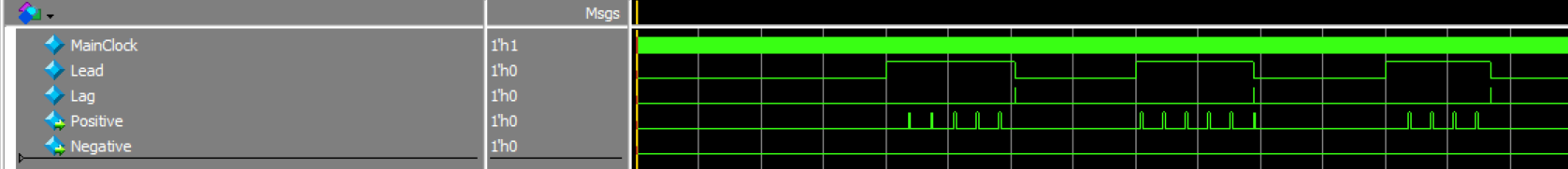


图3-11 超前信号输出波形图

从图中可以看出该滤波器可以通过不同的鉴相器输入信号来调节数控震荡器的控制信号，控制信号的频率由超前信号或滞后信号的频率决定。

### 自动N分频器

如图3-12，N分频器的主要由一个8位计数器组成，其功能为将系统时钟进行N分频，N的取值为测频电路获得的参考信号频率，若参考信号发生改变时，N值相应改变，同时接收数字滤波器输出的超前控制脉冲信号Positive与滞后脉冲控制信号Negative来控制输出信号FrequencyOut的频率与相位，当出现Positive信号时，计数器不变，相当于增加FrequencyOut的频率，溢出信号overflow设置为低电平，当出现Negative信号时，计数器加2，相当于减少FrequencyOut的频率，当计数器达到N时，溢出信号overflow设置为高电平，其它情况计数器加1，相当于保持当前的频率， 溢出信号overflow设置为低电平。当overflow出现上升沿时，翻转输出信号FrequencyOut，最终达到FrequencyOut信号跟踪参考信号。

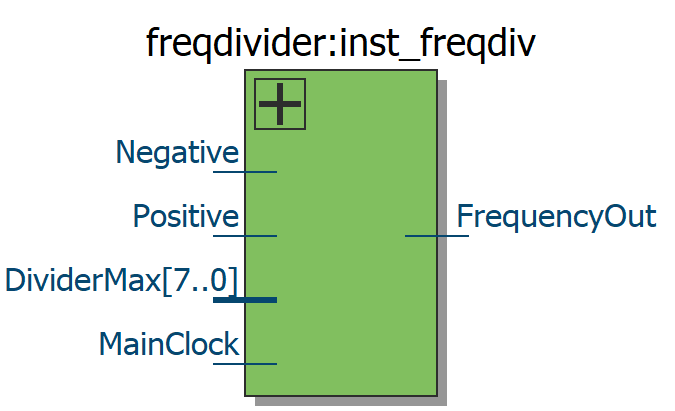


图3-12 N分频器

采用Verilog HDL对N分频器进行设计。RTL电路如图3.6所示。

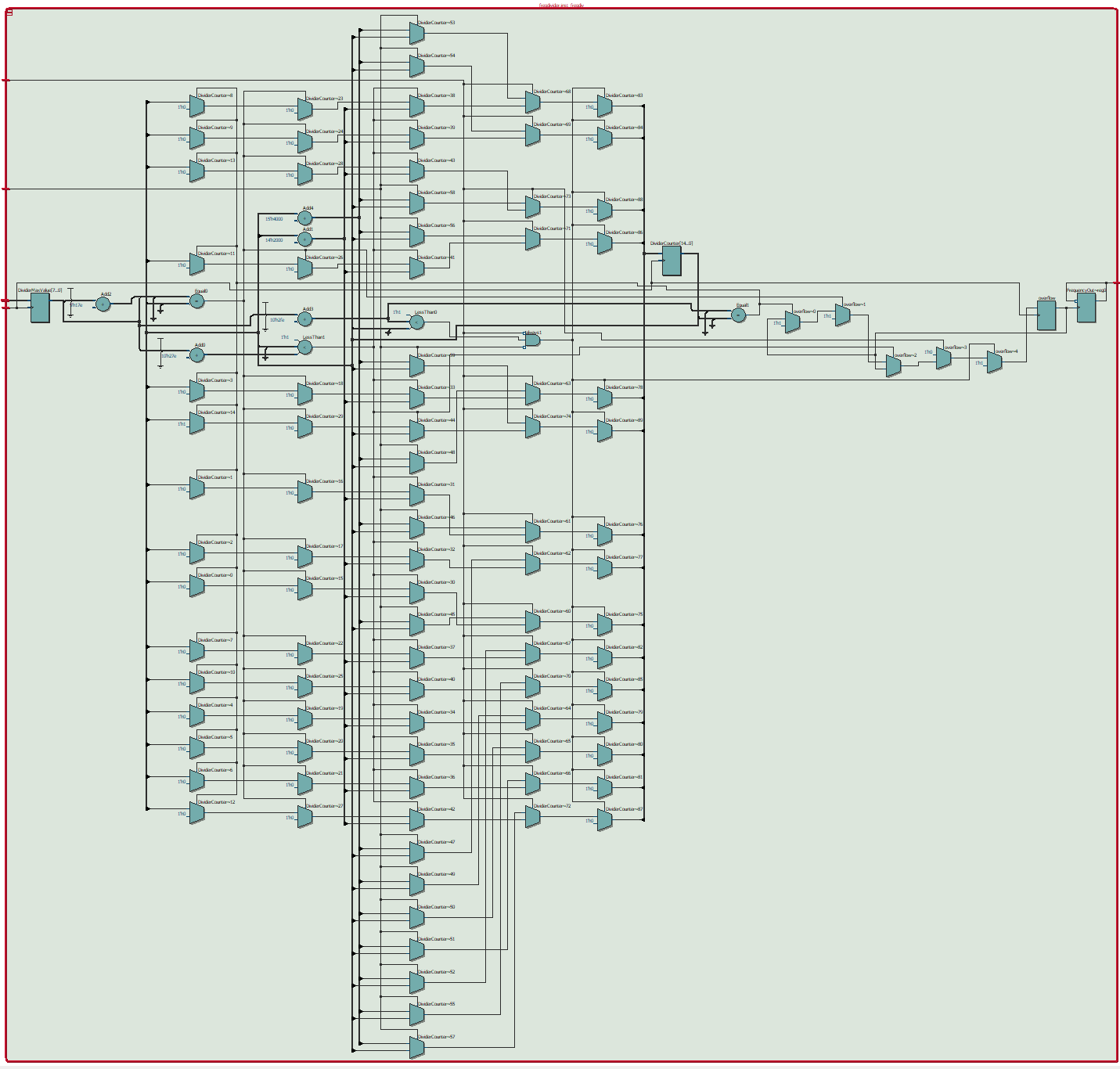


图3-12 N分频器RTL电路图

当没有控制信号时，分频器中的计数器值加1，计数器的上限为DividerMax，由测频电路获得，每当计数器计满，FrequencyOut翻转，输出信号相当于电路对系统时钟进行N分频，N的取值为DeviderMax，由测频电路获得，仿真结果图如图3-13。

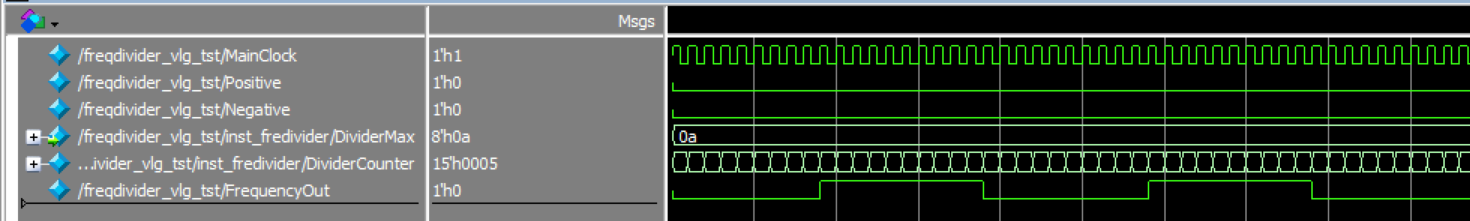


图3-13 没有控制信号时分频器的波形图

当控制信号为超前信号Positive时仿真结果如图3-14，每当出现Positive信号时，计数器的值保持不变，使计数器延迟到达最大值。当Positive信号结束后，若Positive或Negative信号不再出现，计数器继续向上计数。当计数器计满时，翻转输出信号。此过程相当于将提前的信号向后进行推延。

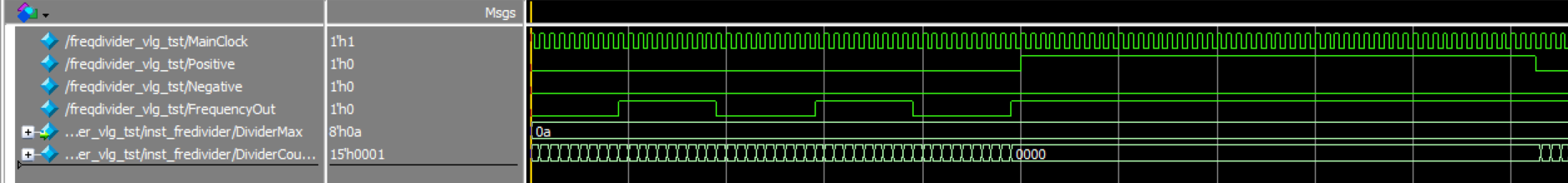


图3-14控制信号为Positive时分频器的波形图

当控制信号为滞后信号Negative时，仿真结果如图3-15，每当出现Negative信号时，计数器的值加2，使计数器提前到达最大值。当Negative信号结束后，若Positive或Negative信号不再出现，计数器继续向上计数。当计数器计满时，翻转输出信号，此过程相当于将提前了延迟信号。

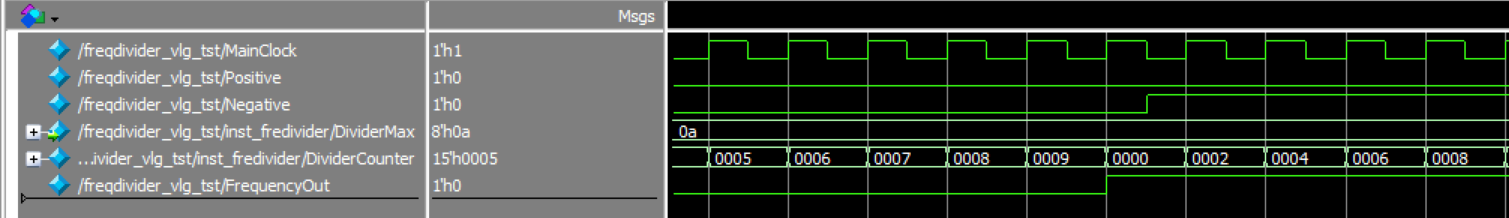


图3-15控制信号为Negative时分频器的波形图

### 自动测频电路

如图3-13，测频电路的功能就是调节N分频器的N值，当测频电路检测到输入信号的频率发生变化时，调节N值，使输出信号频率可以快速的跟踪并所锁定输入参考信的频率。流水式测频电路先用一个D触发器将输入信号InputSignal与系统时钟MainClock进行同步得到同步信号SynchronousSignal，用信号flag来控制计数器。初始化时flag置为1，当触发时钟上升沿时，如果flag为1且同步信号为高电平，8位计数器加一，当输入信号为低电平时flag置为0，输出频率PeriodCount。

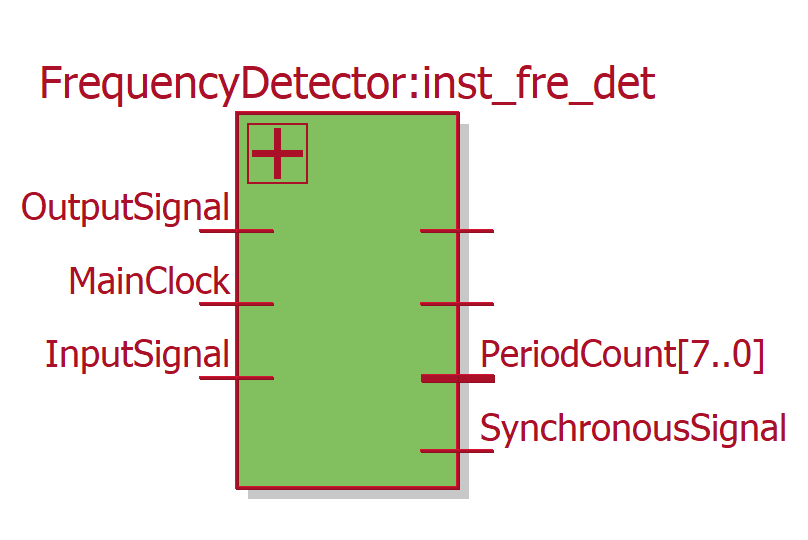


图3-13 测频电路

利用Verilog对测频电路设计，其RTL电路图如图3-14所示。

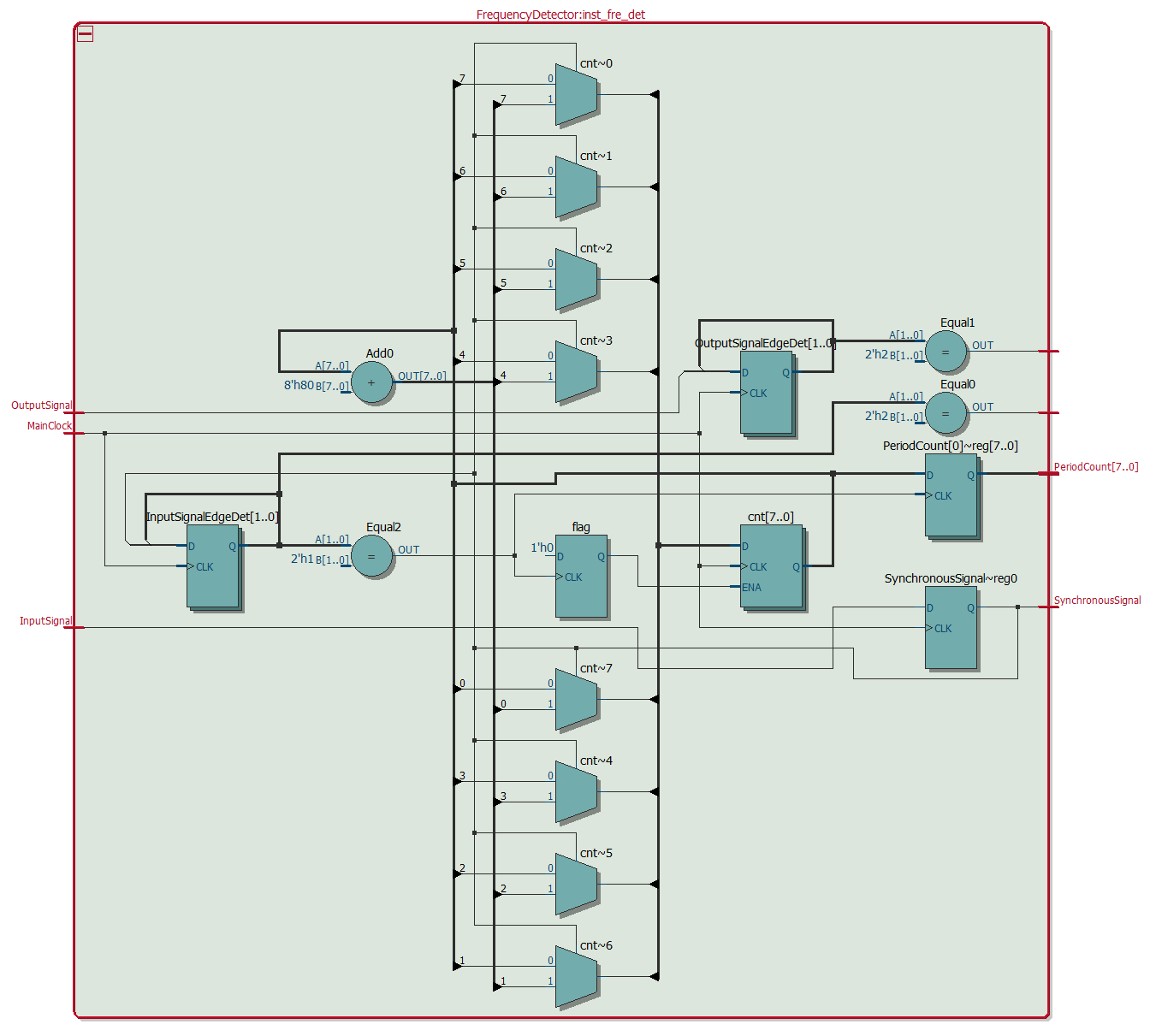


图3-13 测频电路RTL电路图

当时钟频率为50MHz，输入信号频率为100KHz时测频电路的仿真结果如图3-14所示。

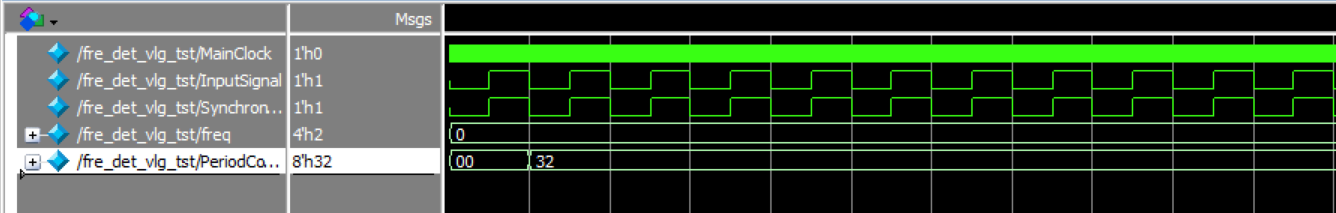


图3-14时钟频率为50MHz输入信号为100KHz

在上图中同步输入信号SynchronousSignal输出的时钟周期数PeriodCount的十进制为50。

当时钟频率为50MHz，输入信号频率为500KHz时测频电路的仿真结果如图3-15所示。

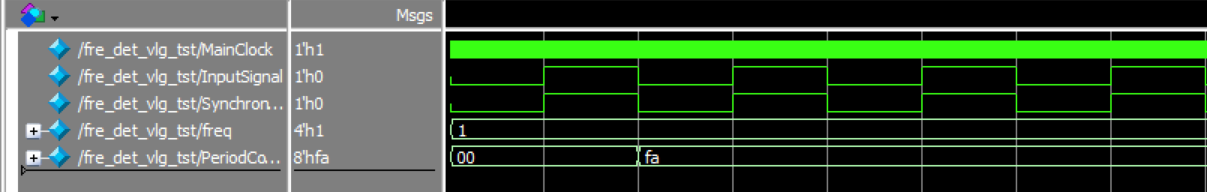


图3-15图3-14时钟频率为50MHz输入信号为500KHz

在上图中同步输入信号SynchronousSignal输出的时钟周期数PeriodCount的十进制为250。

由仿真结果图得出自动测频电路能在一个周期内准确地测出同步输入信号的系统时钟周期数。

# 系统仿真测试

## 系统的顶层电路设计

流水式全数字锁相环的RTL设计原理图如图4-1所示，主要由4个模块构成，其中inst\_ph\_cmp为双D触发数字鉴相器，inst\_zrwg为流水式数字滤波器，inst\_freqdiver为N分频器，inst\_fre\_det为自动测频电路。先分别用Verilog硬件描述语言实现各个模块，再将各个模块按照设计方案连接起来，构成如图所示的流水式全数字锁相环电路。

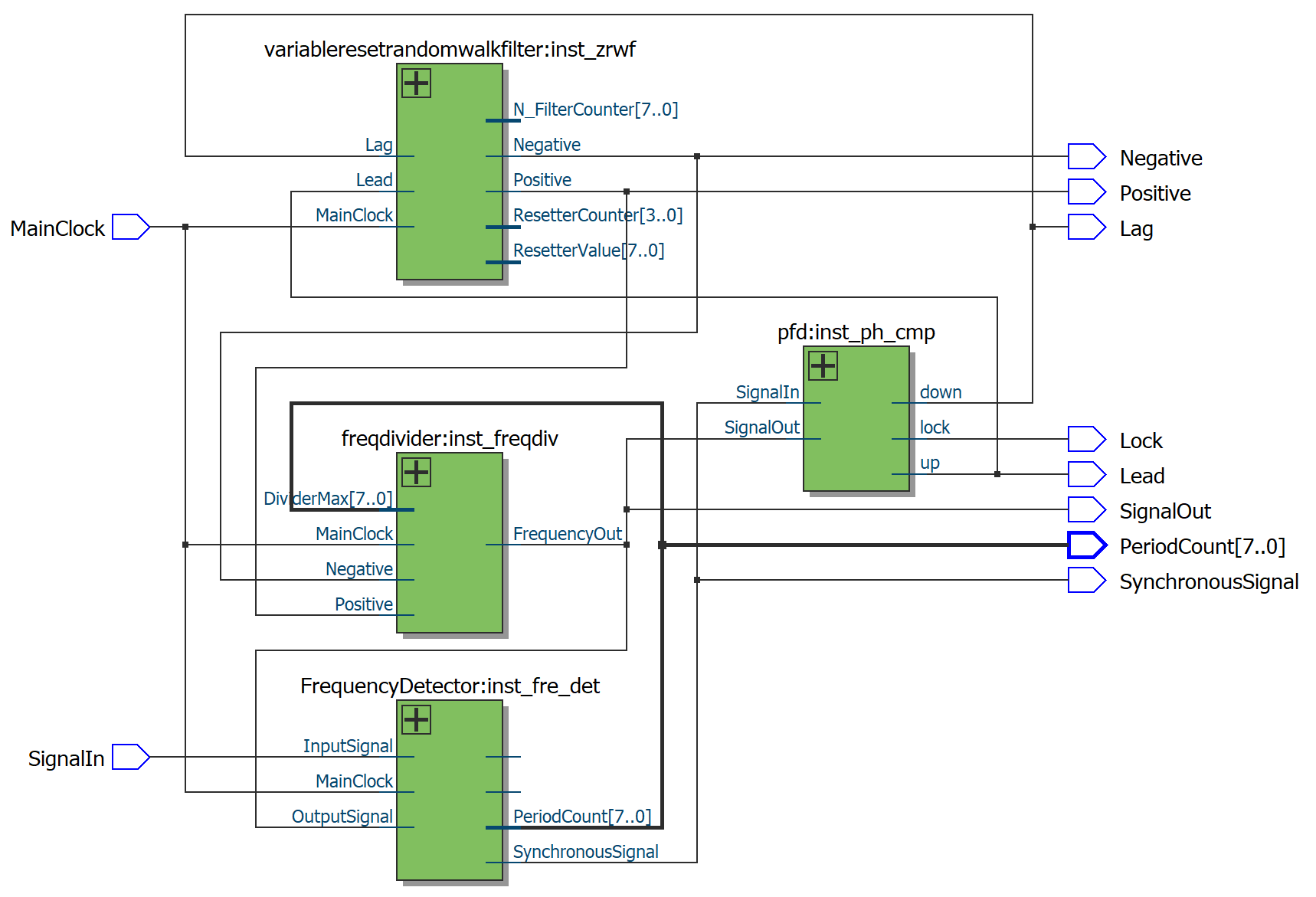


图4-1流水式全数字锁相环RTL电路图

图4-1中，MainClock为系统时钟信号，SignalIn为输入信号，SignalOut为输出信号，Lock为锁定信号，测频电路输出的中间变量PeriodCount为分频器的参数。

## 系统仿真结果

对全数字所限换进行仿真，随机设置仿真开始延时，仿真结果图中MainClock为时钟频率，SynchronousSignal为与时钟同步的输入信号，Lcok为锁定信号，Lead为超前信号，Lag为滞后信号，PeriodCount为分频器的参数即SynchronousSignal的时钟周期数，SignalIn为输入信号，SignalOut为输出信号。

当时钟信号的频率为50MHZ，输入频率为500KHZ时，仿真的结果图如4.2所示。

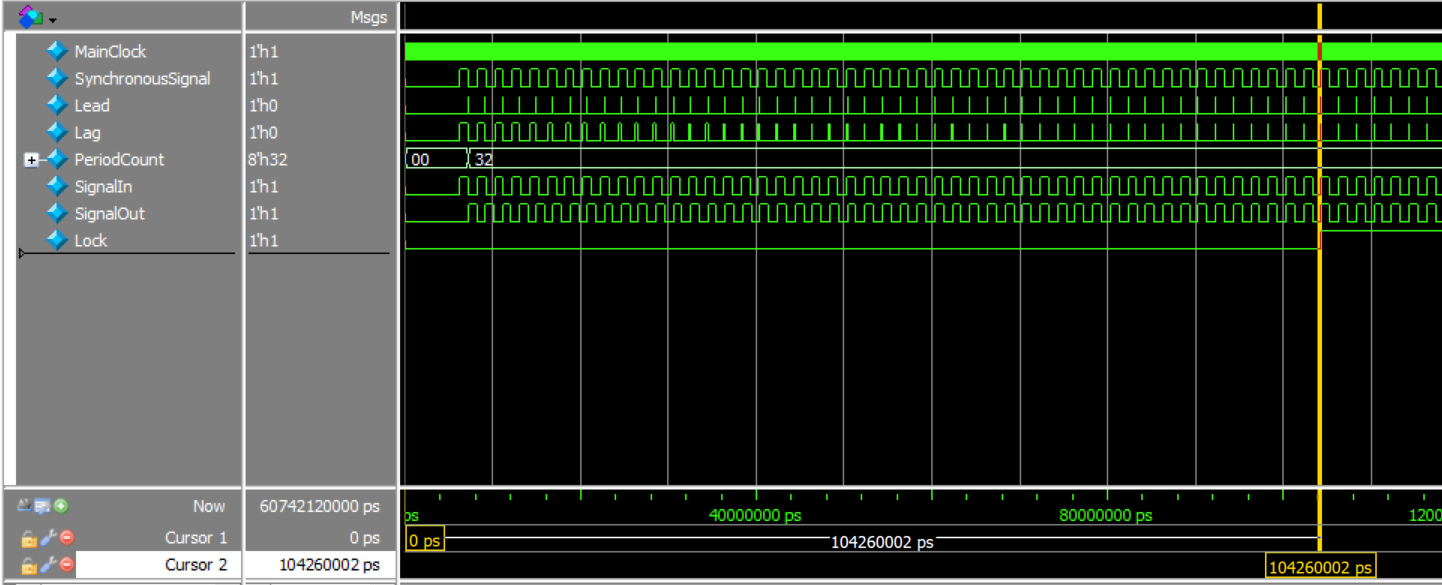


图4-2 MainClock=50MHZ ，SignalIn=500KH的波形图

Lock的信号的跳变时间为104260002ps，则锁定时间。

当时钟信号的频率为50MHZ，输入频率为100KHZ时，仿真的结果如图4.3所示。

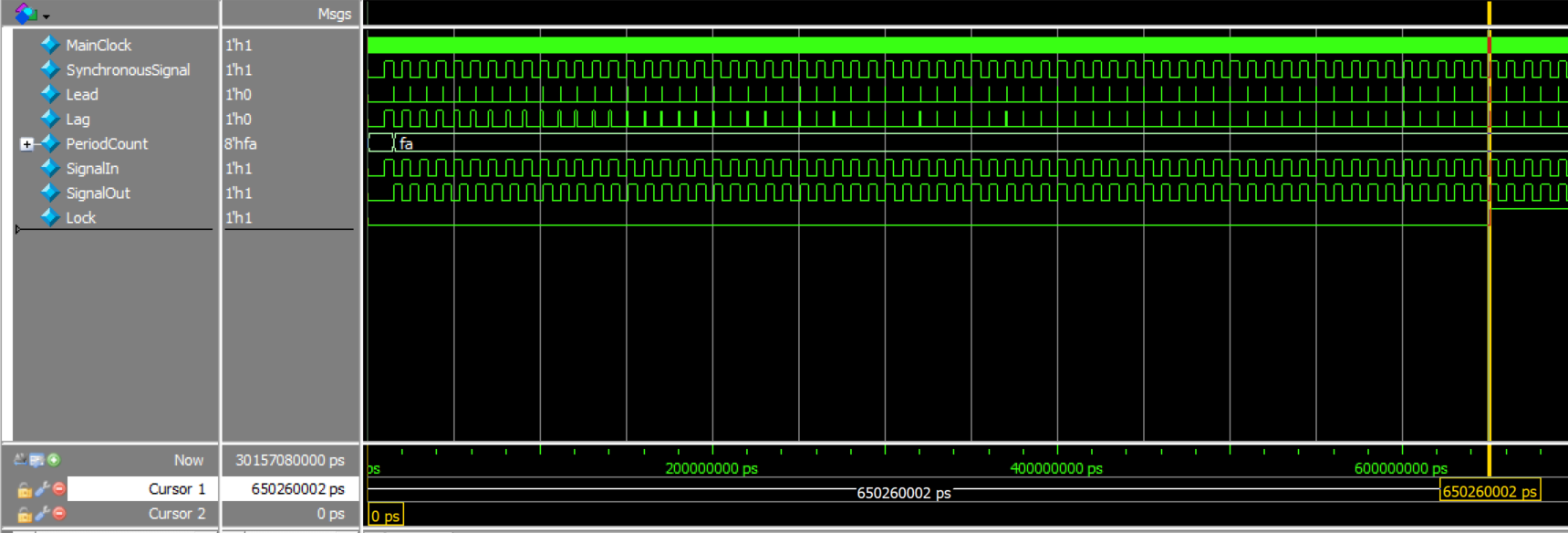


图4-3 MainClock=50MHZ ，SignalIn=100KH的波形图

Lock的信号的跳变时间为650260002ps，则锁定时间。

当时钟信号的频率为10KHZ，输入频率为1000HZ时，仿真的结果如图4.4所示。

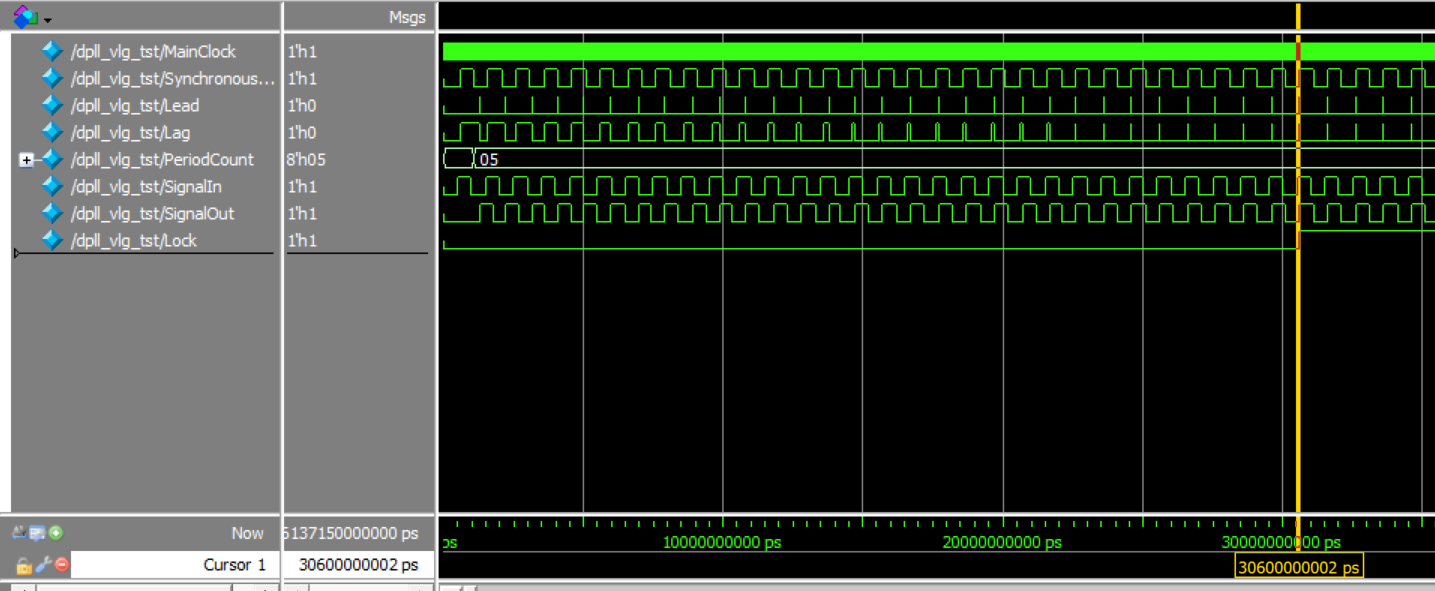


图4-4 MainClock=10KHZ ，SignalIn=1000Hz的波形图

Lock的信号的跳变时间为3060000002ps，则锁定时间。

从图4-2到图4-4，我们可以看出流水式锁相环可以快速锁定，最快的锁定时间为99us左右，对不同频率的输入信号与时钟信号有着不同的锁定时间。当输入频率较高或时钟频率较低时，锁定时间相对较长；而当输入频率较低或时钟频率较高时，锁定时间较长。

全数字锁相环的锁频范围与系统时钟信号和输入频率有关，当系统时钟信号的频率为50MHz时，并输入不同频率的信号作为输入信号，观察锁相环输出信号是否能成功跟踪输入信号并保持稳定，得出当时钟频率为50Mhz时锁相环的锁频范围为100KHz-1MHz。

## 系统仿真分析

本文通过Quatus II软件来分析流水式全数字锁相环，分析的内容包括时钟信号从FPGA设备的输入引脚到输出时间的延迟时间、功耗大小。并将分析结果与未使用流水线技术优化的全数字锁相环进行对比分析。两种全数字锁相环的编译报告分别如图4-5与图4-6所示。

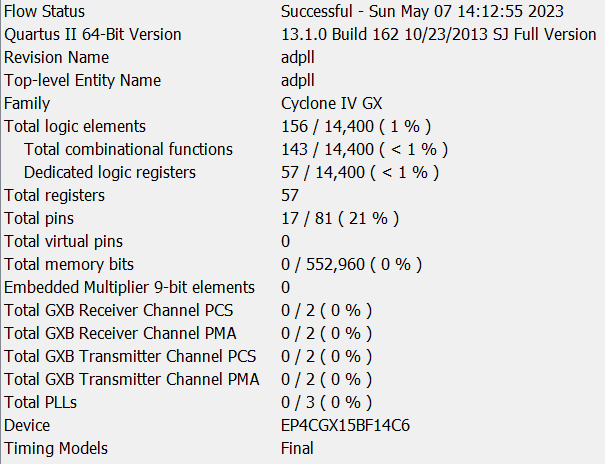


图4-5 流水式全数锁相环编译报告

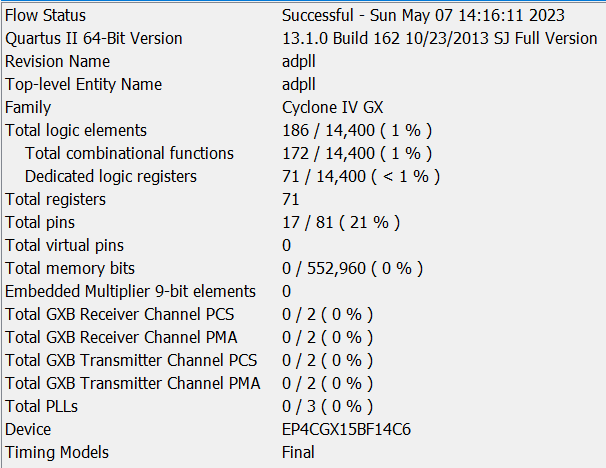


图4-6 普通锁相环编译报告

图中的Total logic elements指的是FPGA芯片中用于实现特定逻辑功能的基本单元数量，是一个重要指标。在全数字锁相环的各个模块中，需要实现各种逻辑功能，如计数器、多路复用器、比较器等。这个逻辑功能可以由FPGA中的逻辑单元来实现。未使用流水线技术优化的锁相环电路使用的逻辑单元数量总共为186，使用流水线技术优化的锁相环电路使用的逻辑单元数量为156个。因为流水线技术将电路中的逻辑功能拆分为多个阶段，从而减少每个阶段中需要使用的逻辑单位数量，从而减少电路的资源占用，并通过寄存器将各个阶段连接起来。这样，每个阶段只需处理其中一部分逻辑功能，而不需要同时处理整个电路的逻辑功能，从而在保证电路的功能的情况下，提高电路的效率和运行速度。

两种锁相环电路的时钟信号从输入引脚到输出引脚的延迟时间分别如图4-7与4-8所示。

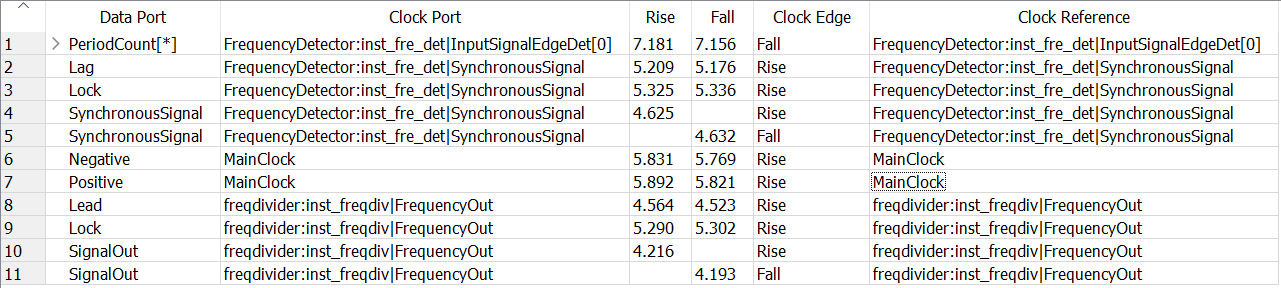


图4-7流水式全数字锁相环的延迟

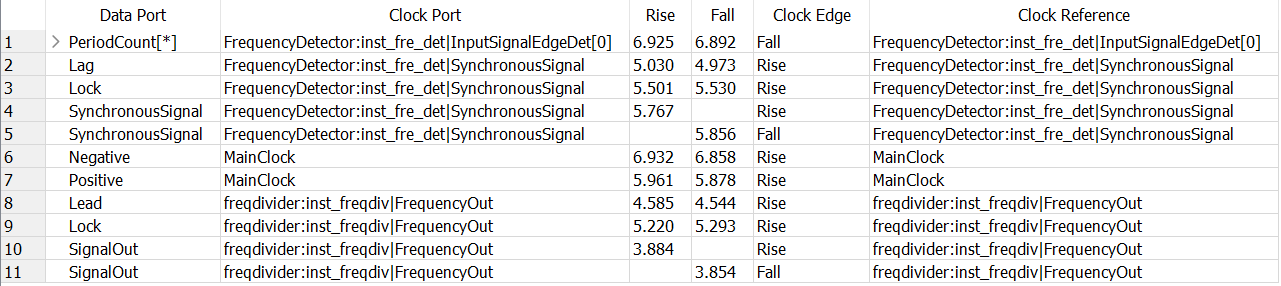


图4-8普通全数字锁相环的延迟

上图中的Positive与Negative为全数字锁相环中数字滤波器的输出信号，这两个输出信号的上升时间与下降时间是衡量数字滤波器的重要指标，它们分别指的是信号从低电平到高电平和从高电平到低电平所需要的时间。采用流水线技术优化的数字滤波器的上升时间（Rise）和下降时间（Fall）比未优化的数字滤波器要低。这是因为流水线技术可以将数字滤波器中的逻辑功能拆分为多个较小的阶段，并通过流水线寄存器将各个阶段连接起来。这样，每个阶段只需要处理其中一部分逻辑功能，而不需要同时处理整个数字滤波器的逻辑功能，从而减少了每个阶段中需要使用的逻辑单元数量，降低了信号传输的延迟，从而降低了上升时间和下降时间。

将系统的时钟频率设置为50MHz，输入信号的频率设为500kHz分别对采用流水线技术优化的全数字锁相环电路与未优化过的电路进行仿真，并用Quatus中的功耗分析工具Powerplay Power Analyzer Tool对比分析两种锁相环的功耗。功耗分析报告分别如图4-9与图4-10。

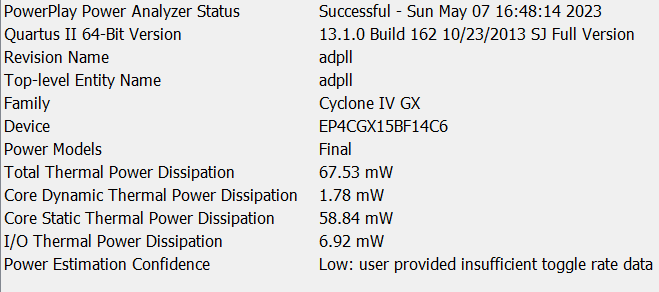


图4-9 普通全数字锁相环的功耗报告

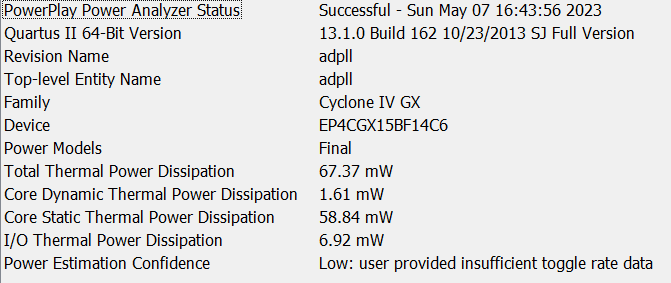


图4-10流水式全数字锁相环功耗报告

图中的Total thermal power dissipation（总热功耗）指的是电路中所有电子元器件在工作过程中所消耗的能量。采用流水线技术优化的全数字锁相环电路的总热功耗要比未优化的电路要低，因为电路中的逻辑单元在任意时刻的运算任务会被分配到不同的阶段，因此每个逻辑单元的使用频率相对较低，也就是逻辑单元的平均工作负载较低，相应的电路功耗也较低。

# 总结与展望