

# Systemes Numériques

## TE302

### Chapitre 3: Les Compteurs

Logique séquentielle



# Définitions (1)

- Un compteur est un *circuit séquentiel* permettant d'établir une *correspondance univoque* entre le *nombre d'impulsions* appliquées sur son *entrée d'horloge* (clk) et *l'état de la sortie*.
- L'opérateur de base d'un compteur est *la bascule à déclenchement sur front*.
- À chaque instant l'état du comptage est donné par la sortie des bascules ( $Q_i$ ).
- Un compteur constitué de *N bascules* délivre *au plus  $2^N$  combinaisons de sortie*,
- *Ainsi il peut compter de 0 à  $2^N-1$ .*

# Définitions (2)

**Fonction :** Dispositif de *comptage binaire* modulo  $M$ :  $M$  états

- **Compteur à cycle complet**

- Un compteur binaire à cycle complet de  $N$  bits comporte  $N$  bascules,
- Il énumère ses  $2^N$  états dans l'ordre binaire naturel (incrémental) soit de 0 à  $2^N - 1|_{10}$ ,
- C'est un compteur modulo  $2^N$  ( $\#2^N$ ),

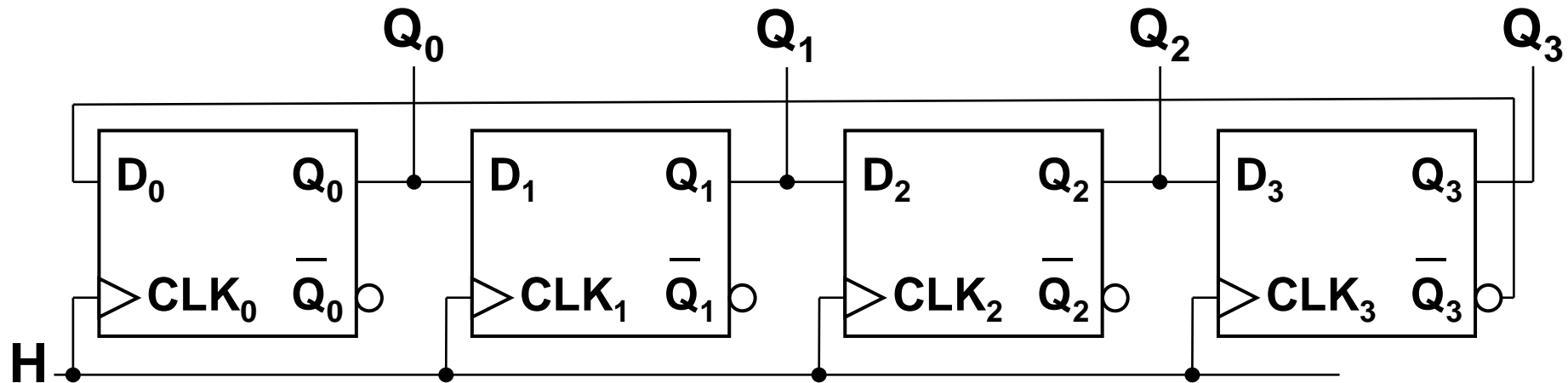
- **Compteur à cycle incomplet**

- Un compteur binaire de  $N$  bits comportant donc  $N$  bascules, permet d'énumérer des cycles incomplets de  $M$  états ( $M \leq 2^N$ ) dans un ordre quelconque
- C'est un compteur modulo  $M$  ( $\#M$ ).

# Registre à décalage bouclé (1)

- Compteur de Johnson 4 bits (1)

- Le circuit est synchrone ( $CLK_i = H = \text{[red waveform]}$ ),
- Les bascules sont connectées en cascade:  
 $\forall i \neq 0: D_i = Q_{i-1}$
- Sauf la première entrée qui est connectée sur la dernière sortie complémentée, ici:  $D_0 = \overline{Q_3}$ .

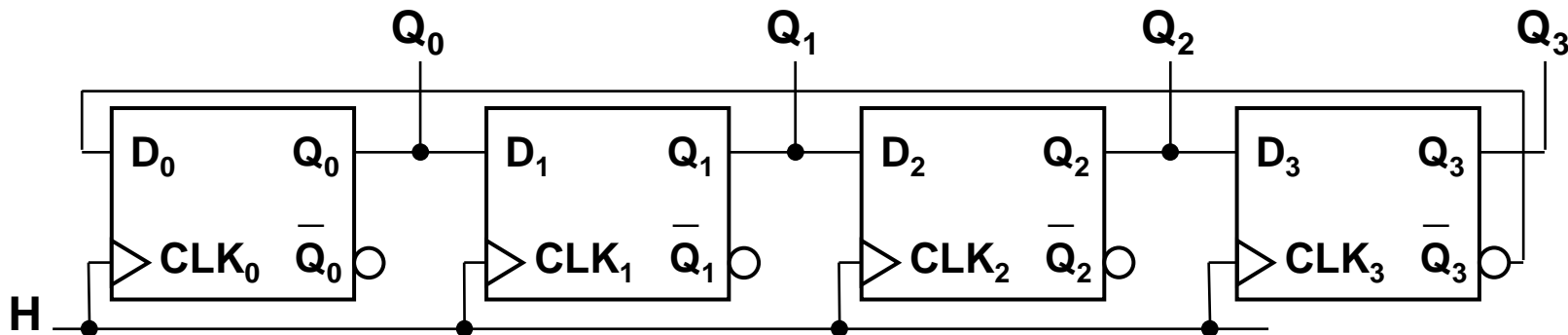


# Registre à décalage bouclé (2)

## • Compteur de Johnson (3)

- Exemple: le registre contient le mot:  $Q_0 Q_1 Q_2 Q_3 = 0 0 0 0$  (CI: conditions initiales)
- Le compteur se remplit de 1, puis de 0...
- Compteur synchrone #8, cycle incomplet non incrémental,

H	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$_{10}$
CI	0	0	0	0	0
1	1	0	0	0	1
2	1	1	0	0	3
3	1	1	1	0	7
4	1	1	1	1	15
5	0	1	1	1	14
6	0	0	1	1	12
7	0	0	0	1	8
8	0	0	0	0	0



# Synthèse d'un compteur synchrone

- > Identifier le nombre des bascules (flip-flops) pour le circuit.
- > Connaître la table de Transition de la bascule utilisée,
- > Graphe (ou diagramme) des états.
- > Table *des états présents et des états suivants* (états futurs).
- > *Simplifier les équations des bascules par la méthode de Karnaugh.*
- > *Réaliser le logigramme du circuit.*

**Ces différentes étapes seront développées par la suite avec un exemple d'un compteur ayant la séquence 0;1;2;3.**

# Table de Transition de la bascule JK

Table de vérité :

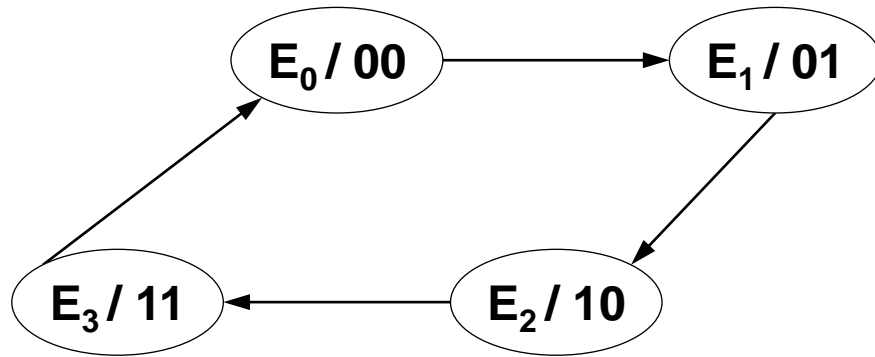
JK rising edge ( $\uparrow$ )					
clk	J	K	Q(t)	$\overline{Q}(t)$	function
$\downarrow$	X	X	$Q_{t-\Delta t}$	$\overline{Q}_{t-\Delta t}$	Memory
$\uparrow$	0	0	$Q_{t-\Delta t}$	$\overline{Q}_{t-\Delta t}$	Memory
$\uparrow$	0	1	$Q=J=0$	$\overline{Q}=K=1$	J (Reset)
$\uparrow$	1	0	$Q=J=1$	$\overline{Q}=K=0$	J (Set)
$\uparrow$	1	1	$\overline{Q}_{t-1}$	$Q_{t-1}$	Toggle

Table de Transition :

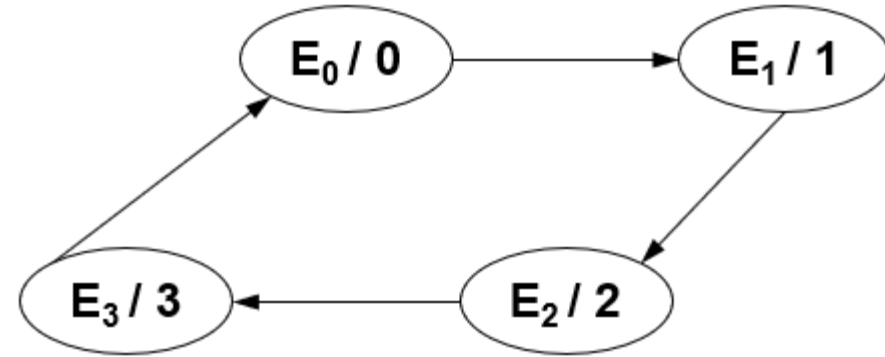
Q(t)	Q(t+1)	J	K
0	0	0	$\Phi$
0	1	1	$\Phi$
1	0	$\Phi$	1
1	1	$\Phi$	0
$\Phi = 0 \text{ ou } 1$			

# Diagramme des états (Graphe des états)

$E_i$  : Etat numéro  $i$



*Représentation binaire*

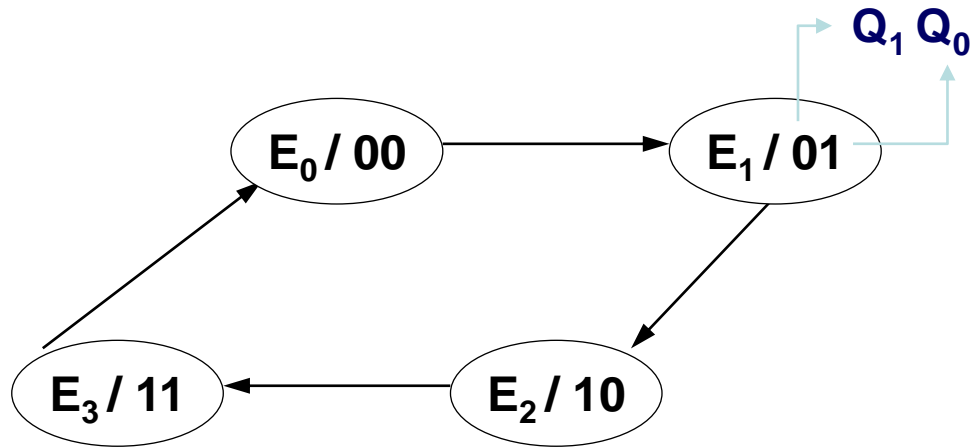


*Représentation décimale*

**Exemple pour un compteur 2-bit**



# Graphe des états



Exemple: compteur 2-bit

# Table des états présents et des états suivants.

	Etat Présent	Etat suivant
	$Q_1 Q_0$	$Q_1 Q_0$
0	0 0	0 1
1	0 1	1 0
2	1 0	1 1
3	1 1	0 0

$Q(t)$	$Q(t+1)$	J	K
0	0	0	$\Phi$
0	1	1	$\Phi$
1	0	$\Phi$	1
1	1	$\Phi$	0
$\times \equiv \Phi = 0 \text{ ou } 1$			

K- Maps pour:  $J_1$

$Q_0 \backslash Q_1$	0	1
0	0 <sub>0</sub>	1 <sub>1</sub>
1	x <sub>2</sub>	x <sub>3</sub>

$K_1$

$Q_0 \backslash Q_1$	0	1
0	x <sub>0</sub>	x <sub>1</sub>
1	0 <sub>2</sub>	1 <sub>3</sub>

$J_0$

$Q_0 \backslash Q_1$	0	1
0	1 <sub>0</sub>	x <sub>1</sub>
1	1 <sub>2</sub>	x <sub>3</sub>

$K_0$

$Q_0 \backslash Q_1$	0	1
0	x <sub>0</sub>	1 <sub>1</sub>
1	x <sub>2</sub>	1 <sub>3</sub>

Tables de Karnaugh respectives pour  $J_1, K_1$  ;  $J_0, K_0$

# Simplifier les équations des bascules par la méthode de Karnaugh :

	Etats Présents	Etats suivants
	$Q_1 Q_0$	$Q_1 Q_0$
0	0 0	0 1
1	0 1	1 0
2	1 0	1 1
3	1 1	0 0

$Q(t)$	$Q(t+1)$	J	K
0	0	0	$\Phi$
0	1	1	$\Phi$
1	0	$\Phi$	1
1	1	$\Phi$	0
$\times \equiv \Phi = 0 \text{ ou } 1$			

K- Maps pour:  $J_1$

$Q_0$	0	1
$Q_1$		
0	0	1
1	x	x

$$J_1 = Q_0$$

$K_1$

$Q_0$	0	1
$Q_1$		
0	x	x
1	0	1

$$K_1 = Q_0$$

$J_0$

$Q_0$	0	1
$Q_1$		
0	1	x
1	1	x

$$J_0 = 1$$

$K_0$

$Q_0$	0	1
$Q_1$		
0	x	1
1	x	1

$$K_0 = 1$$

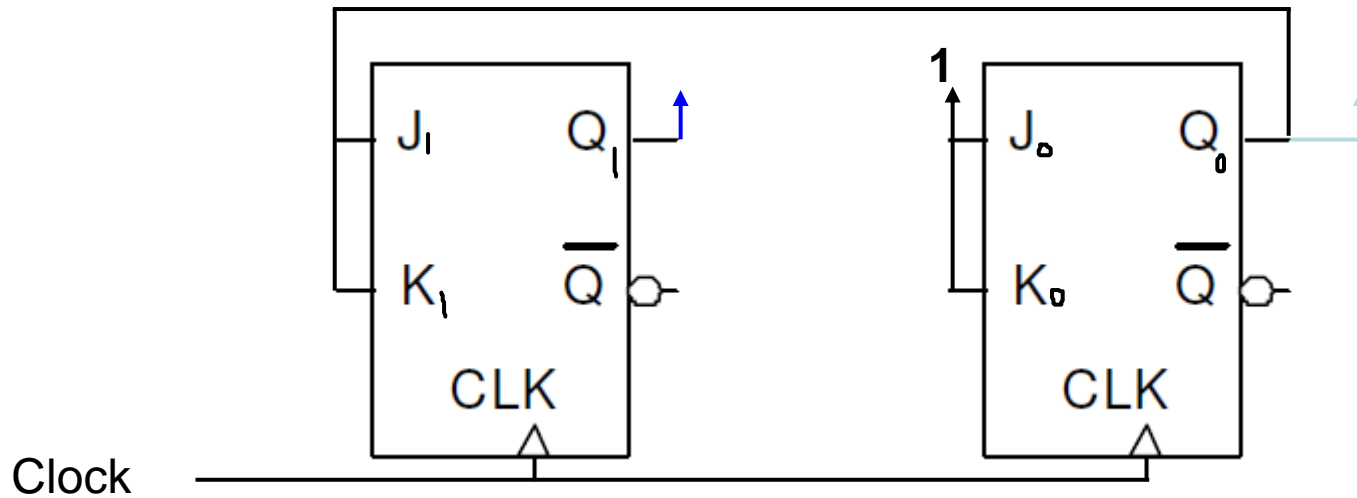
## Logigramme du compteur synchrone 2-bit :

$$J_1 = Q_0$$

$$K_1 = Q_0$$

$$J_0 = 1$$

$$K_0 = 1$$



# Définitions (3)

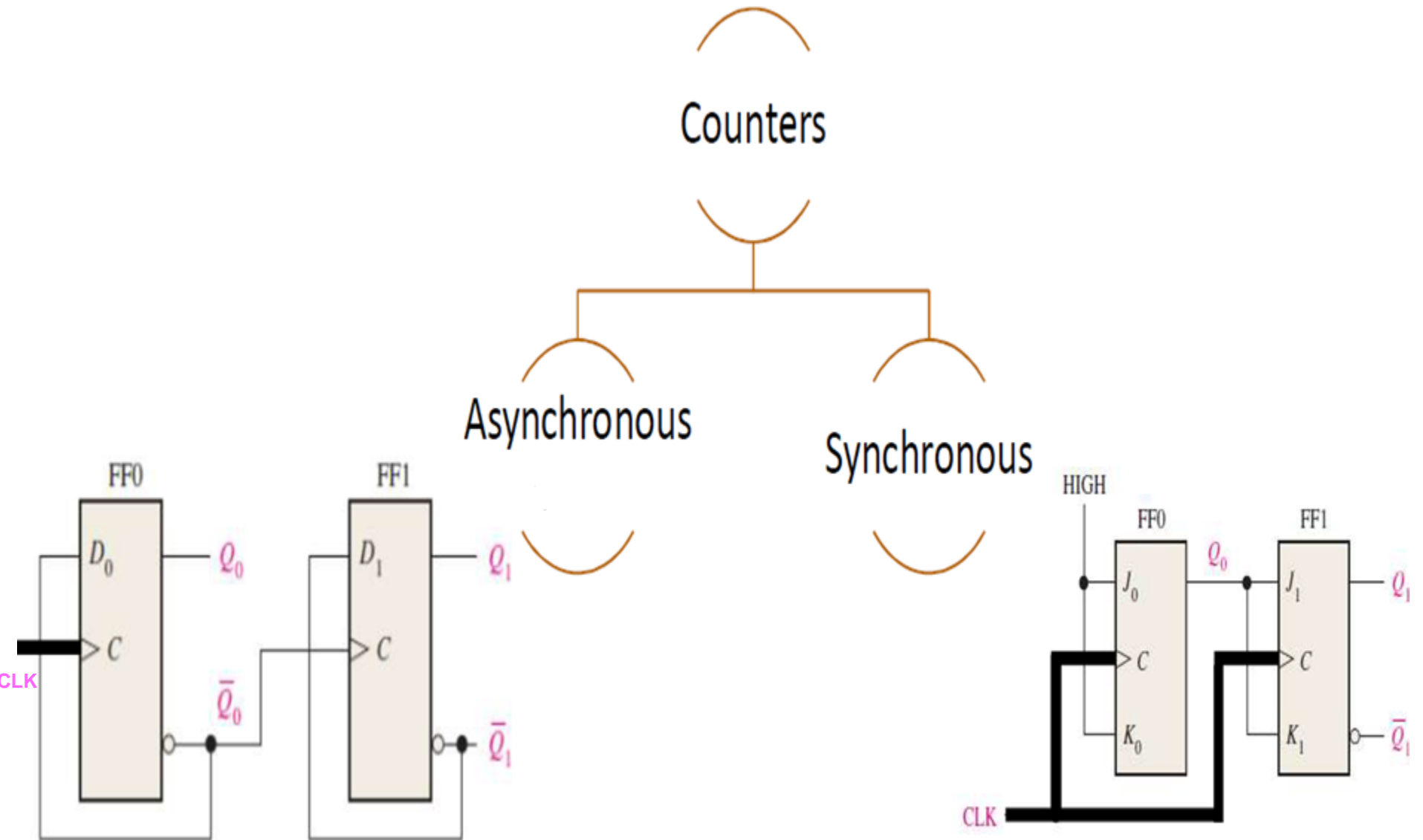
- **Compteur synchrone ou parallèle**

- Un système séquentiel est synchrone lorsque tous les changements d'états du système sont synchronisés par:
  - le même front,
  - d'un même signal d'horloge.

- **Compteur asynchrone ou série ou à propagation**

- Si ce qui précède n'est pas vérifié, le système est dit asynchrone,
- Un compteur asynchrone possède une signal d'horloge mais qui ne sert qu'à déclencher la première bascule, celle de poids le plus faible,
- Le déclenchement des bascules suivantes dépend de l'état des bascules précédentes,
- La structure des compteurs asynchrones entraîne la propagation en cascade des changements d'état du système et de ce fait le cumul des retards.

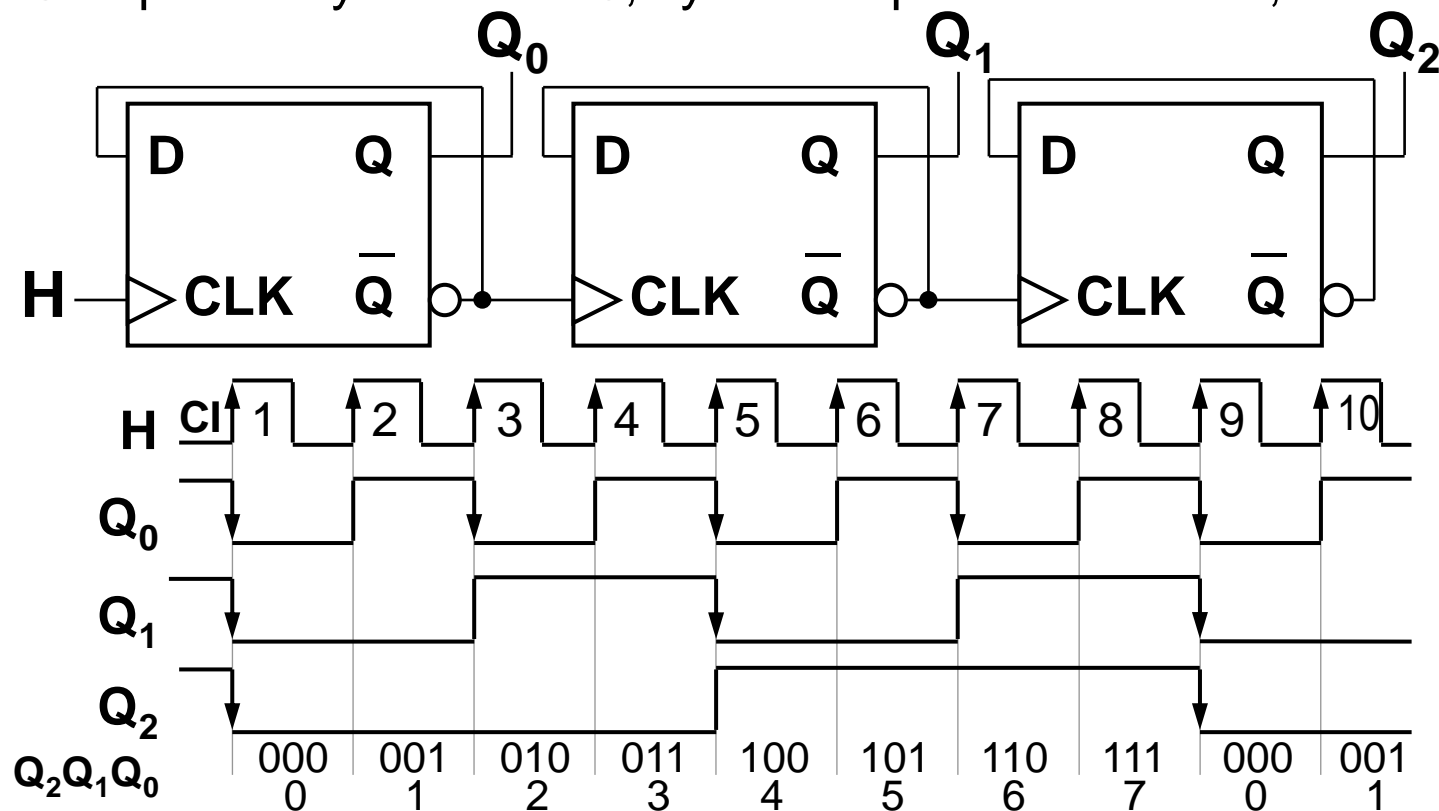
# Compteur asynchrone / synchrone



# Compteurs asynchrones

- Compteurs asynchrones à cycle complet (1)

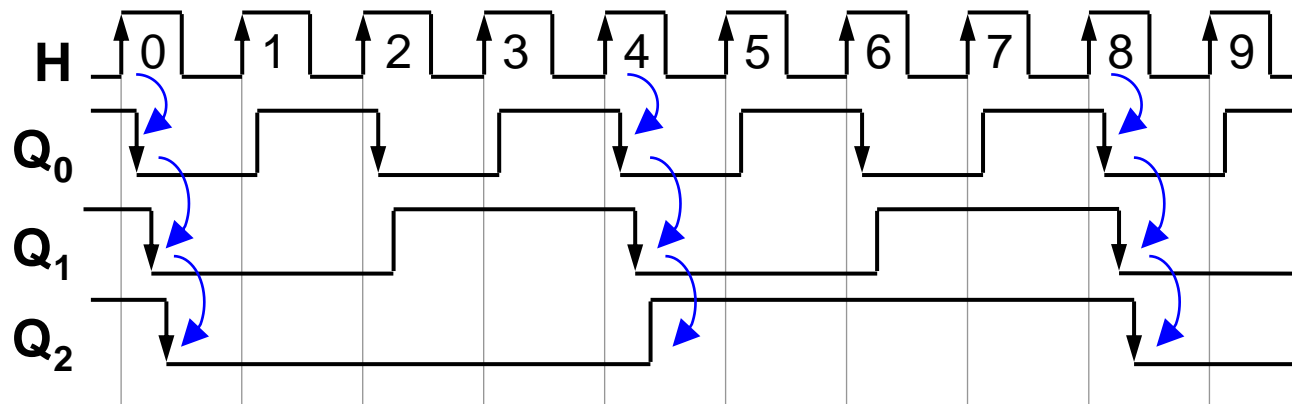
- Les **bascules D** sont montées en mode 'Toggle':  $D_i = \overline{Q_i}$ ,
- Seule la bascule  $Q_0$  est déclenchée par H:  $CLK_0 = H$ ,
- Les autres bascules sont déclenchées par  $\overline{Q}$ :  $CLK_i = \overline{Q_{i-1}}$ ,
- Conditions Initiales (CI):  $Q_0 = Q_1 = Q_2 = 1$ ,
- Compteur asynchrone #8, cycle complet incrémental,



# Compteurs asynchrones

- **Compteurs asynchrones à cycle complet (2)**

- Le chronogramme précédent ne tient pas compte du temps de propagation dans chaque bascule,
- La structure cascadée induit un cumul des retards entre l'entrée  $CLK_i$  et les sorties  $Q_i$  et  $\bar{Q}_i$ .
- Ainsi plus le nombre de bascules est grand plus le retard de la dernière bascule est grand,
- Le décalages des sorties les unes par rapport aux autres peuvent produire des états transitoires indésirables (aléa, glitch).

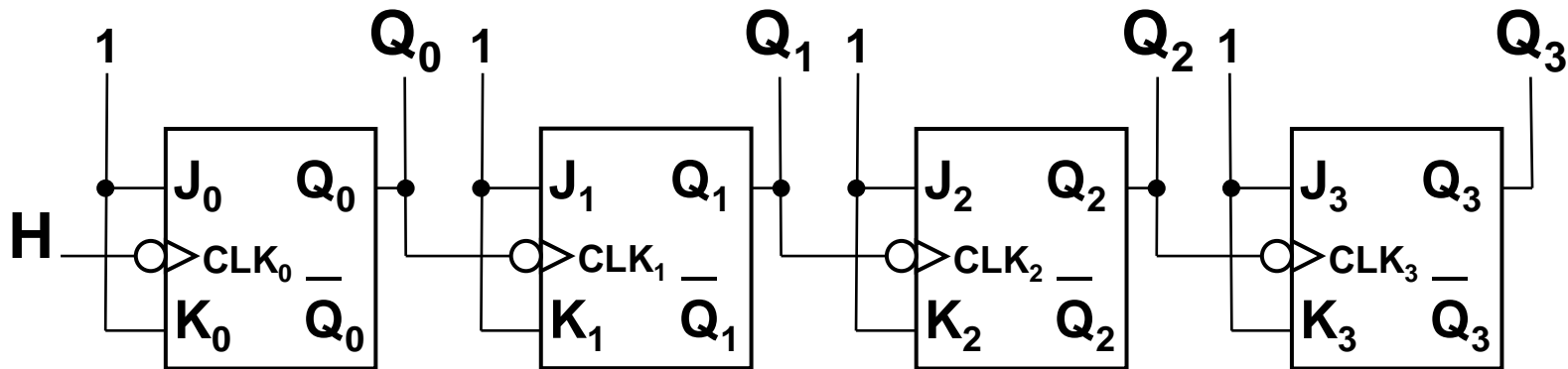




# Compteurs asynchrones

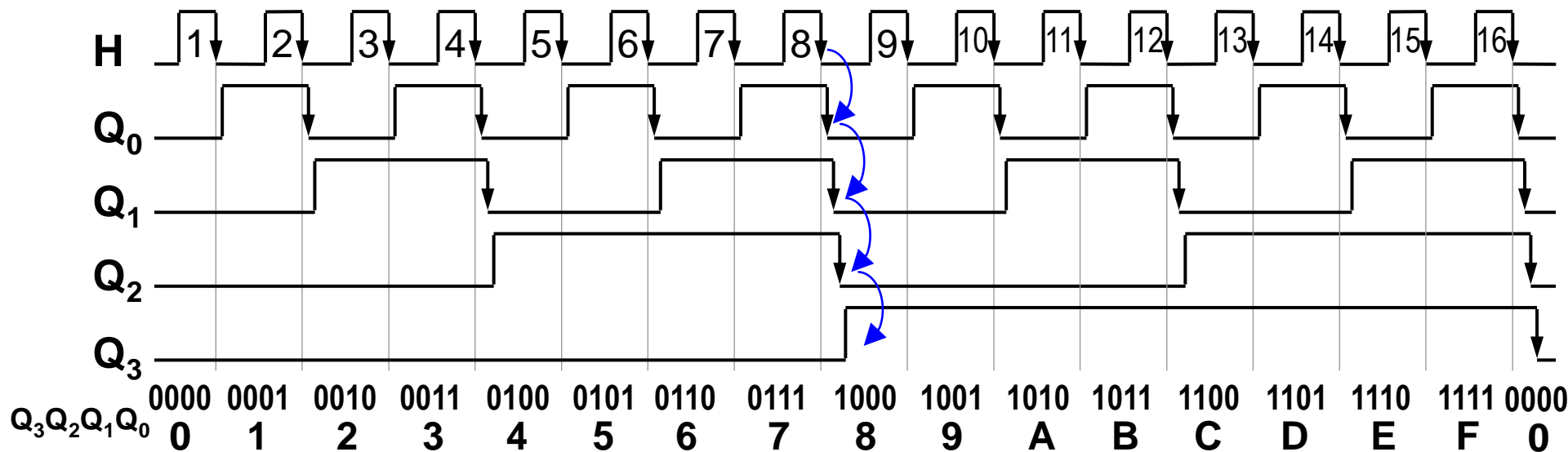
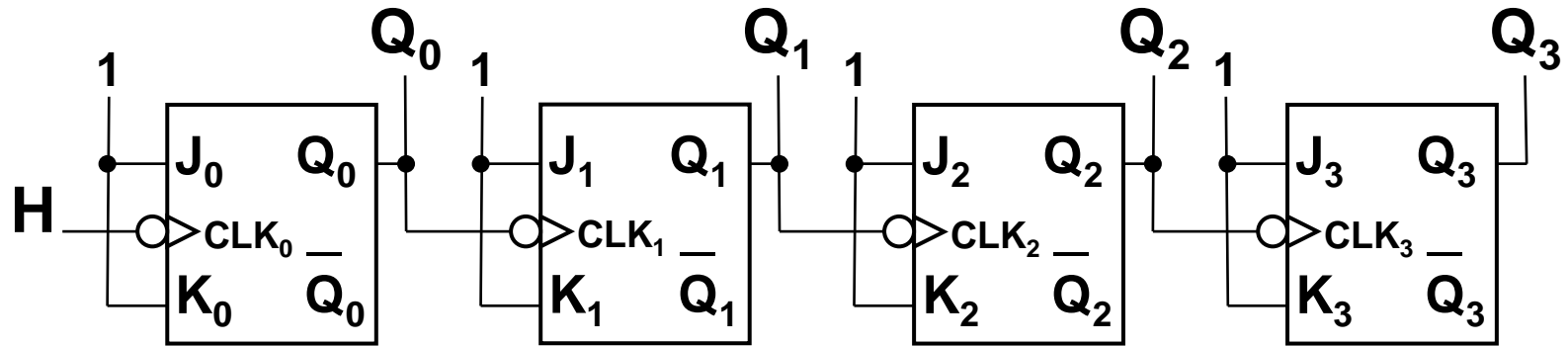
## • Compteurs asynchrones à cycle complet (3)

- Entrées prioritaires asynchrones inactives:  $\overline{PRE} = \overline{CLR} = 1$ ,
- **Bascules JK** programmées en bascule (toggle):  $J_i = K_i = 1$ ,
- Seule la bascule  $Q_0$  est déclenchée par H:  $CLK_0 = H$ ,
- Les autres bascules sont déclenchées par Q:  $CLK_i = Q_{i-1}$ ,
- Le déclenchement se fait sur front descendant:  $CLK_i = \downarrow$ ,
- Le nombre compté est donné par:  $Q_3 Q_2 Q_1 Q_0$ ,
- Conditions initiales (CI):  $Q_3 Q_2 Q_1 Q_0 = 0000$ .



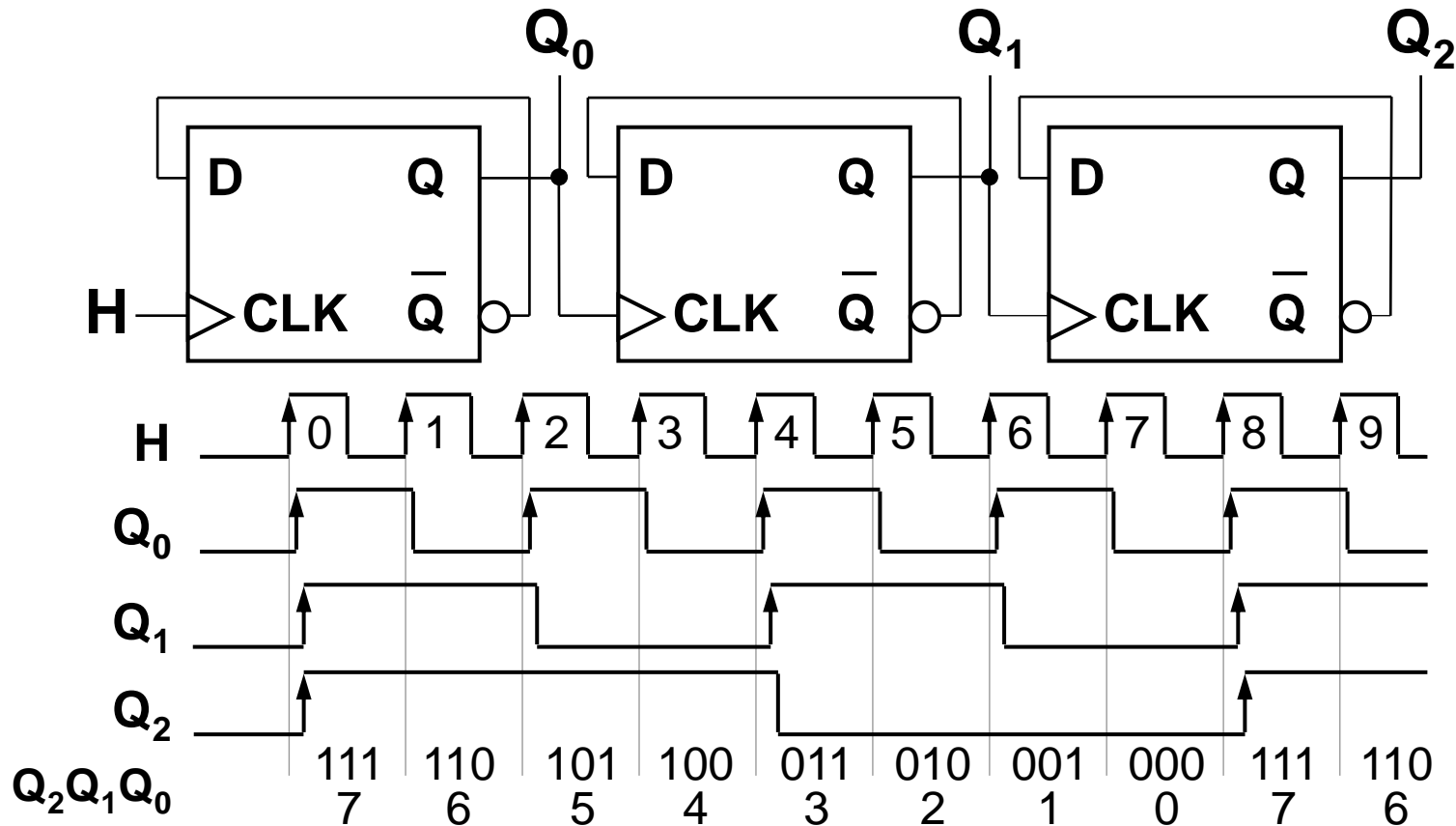
# Compteurs asynchrones

- Compteurs asynchrones à cycle complet (4)



# Décompteurs asynchrones (1)

- Le décompteur à cycle complet, D:  $\text{clk} = \uparrow$ 
  - Les **bascules D** sont montées en diviseur par 2:  $D_i = \overline{Q_i}$ ,
  - Seule la bascule  $Q_0$  est déclenchée par H:  $\text{CLK}_0 = H$ ,
  - Les autres bascules sont déclenchées par Q:  $\text{CLK}_i = Q_{i-1}$ .



# Décompteurs asynchrones (2)

- Le décompteur à cycle complet, JK:  $\text{clk} = \uparrow$

