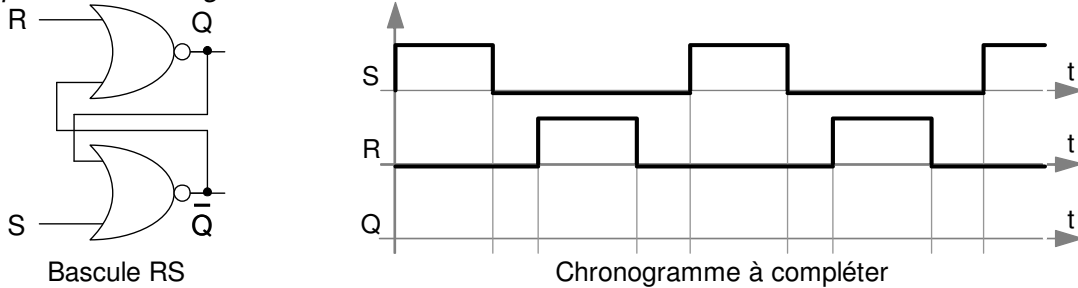


L2 : Systèmes Numériques Travaux Dirigés

1 TD1

1.1 Exercice 1

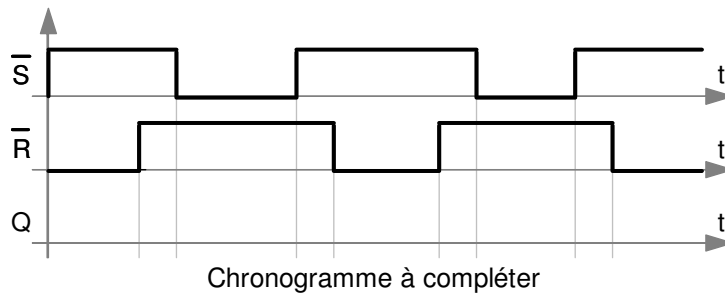
1.1.1 Compléter le chronogramme du circuit ci dessous :



1.1.2 Expliquer pourquoi les valeurs $R = S = 1$ posent problème.

1.1.3 Donner le schéma d'une bascule $\bar{S} \bar{R}$ à l'aide de portes logiques combinatoires.

1.1.4 Expliquer pourquoi les valeurs $\bar{R} = \bar{S} = 0$ posent problème. Compléter le chronogramme suivant pour cette bascule.

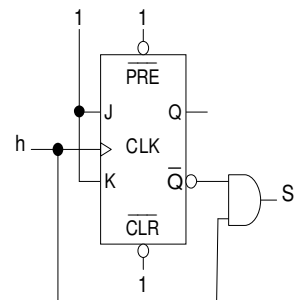


1.1.5

1.2 Exercice 2

Soit le circuit séquentiel de la figure ci contre. L'état initial est $Q = 1$.

1.2.1 Élaborer le chronogramme du signal de sortie S quand l'entrée h reçoit huit impulsions.

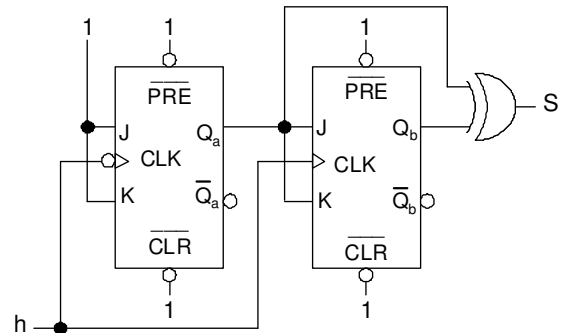


1.3 Exercice 3

Soit le circuit séquentiel de la figure ci contre.

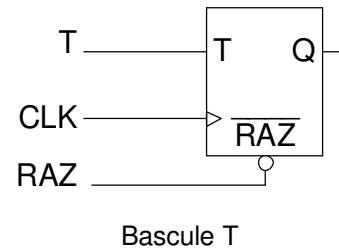
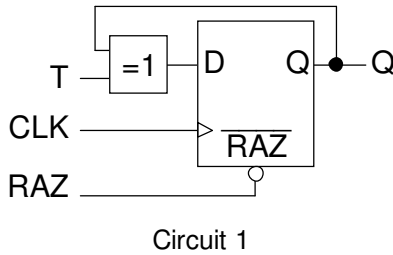
L'état initial est $Q_a = Q_b = 0$.

1.3.1 Élaborer le chronogramme du signal de sortie S quand l'entrée h reçoit 6 impulsions.



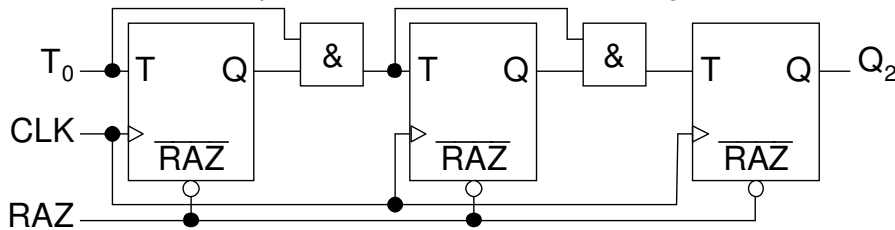
1.4 Exercice 4

Soit le circuit 1 de la figure suivante :



1.4.1 Élaborer le chronogramme de la sortie Q du circuit 1 en fonction des entrées T, CLK et RAZ.

Nous nommons bascule T le circuit précédent. Soit le circuit de la figure suivante :



1.4.2 Élaborer le chronogramme du circuit, suivant les valeurs de l'entrée T_0 .

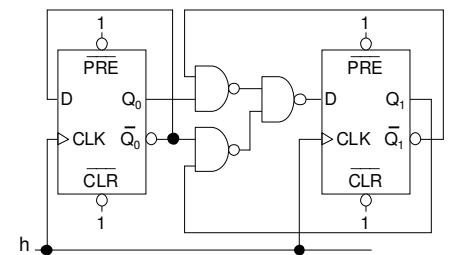
1.5 Exercice 5

Soit le circuit de la figure ci contre. L'état initial est $Q_0 = Q_1 = 0$.

1.5.1 Déterminer les équations de D_0 et de D_1 .

1.5.2 Tracer le chronogramme de Q_0 et de Q_1 pour 6 impulsions d'horloge.

1.5.3 Déterminer le cycle réalisé par ce circuit. Quelle est la fonction réalisée ?

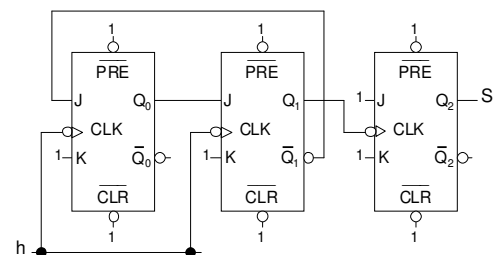


1.6 Exercice 6

Soit le circuit de la figure ci contre. L'état initial est $Q_0 = Q_1 = Q_2 = 0$.

1.6.1 Élaborer le chronogramme de Q_0 , Q_1 , Q_2 pour 10 impulsions d'horloge.

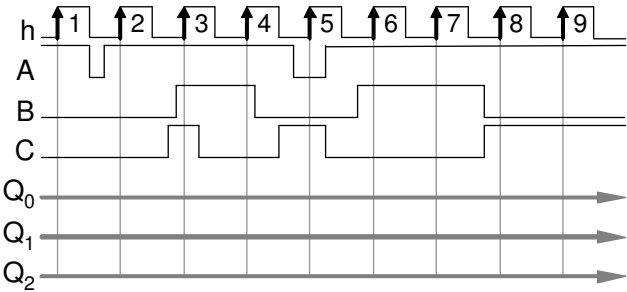
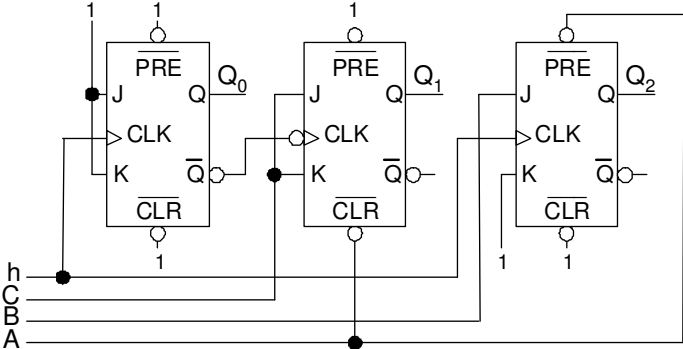
1.6.2 Préciser la fonctionnalité du circuit.



1.7 Exercice 7

Les conditions initiales (CI) du circuit ci-dessous sont : $Q_1 = Q_2 = Q_3 = 0$

1.7.1 Compléter le chronogramme.

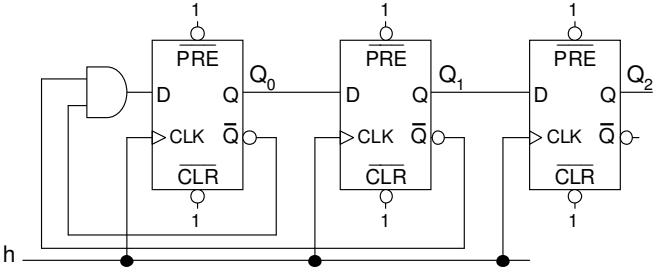


2 TD2

2.1 Exercice 1

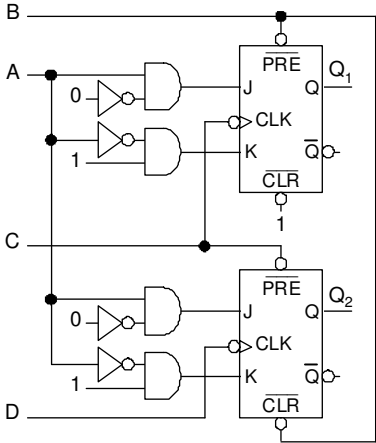
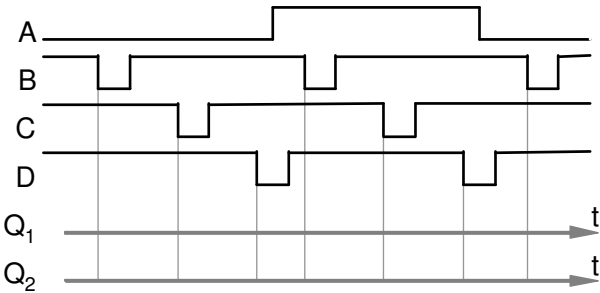
L'état initial est $Q_0 = Q_1 = Q_2 = 0$.

2.1.1 Élaborer le chronogramme de Q_0, Q_1, Q_2 pour 6 impulsions d'horloge et préciser le cycle de fonctionnement.



2.2 Exercice 2

2.2.1 Compléter le chronogramme suivant du circuit ci contre.



2.3 Exercice 3

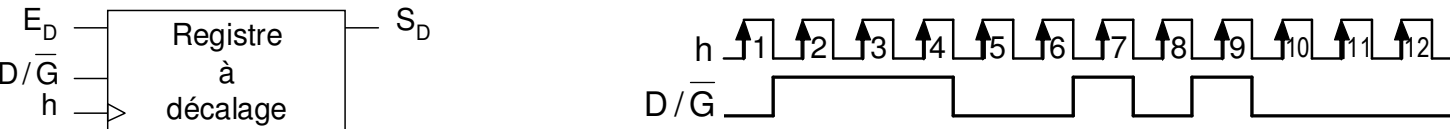
2.3.1 Élaborer le schéma de réalisation d'un registre à décalage synchrone à trois éléments binaires en utilisant des bascules D sur fronts ↑.

Le signal S détermine le sens du décalage : $S = 1$ à droite, $S = 0$ à gauche.

2.3.2 Élaborer les modifications à apporter au circuit (portes INV, NAND et NOR)

2.4 Exercice 4

- Soit le registre à décalage bidirectionnel de 8 bits de la figure suivante.
- $D/\overline{G} = 1 \Rightarrow$ décalage à droite, $D/\overline{G} = 0 \Rightarrow$ décalage à gauche.
- À l'état initial le registre contient la valeur binaire du nombre 76_{10} .
- La bascule de droite représente le chiffre de poids le plus fort.
- La bascule de gauche représente le chiffre de poids le plus faible.
- Un niveau BAS est présent sur l'entrée des données (E_D).
- La sortie de données est S_D .

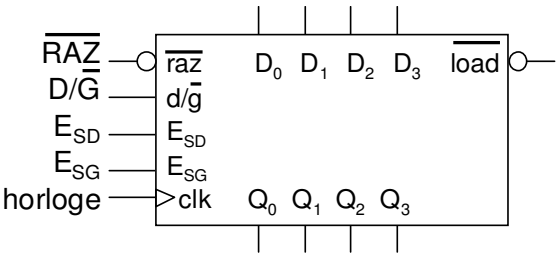


2.4.1 Déterminer les états du registre en présentant les résultats sous forme de tableau.

3 TD3

3.1 Exercice 1

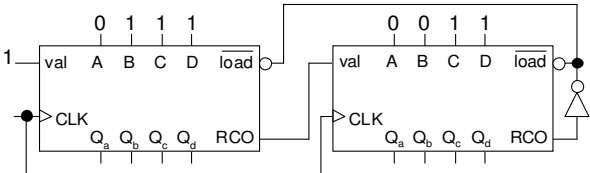
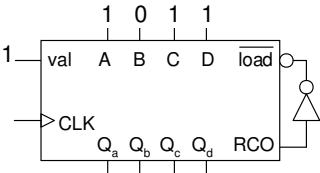
- Soit le registre à décalage bidirectionnel de quatre bits ci contre.
- L'entrée load active sur niveau bas, le chargement parallèle des entrées D_0, D_1, D_2, D_3 .
- E_{SD} et E_{SG} sont les entrées de données série respectivement, à droite et à gauche.



3.1.1 Élaborer le schéma d'un registre à décalage bidirectionnel de 8 bits à partir de deux registres à décalage de 4 bits. Expliquer les différentes connexions.

3.2 Exercice 2

- Les circuits des schémas suivants sont des compteurs de 4 bits.
- La sortie RCO (Register Carry Output) passe à 1 quand l'état du compteur passe à : $Q_d Q_c Q_b Q_a = 1111_2 = F_{16} = 15_{10}$.
- D : entrée, Q_d : sortie de poids fort. A : entrée, Q_a : sortie de poids faible.
- L'entrée load active sur niveau bas le chargement parallèle des entrées A, B, C, D .
- L'entrée VAL active sur «1», le fonctionnement du circuit et sur «0» la mémorisation de l'état en cours.



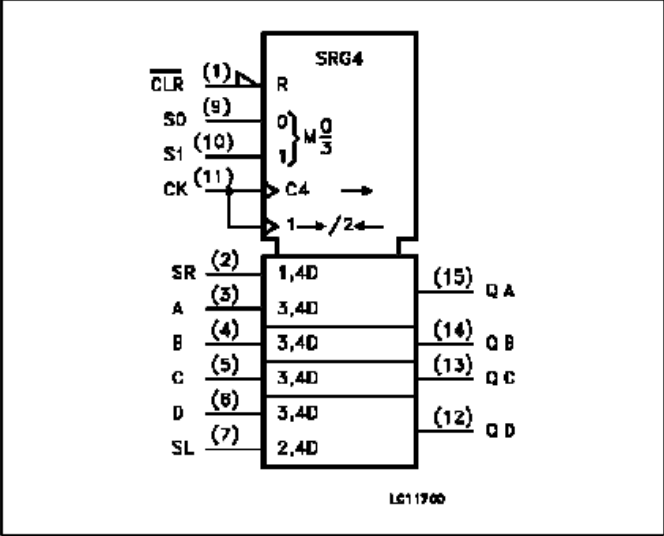
3.2.1 Élaborer le cycle de fonctionnement de chacun de ces 2 montages.

3.3 Exercice 3

PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1	$\overline{\text{CLEAR}}$	Asynchronous Reset Input (Active LOW)
2	SR	Serial Data Input (Shift Right)
3, 4, 5, 6	A to D	Parallel Data Input
7	SL	Serial Data Input (Shift Left)
9, 10	S0, S1	Mode Control Inputs
11	CLOCK	Clock Input (LOW to HIGH Edge-triggered)
15, 14, 13, 12	QA to QD	Parallel Outputs
8	GND	Ground (0V)
16	Vcc	Positive Supply Voltage

IEC LOGIC SYMBOL



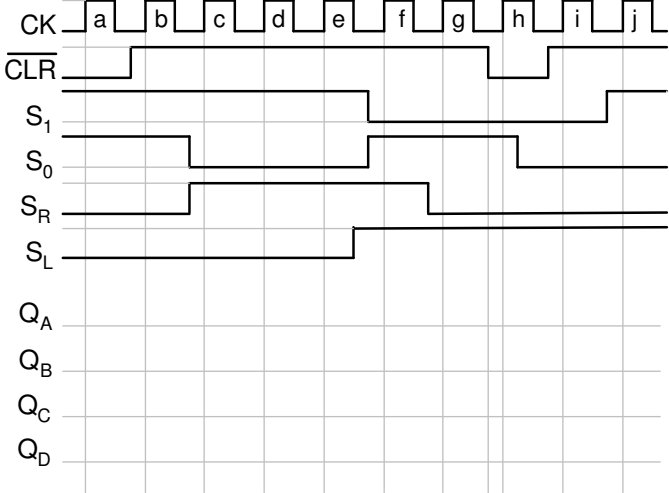
TRUTH TABLE

INPUTS										OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				QA	QB	QC	QD
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X		X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H		X	X	a	b	c	d	a	b	c	d
H	L	H		X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H		X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L		H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L		L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

X: Don't Care : Don't Care
a ~ d : The level of steady state input voltage at inputA ~ D respectively
QA0 ~ QD0 : No charge
QAn ~ QDn : The level of QA, QB, QC, respectively, before the mst recent postive transition of the clock.

Nous avons : A = 0, B = 0, C = 1 et D = 1

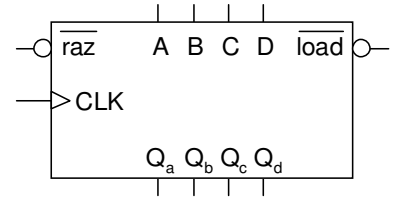
3.3.1 Compléter le chronogramme en identifiant les états : décalage gauche, décalage droit, chargement //.



3.4 Exercice 4

Le compteur synchrone du schéma ci-contre, possède :

- 4 entrées (A, B, C, D) de données parallèles,
 - 4 sorties (Qa, Qb, Qc, Qd) de données parallèles,
 - 1 commande de chargement parallèle : $\overline{\text{load}}$ active au niveau bas.
- Le numéro d'état est : Qd Qc Qb Qa (poids faible Qa, poids fort Qd).

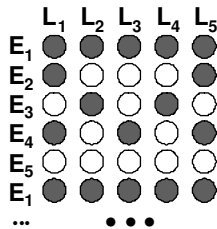


3.4.1 En utilisant l'entrée de chargement $\overline{\text{load}}$, réaliser le cycle : [0,1,2,3,4,5,6,10,11,12,14,15].

4 TD4

4.1 Exercice 1

Nous disposons d'un jeu de lumières à 5 lampes à programmer suivant la séquence suivante :



Li = ○ = éteinte

Li = ● = allumée

À ces 5 états, notés E₁, E₂, E₃, E₄, E₅, nous ajoutons un bouton poussoir permettant de mémoriser l'état en cours : bouton b appuyé (b = 1) ⇒ les lampes se figent dans le dernier état rencontré.

Les circuits séquentiels utilisés sont des bascules D.

4.1.1 Montrer que ce système peut n'utiliser que 3 sorties S₁, S₂, S₃.

4.1.2 Établir le graphe des états.

4.1.3 Établir la table des états présents et suivants, en tenant compte des valeurs de b : b = 1 bouton enfoncé ⇒ mémorisation de l'état courant, b = 0 bouton relâché ⇒ état suivant.

4.1.4 Établir la table de transition, les états codés de la façon suivante (E_i = e₂ e₁ e₀ ; E₁ = 000, E₂ = 001, E₃ = 010, E₄ = 011, E₅ = 100).

4.1.5 Élaborer puis simplifier par la méthode de Karnaugh, les équations des états.

4.1.6 Élaborer puis simplifier par la méthode de Karnaugh, les équations des sorties : S₁, S₂, S₃.

4.2 Exercice 2

Soit un compteur synchrone réalisant la séquence 1, 3, 4, 5, 6 avec des bascules JK et J_i = K_i.

4.2.1 Élaborer le graphe des états.

4.2.2 Élaborer la table des états présents et des états suivants

4.2.3 Élaborer la table de transition de la bascule J K

4.2.4 Simplifier les équations des bascules JK par la méthode de Karnaugh.

4.2.5 Réaliser le schéma du circuit en n'utilisant que des portes INV, NOR et/ou NAND.

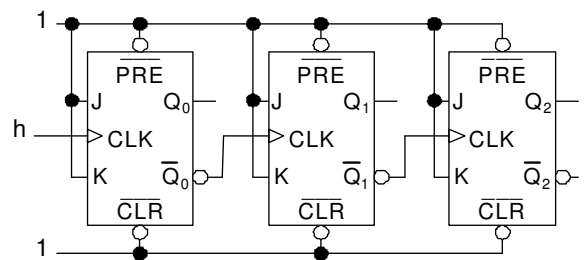
4.3 Exercice 3

Soit un compteur synchrone réalisé avec des bascules JK permettant de créer la séquence 1, 2, 5, .7.

- 4.3.1 Élaborer le graphe des états.
- 4.3.2 Élaborer la table des états présents et des états suivants
- 4.3.3 Élaborer la table de transition de la bascule J K
- 4.3.4 Simplifier les équations des bascules JK par la méthode de Karnaugh.
- 4.3.5 Réaliser le schéma du circuit en n'utilisant que des portes INV, NOR et/ou NAND.

4.4 Exercice 4

Les conditions initiales du compteur ci contre sont :
 $Q_0 = Q_1 = Q_2 = 0$.



- 4.4.1 Élaborer le chronogramme des sorties pour 10 impulsions d'horloge.

Chaque bascule possède un temps de propagation (retard) de 8 ns : c'est le temps qui sépare le front déclencheur (entrée CLK) et le changement d'état correspondant (sorties Q_2 Q_1 Q_0)

- 4.4.2 Déterminer le ou les pires cas de propagation (cas pour lesquels le temps de propagation entre CLK et Q_2 et le plus long) et calculer les temps de propagation.

4.5 Exercice 5

- 4.5.1 Faire le schéma d'un compteur asynchrone modulo 5 à l'aide de bascules JK et de portes logique INV, NOR et/ou NAND.

4.6 Exercice 6

Soit un compteur synchrone réalisé avec des bascules JK ($J_i = K_i$) permettant de créer la séquence 1, 3, 4, 6.

- 4.6.1 Élaborer le graphe des états.
- 4.6.2 Élaborer la table des états présents et des états suivants
- 4.6.3 Élaborer la table de transition de la bascule J K
- 4.6.4 Simplifier les équations des bascules JK par la méthode de Karnaugh.
- 4.6.5 Réaliser le schéma du circuit en n'utilisant que des portes INV, NOR et/ou NAND.