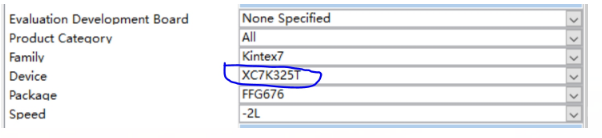
非常重要： 在实验时请务必规范操作，不要将金属等物件放到实验箱内，实验结束时要关闭主电源开关！！！

1. 为交流方便，紫金港的称为SWORD-V2版，玉泉实验室称为SWORD-V4版；

2. 根据使用反馈意见，SWORD-V4版作了如下改进：

1）FPGA芯片从160T升级为325T,芯片的引脚(UCF)完全兼容。建立设计工程时要选择“XC7K325T”,其他不变，原来工程只要此处或部分UCF就可以使用，如下图：



2）时钟改为更可靠的双端口差分时钟模式，主频为200MHz，具体使用以分频器为例说明如下：（为更清楚看清流水线的执行过程，我们的试验中更需要的是手动（按键）单步时钟，而不是连续时钟，因此这个模块可以不用）

Module clkdiv(input clk200P,clk200N,

input rst,  
 output reg[31:0]clkdiv,  
 output clk100MHz  
 );  
   
 IBUFDS sclk(.I(clk200P),

//clk:differential clock to signel ended clock

.IB(clk200N),  
 .O(clk200m) // this is what we use  
 );  
 // Clock divider-时钟分频器  
 assign clk100MHz = clkdiv[0];  
 always @ (posedge clk200m or posedge rst) begin   
 if (rst) clkdiv <= 0;   
 else clkdiv <= clkdiv + 1'b1;   
 end  
 endmodule

3）三片SRAM的CS、OE、BLE、BHE等片选和使能信号改为独立控制，增加了灵活性，由此调整了部分UCF。当不作板级Cache设计时，可以作为32位静态主存和16位独立显存(VRAM)。不使用DDR3也可以扩展片内存储器；

4）LED修改为高电平点亮，包括Arduino子板上的LED；

5）陈列式键盘改为5\*5，除16进制数字键外增加了9个控制键；

6）去掉了SATA接口增加了PCIe接口以适应当前AI热潮带来的教学发展需求；

7）去掉了多余的PMOD接口，仅保留一个；

8）重新设计了ARDUINO子板，去掉了双排转接线，LED改为高点亮，有二种扫描方式

9）增加了RS-323 TTL接口，用于触摸屏连接；

10）显示屏改为9.7寸，1024\*768分辩率，有VGA、HDMI和触屏等接口；

11）JTAG下载器改为微型高速下载模块直接与主板JTAG接口连接，如下图：

