

第10章 时序逻辑电路

东北大学 机械电子工程研究所

2025/4/23

东北大学 机械工程与自动化学院

1



第10章 时序逻辑电路

- 基本概念
- 时序逻辑电路分析方法
- 寄存器
- 计数器
- 集成计数器
- 同步时序逻辑电路设计

2025/4/23

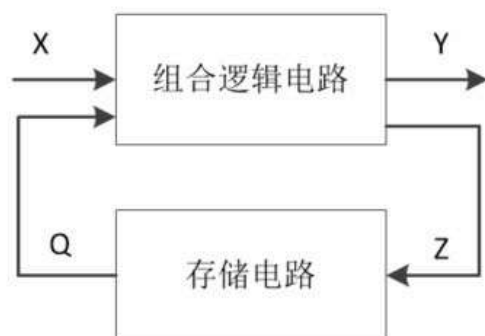
东北大学 机械工程与自动化学院

2



➤ 时序逻辑电路的特点

- 在逻辑功能上，任一时刻的稳定输出不仅决定于该时刻的输入，而且和电路原来状态有关。
- 在结构上，电路中包含存储元件—通常由触发器构成。



$$Y = F(X, Q^n)$$

输出方程

$$Z = G(X, Q^n)$$

驱动方程

$$Q^{n+1} = H(Z, Q^n)$$

状态方程



时序逻辑电路的分类

- 按触发方式分为同步时序逻辑电路和异步时序逻辑电路。
- 同步时序电路，所有存储单元状态由同一个时钟信号触发，即所有存储单元的状态转换发生在同一时刻。
- 异步时序电路，存储单元的状态转换不一定发生在同一时刻。

- 按逻辑功能分类
 - 寄存器
 - 计数器
 - 序列信号发生器



➤ 时序逻辑电路的分析

➤ 通过分析，找出电路状态和电路的输出在输入信号和时钟信号作用下的变化规律。

➤ 时序逻辑电路的分析步骤

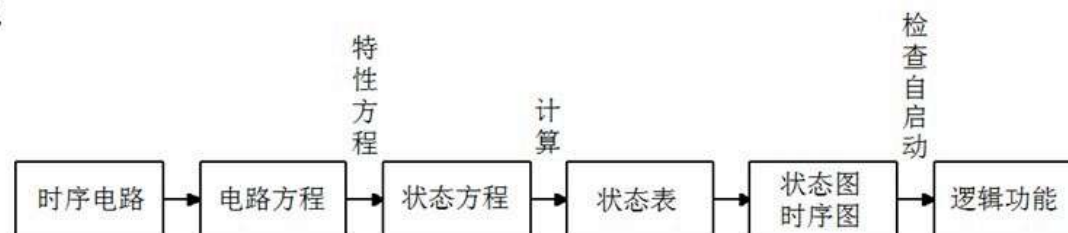
➤ 分析电路组成，写出逻辑方程式（时钟方程，驱动方程，输出方程）

➤ 将驱动方程带入触发器的特性方程，得到状态方程

➤ 进行计算和列状态转换真值表

将任何一组输入变量及电路的初始状态的取值，代入状态方程和输出方程，计算出电路的次态值和相应输出值，然后继续这个过程，直到考虑了所有可能的状态为止。将这些计算结果列成真值表的形式，就得到状态转换真值表。

➤ 检查自启动，概况逻辑功能



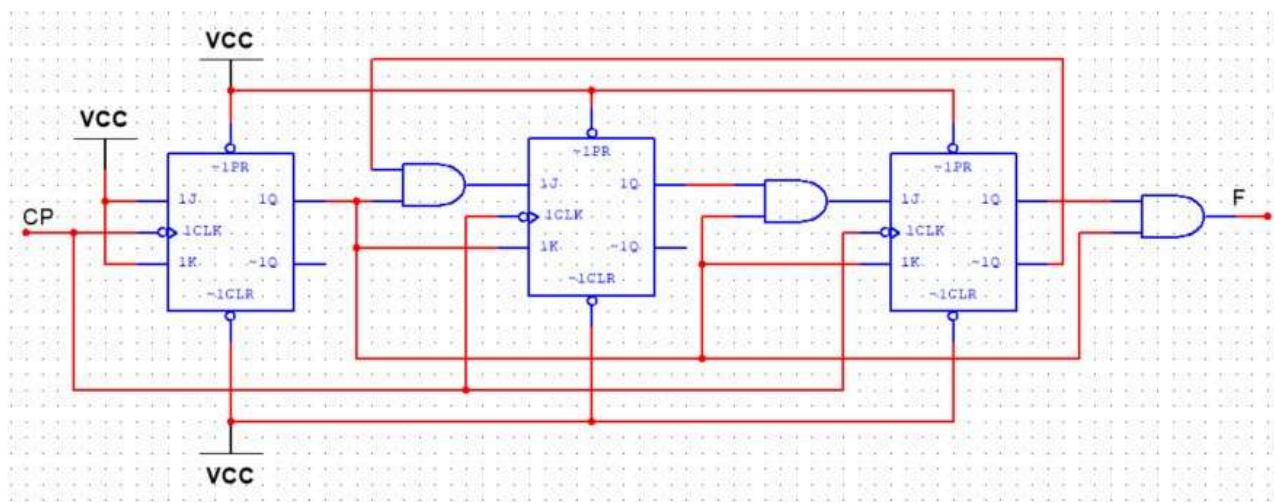
2025/4/23

东北大学 机械工程与自动化学院

5



► 例题1, 分析由JK触发器组成的时序逻辑电路



► 时钟方程 $CP_1 = CP_2 = CP_3 = CP$

驱动方程 $J_1 = K_1 = 1$ $J_2 = Q_1^n \overline{Q_3^n}$ $K_2 = Q_1^n$

► 输出方程 $F = Q_1^n Q_3^n$

$J_3 = Q_1^n Q_2^n$ $K_3 = Q_1^n$

2025/4/23

东北大学 机械工程与自动化学院

6



➤ 时钟方程 $CP_1 = CP_2 = CP_3 = CP$

➤ 输出方程 $F = Q_1^n Q_3^n$

➤ 驱动方程 $J_1 = K_1 = 1 \quad J_2 = Q_1^n \overline{Q_3^n} \quad K_2 = Q_1^n$
 $J_3 = Q_1^n Q_2^n \quad K_3 = Q_1^n$

➤ 将驱动方程带入JK触发器特性方程，得状态方程 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = Q_1^n \overline{Q_3^n} \overline{Q_2^n} + \overline{Q_1^n} Q_2^n$$

$$Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} Q_3^n$$

状态转换表和状态转换图。初始状态为 $Q_3^n Q_2^n Q_1^n = 000$

$$Q_1^{n+1} = \overline{Q_1^n} \rightarrow Q_1^{n+1} = 1$$

$$Q_2^{n+1} = Q_1^n \overline{Q_3^n} \overline{Q_2^n} + \overline{Q_1^n} Q_2^n \rightarrow Q_2^{n+1} = 0$$

$$Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} Q_3^n \rightarrow Q_3^{n+1} = 0 \quad F = Q_1^n Q_3^n \rightarrow F = 0$$

结果 $Q_3^n Q_2^n Q_1^n = 001$ 作为初始状态，带入状态方程和输出方程，继续求解。



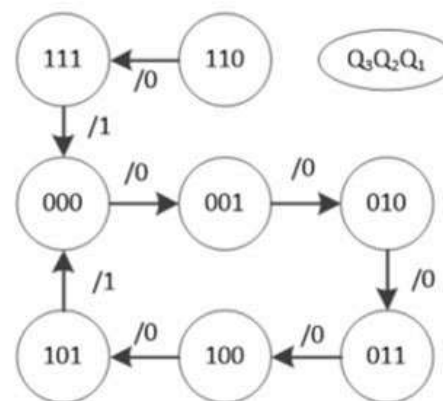
状态转换表

时钟	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
1	0	0	0	0	0	1	0
2	0	0	1	0	1	0	0
3	0	1	0	0	1	1	0
4	0	1	1	1	0	0	0
5	1	0	0	1	0	1	0
6	1	0	1	0	0	0	1
	1	1	0	1	1	1	0
	1	1	1	0	0	0	1

在时钟作用下无效状态能返回有效状态，
称为电路具有自启动功能。

该电路为同步六进制加法计数器，能够自启动。

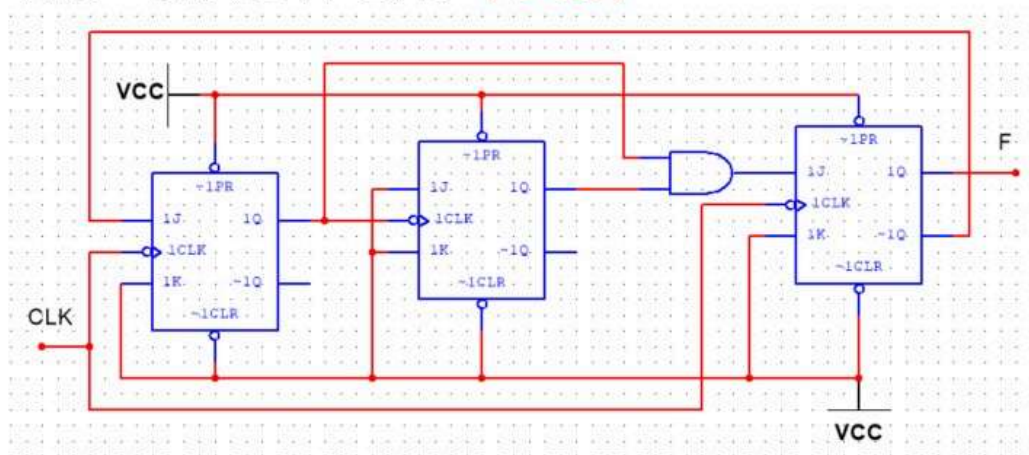
状态转换图



无效状态为：110和111。
能够自启动。



►例题2，异步时序逻辑电路（了解）



►异步时序逻辑电路，时钟方程 $CLK_1 = CLK_3 = CLK$ ， $CLK_2 = Q_1^n$ 输出方程 $F = Q_3^n$

►JK触发器得驱动方程

$$J_1 = \overline{Q_3^n}, \quad K_1 = 1, \quad J_2 = K_2 = 1, \quad J_3 = Q_1^n Q_2^n, \quad K_3 = 1$$

2025/4/23

东北大学 机械工程与自动化学院

9



➤ 时钟方程 $CLK_1 = CLK_3 = CLK$, $CLK_2 = Q_1^n$ 输出方程 $F = Q_3^n$

➤ 驱动方程 $J_1 = \overline{Q_3^n}$, $K_1 = 1$, $J_2 = K_2 = 1$, $J_3 = Q_1^n Q_2^n$, $K_3 = 1$

➤ 将驱动方程带入JK触发器得特性方程，得状态方程 $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_3^n}, \quad Q_2^{n+1} = \overline{Q_2^n}, \quad Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n}$$

➤ 电路初始状态为 $Q_3^n Q_2^n Q_1^n = 000$

➤ 只有确定状态方程有效，才能带入状态方程求解。

➤ 当时钟 CLK 出现下降沿时，通过状态方程计算 Q_1^{n+1} 和 Q_3^{n+1} ，判断 CLK_2 是否存在下降沿。只有 CLK_2 出现下降沿，才通过状态方程求 Q_2^{n+1} 。

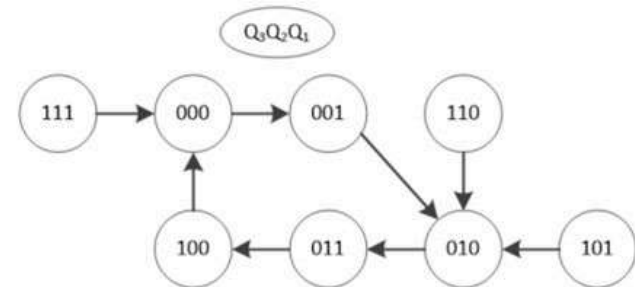


状态转换表

状态转换图

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_3^n}, \quad Q_2^{n+1} = \overline{Q_2^n}, \quad Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} \quad CLK_2 = Q_1^n$$

时钟	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F	$CLK3$	$CLK2$	$CLK1$
1	0	0	0	0	0	1	0	↓		↓
2	0	0	1	0	1	0	0	↓	↓	↓
3	0	1	0	0	1	1	0	↓		↓
4	0	1	1	1	0	0	0	↓	↓	↓
5	1	0	0	0	0	0	1	↓		↓
	1	0	1	0	1	0	1	↓	↓	↓
	1	1	0	0	1	0	1	↓		↓
	1	1	1	0	0	0	1	↓	↓	↓

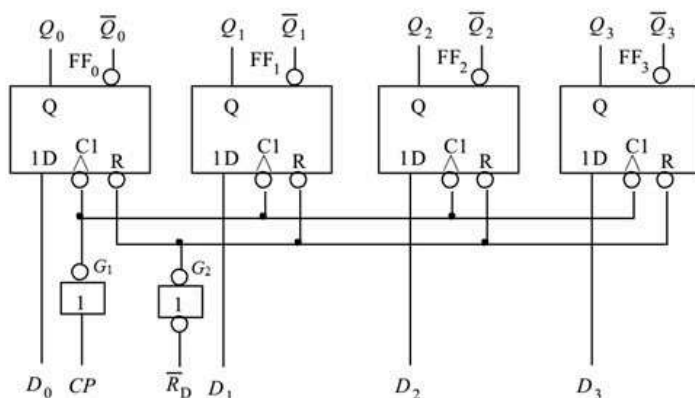


该电路具有对时钟信号进行计数的功能，为异步五进制加法计数器，能够自启动。



寄存器

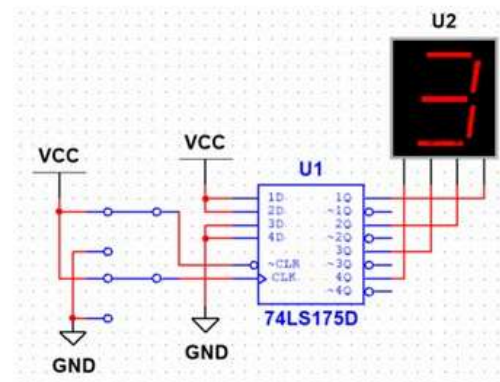
- 存放二进制数据或代码的逻辑电路。
- 四位集成寄存器74LS175



74LS175具有异步清零、同步存数和数据保持三个基本功能。

74LS175的功能表

清零	时钟	输入	输出	工作模式
\bar{R}_D	CP	$D_0 D_1 D_2 D_3$	$Q_0 Q_1 Q_2 Q_3$	
0	×	×	0 0 0 0	异步清零
1	↑	$D_0 D_1 D_2 D_3$	$D_0 D_1 D_2 D_3$	数码寄存
1	1	×	保持	数据保持
1	0	×	保持	数据保持



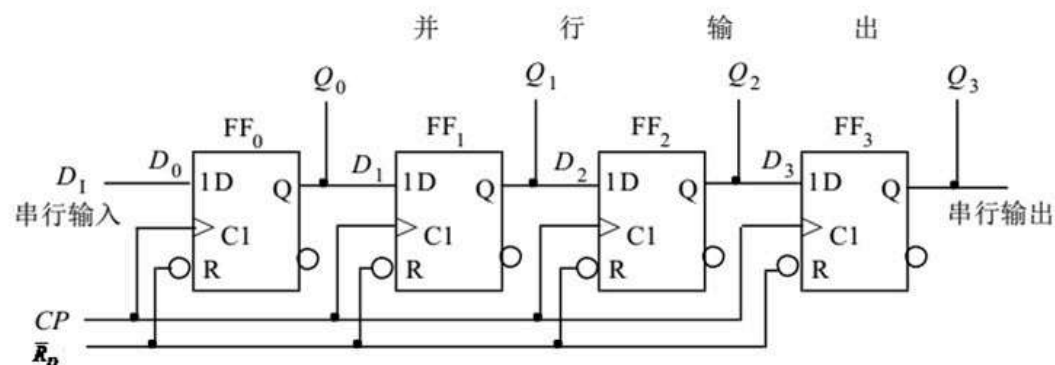
2025/4/23

东北大学 机械工程与自动化学院

12



移位寄存器

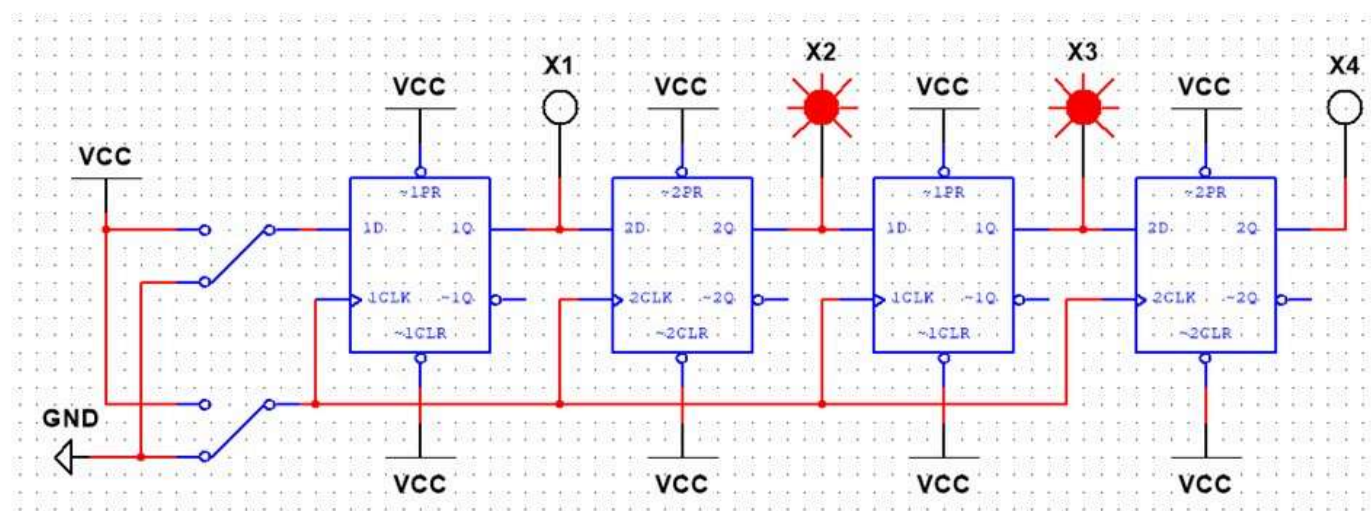


- 时钟方程 $CP_0 = CP_1 = CP_2 = CP_3 = CP$
- 驱动方程 $D_0 = D_i, D_1 = Q_0^n, D_2 = Q_1^n, D_3 = Q_2^n$
- 状态方程 $Q_0^{n+1} = D_i, Q_1^{n+1} = Q_0^n, Q_2^{n+1} = Q_1^n, Q_3^{n+1} = Q_2^n$

寄存 n 位二进制代码， n 个CP完成串行输入，
可以并行输出，再经 n 个CP进行串行输出。
串行数据输入端为0， n 个CP后寄存器清零。



四位移位寄存器



- 每个时钟的上升沿，各个D触发器的状态进行变化。
- 经过4个时钟上升沿，串行输入的4个二进制数全部进入移位寄存器中，可以进行并行输出，实现串行-并行转换。
- 如果继续4个时钟的上升沿，可以实现4位二进制数的串行输出。

2025/4/23

东北大学 机械工程与自动化学院

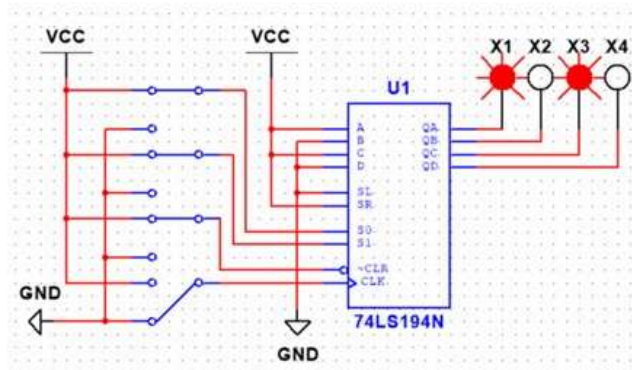
14



四位双向移位寄存器--74LS194

- \overline{CLR} 为异步清零端。当 $\overline{CLR}=0$ 时，进行异步清零。正常工作， \overline{CLR} 为高电平。
- 当 $S_1S_0=11$ 时，在时钟的上升沿，进行送数。
- 当 $S_1S_0=01$ 时，进行数据的右移，当 $S_1S_0=10$ 时，进行数据的左移。
- 当 $S_1S_0=00$ 时，进行数据的保持。
- SL 为左移串行数据输入端，SR 为右移串行数据输入端。

\overline{CLR}	S_1	S_0	状态
0	X	X	清零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	送数



送数0101

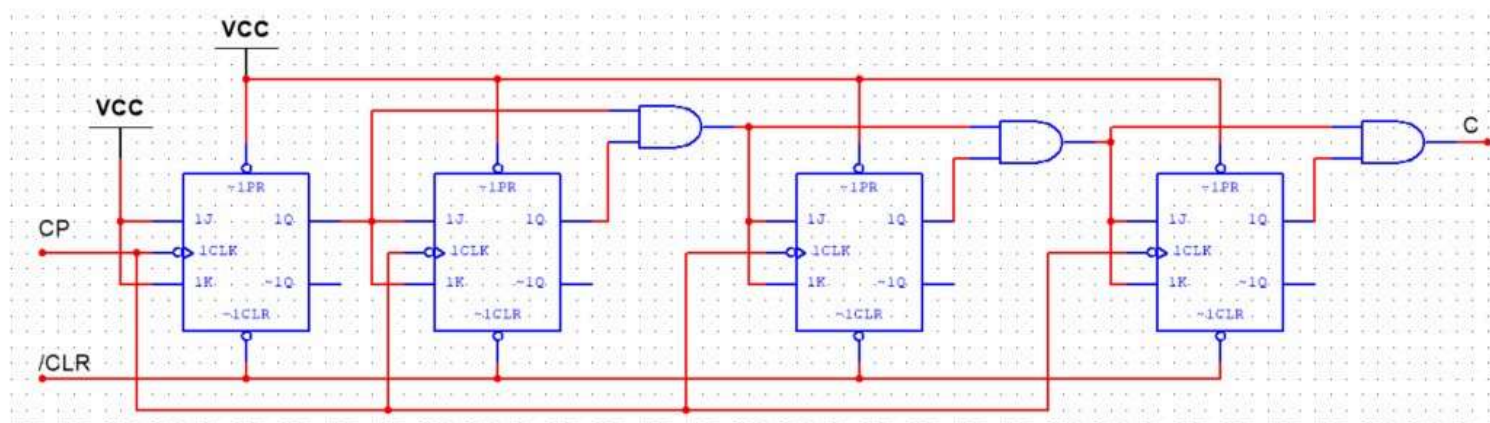


计数器

- 计数器，具有记忆输入脉冲个数功能的电路。
- 按照触发器状态更新情况不同分为
 - 同步计数器，各触发器受同一时钟脉冲—输入计数脉冲控制，同步更新状态。
 - 异步计数器，有的触发器受计数脉冲控制，有的是以其它触发器输出为时钟脉冲，状态更新有先有后。
- 按照计数器数值增减情况不同分为
 - 加法计数器，随计数脉冲的输入递增计数。
 - 减法计数器，随计数脉冲的输入递减计数。
 - 可逆计数器，随计数脉冲的输入可增可减的计数



➤四位同步二进制加法计数器



➤时钟方程 $CP_1 = CP_2 = CP_3 = CP_4 = CP$ 驱动方程 $J_1 = K_1 = 1 \quad J_2 = K_2 = Q_1^n$

➤输出方程 $C = Q_1^n Q_2^n Q_3^n Q_4^n$ $J_3 = K_3 = Q_1^n Q_2^n, \quad J_4 = K_4 = Q_1^n Q_2^n Q_3^n$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

➤状态方程

$$Q_1^{n+1} = \overline{Q_1^n}, \quad Q_2^{n+1} = Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n, \quad Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} Q_3^n, \quad Q_4^{n+1} = Q_1^n Q_2^n Q_3^n \overline{Q_4^n} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n$$

2025/4/23

东北大学 机械工程与自动化学院

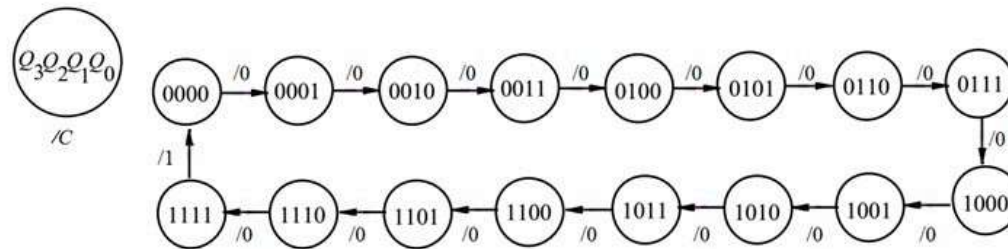
17



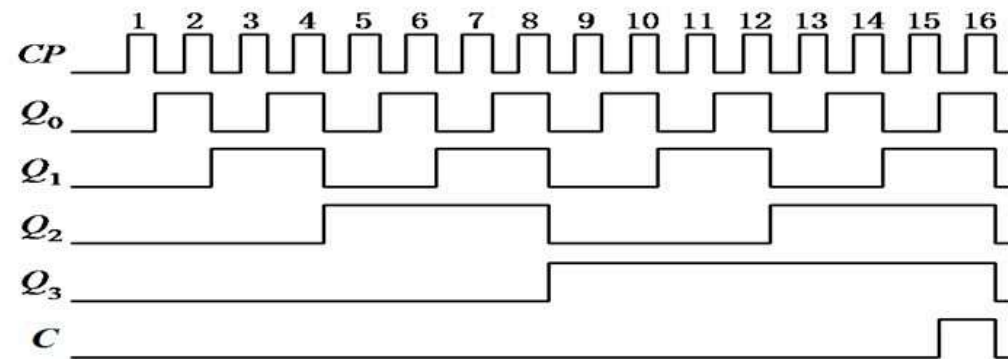
►四位同步二进制加法计数器

$$Q_1^{n+1} = \overline{Q_1^n}, \quad Q_2^{n+1} = Q_1^n \overline{Q_2^n} + \overline{Q_1^n} Q_2^n, \quad Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} \overline{Q_2^n} Q_3^n, \quad Q_4^{n+1} = Q_1^n Q_2^n Q_3^n \overline{Q_4^n} + \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} Q_4^n$$

状态转换表，省略。



状态转换图



时序图

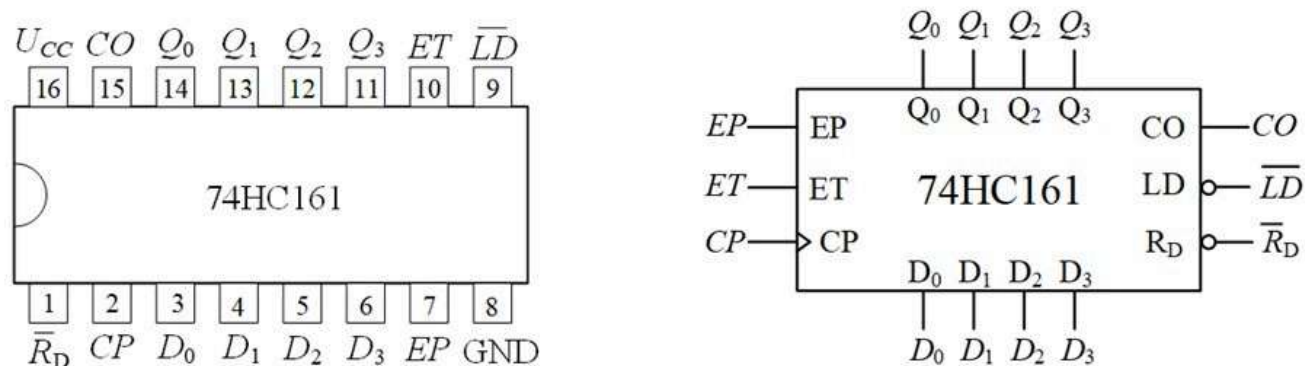
2025/4/23

东北大学 机械工程与自动化学院

18



►集成4位同步二进制加法计数器—74HC161



清零	预置	使能		时钟	预置数据输入				输出				工作模式
$\overline{R_D}$	\overline{LD}	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步置数
1	1	0	×	×	×	×	×	×	保持	保持	保持	保持	保持
1	1	×	0	×	×	×	×	×	保持	保持	保持	保持	保持 ($CO=0$)
1	1	1	1	↑	×	×	×	×	计	数	计	数	加法计数

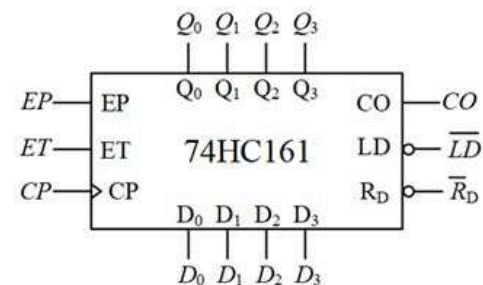
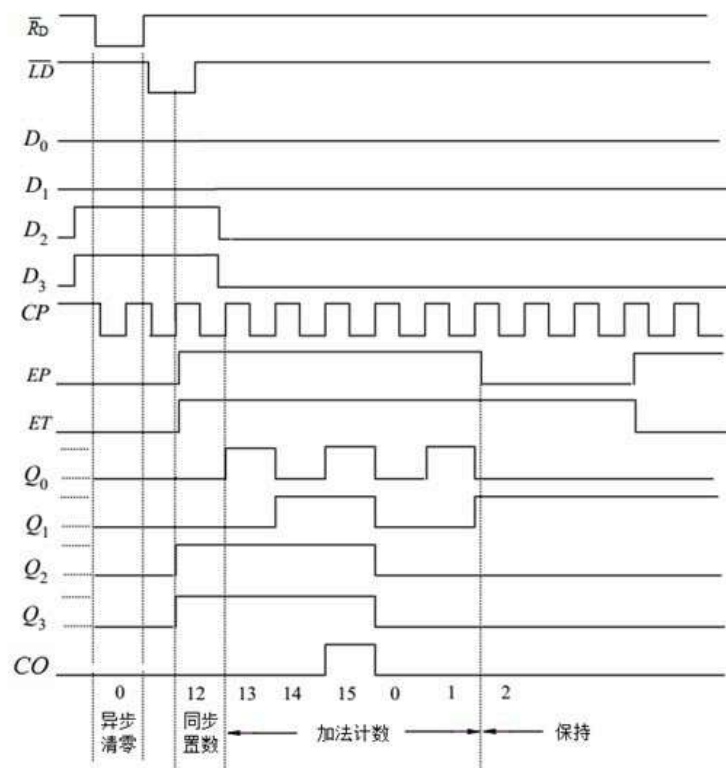
2025/4/23

东北大学 机械工程与自动化学院

19

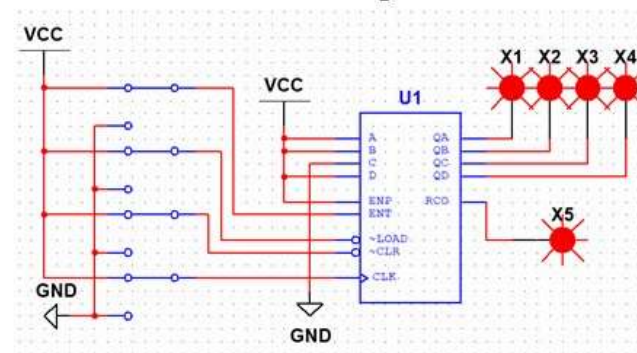


► 74HC161



保持: $P = 0$, $T = 1$; $P = 1$, $T = 0$

计数: $P = T = 1$; $\overline{R_D} = 1$, $\overline{L_D} = 1$



2025/4/23

东北大学 机械工程与自动化学院

20



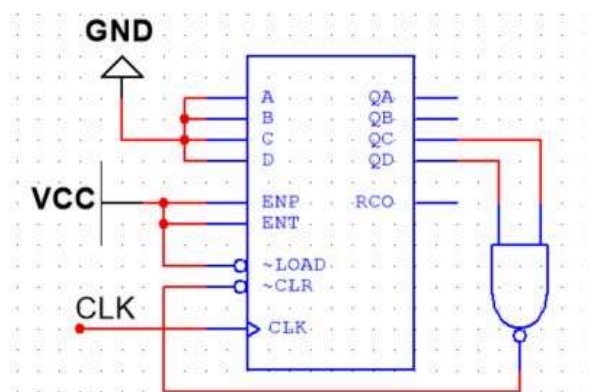
任意进制计数器

➤用集成计数器设计任意进制计数器

- 采用 M 进制计数器，设计 N 进制计数器。
- 如果 $M > N$ ，只需要一片 M 进制计数器。如果 $M < N$ ，需要多片 M 进制计数器。
- 对于 $M > N$ 的情况
 - 采用复位法设计任意进制计数器，输入 N 个计数脉冲后，计数器回到全零状态。
 - 异步清零方法，只要清零电平到来，立即清零。
 - 预置端送零法，输入 $N - 1$ 个脉冲后，预置端为零，第 N 个脉冲到来时，回到全零状态。
 - 置数法设计任意进制计数器，采用计数器的置数端，设计任意进制计数器。
 - 置最小数法，计数器达到最大数时，置入最小数，作为循环的起点。
 - 置最大数法，置入最大数，然后接着从零开始计数。



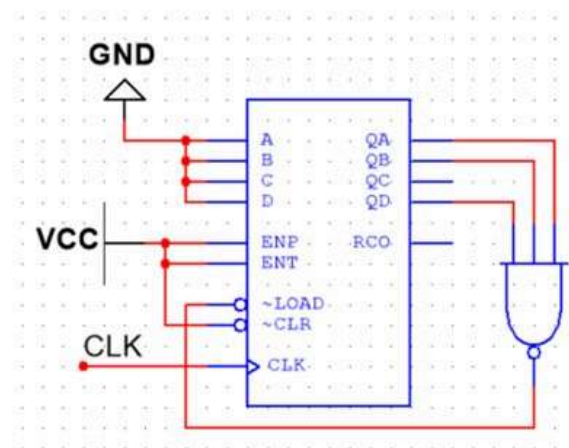
► 例题3, 74LS161设计十二进制加法计数器—复位法



异步清零，只要清零电平到来，立即清零。

$Q_3Q_2Q_1Q_0 = 0000$ ，到 $Q_3Q_2Q_1Q_0 = 1011$ ，12个状态

$Q_3Q_2Q_1Q_0 = 1100$ ， $\overline{CLR} = \overline{Q_3Q_2} = 0$ ， $Q_3Q_2Q_1Q_0 = 0000$



$Q_3Q_2Q_1Q_0 = 1011$ ， $\overline{LOAD} = \overline{Q_3Q_1Q_0} = 0$

下一个脉冲到达时，将0000置入计数器。

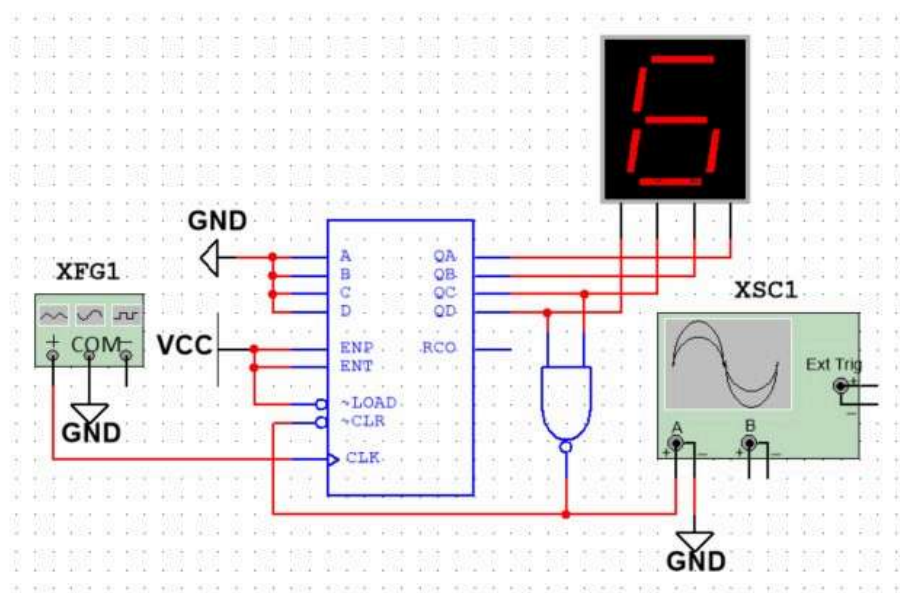
2025/4/23

东北大学 机械工程与自动化学院

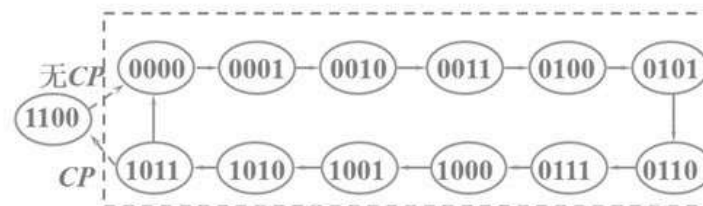
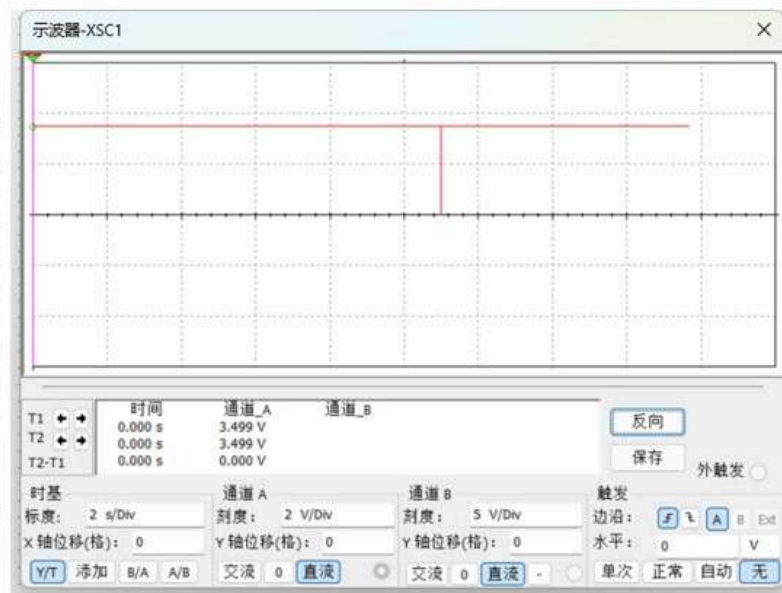
22



► 异步清零仿真



$$Q_3Q_2Q_1Q_0 = 1100, \overline{CLR} = \overline{Q_3Q_2} = 0, Q_3Q_2Q_1Q_0 = 0000$$



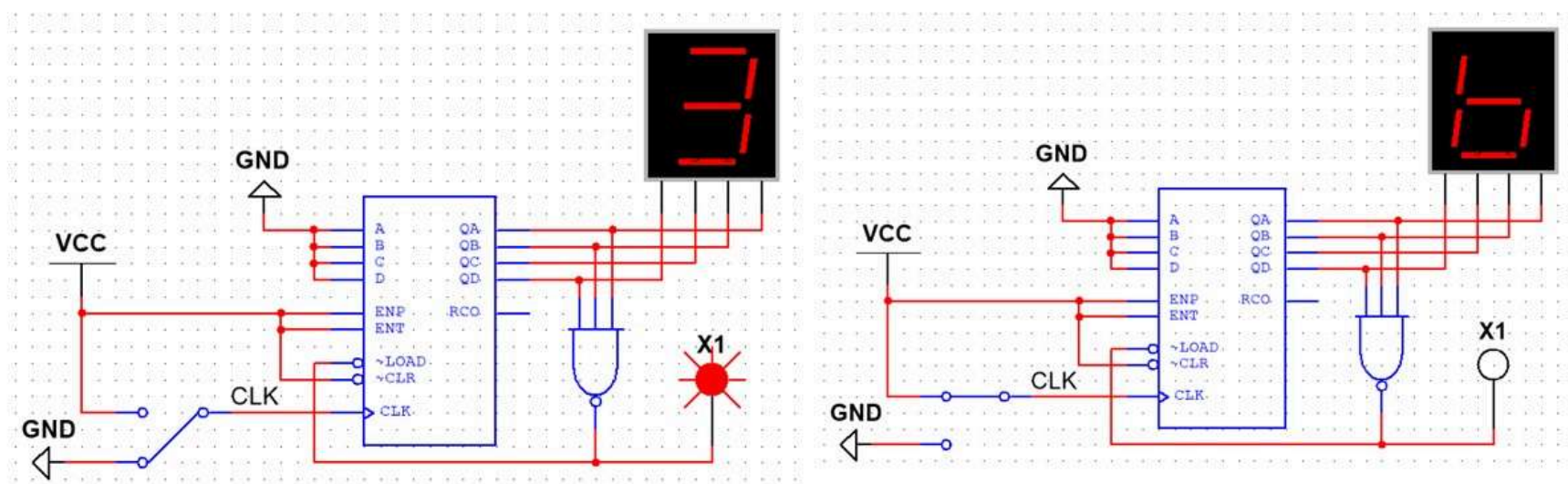
2025/4/23

东北大学 机械程与自动化学院

23



►十二进制计数器仿真



0000→0001→0010→0011→0100→0101→0110→0111→1000→1001→1010→1011→0000

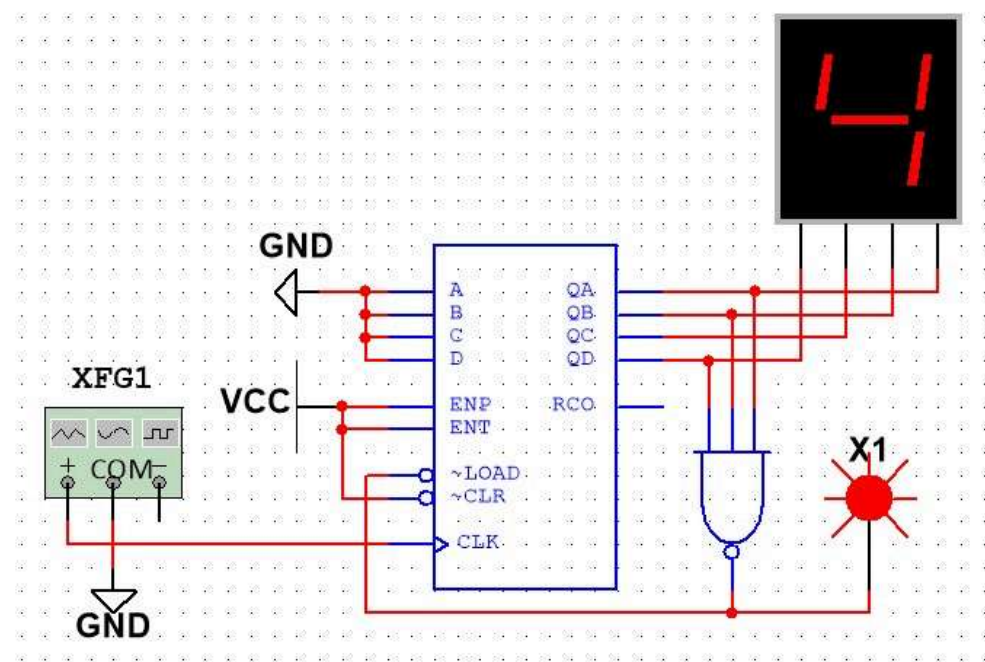
2025/4/23

东北大学 机械工程与自动化学院

24



►十二进制计数器仿真



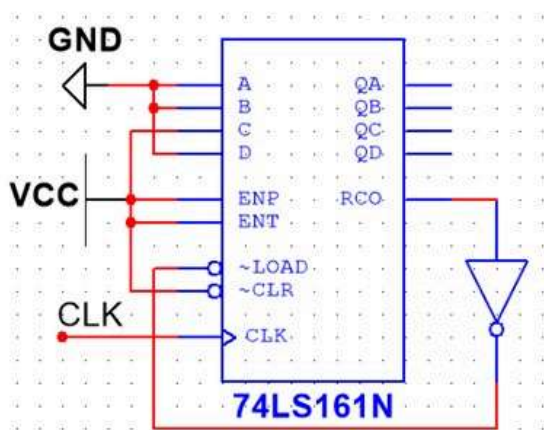
2025/4/23

东北大学 机械工程与自动化学院

25



► 例题4，74LS161设计十二进制加法计数器—置数法

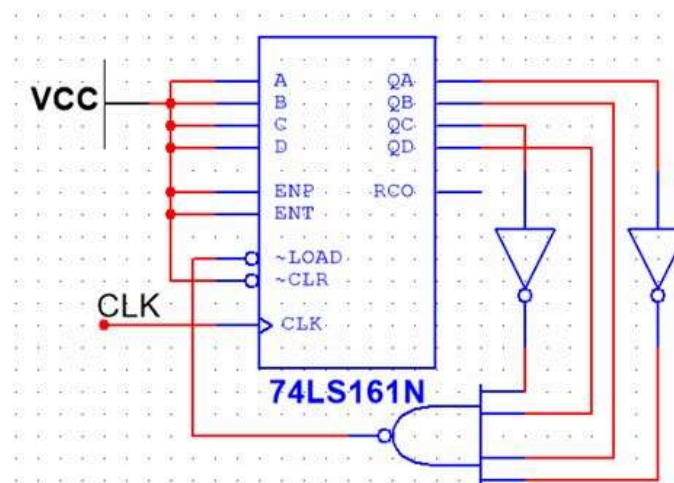


置最小数法，最小数为 $16-12=4$ 。

$$D_3D_2D_1D_0 = 0100$$

$$Q_3Q_2Q_1Q_0 = 0100 \rightarrow Q_3Q_2Q_1Q_0 = 1111$$

将进位输出，通过非门，接入置数端。



置最大数法，最大数为1111， $16-12=4$

跳过4个状态1011, 1100, 1101, 1110

$$Q_3Q_2Q_1Q_0 = 1010, \overline{LOAD} = 0$$

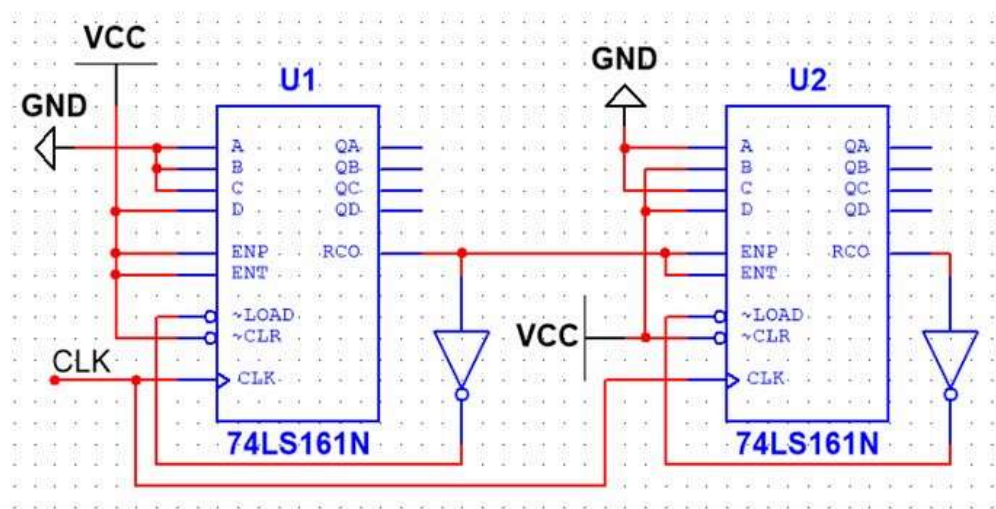
2025/4/23

东北大学 机械工程与自动化学院

26



►对于 $M > N$ 的情况，采用74LS161设计四十八进制计数器



$$48 = 8 \times 6$$

左侧为八进制计数器，右侧为六进制计数器

左侧：置最小数1000，然后逐渐增加，到1111时，产生进位，再置最小数。

$$Q_3Q_2Q_1Q_0 = 1000 \rightarrow Q_3Q_2Q_1Q_0 = 1111$$

右侧：置最小数1010，然后逐渐增加，到1111时，产生进位，再置最小数。

$$Q_3Q_2Q_1Q_0 = 1010 \rightarrow Q_3Q_2Q_1Q_0 = 1111$$

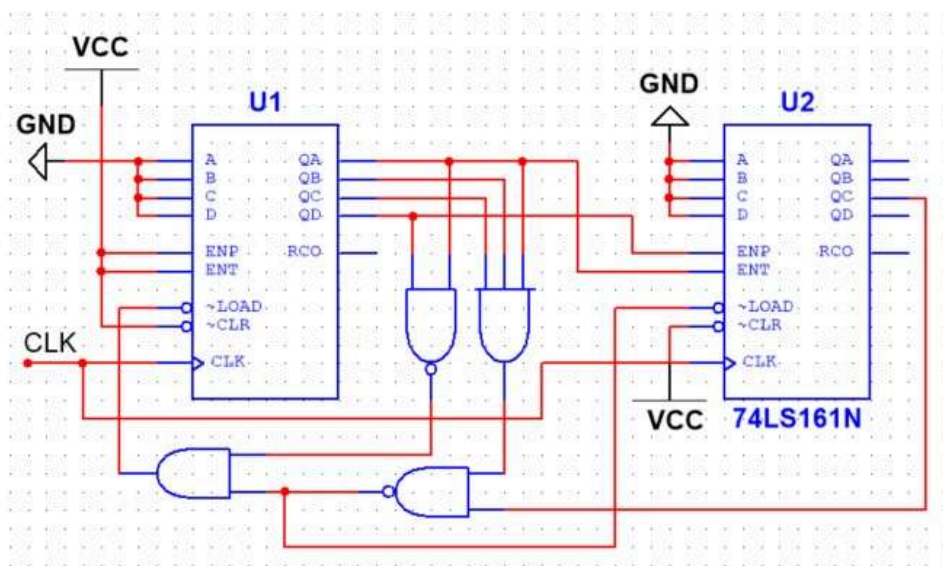
2025/4/23

东北大学 机械工程与自动化学院

27



➤ 74LS161设计四十八进制计数器—采用个位和十位方法



U1为个位，十进制计数器。
U2为十位。

当计数到47时，通过置数端
进行U1和U2的置零。

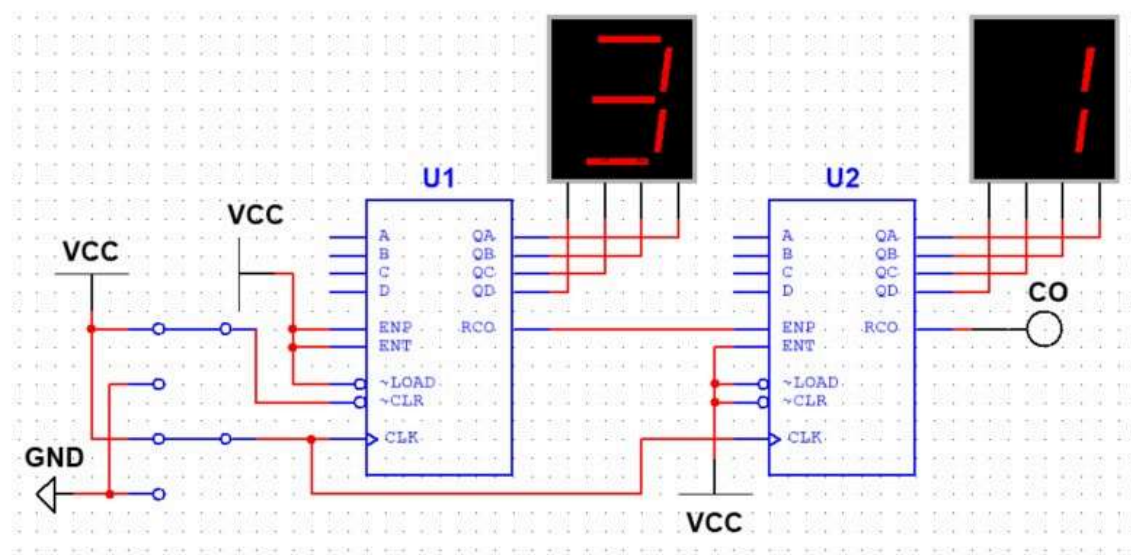
计数到47时，十位为0100，个位0111。

$$U1 \quad Q_3 Q_2 Q_1 Q_0 = 0111$$

$$U2 \quad Q_3 Q_2 Q_1 Q_0 = 0100$$



►八位二进制加法计数器（256进制计数器）--同步



同步连接方式，共用时钟CLK。
低四位计数到1111时，进位输出为1，在下一个时钟后，
低四位为0000，高四位计数值加1。

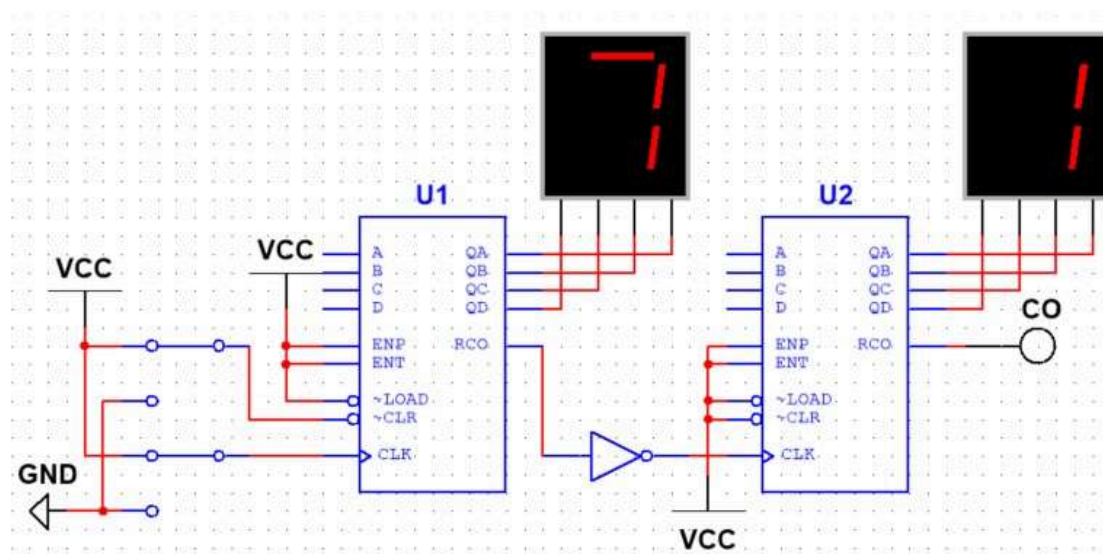
2025/4/23

东北大学 机械工程与自动化学院

29



►八位二进制加法计数器（256进制计数器）--异步



异步连接方式，低四位的进位输出，通过非门作为高四位的时钟。
低四位计数到1111时，进位输出为1，在下一个时钟后，低四位为0000，
低四位的进位输出变为0，高四位计数器产生上升沿，高四位计数值加1。

2025/4/23

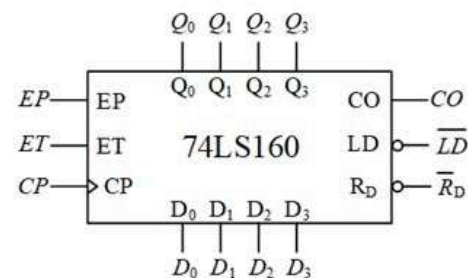
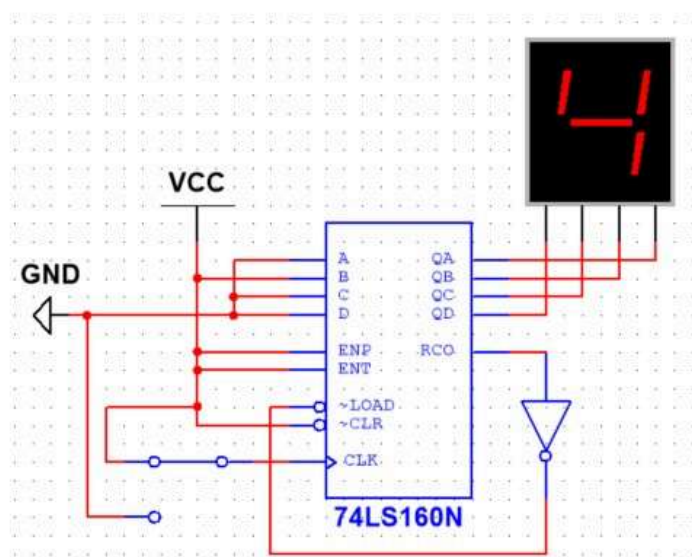
东北大学 机械工程与自动化学院

30



➤ 8421编码十进制计数器—74LS160 (了解)

- 74LS160和74LS161的区别只是计数容量不同，其余功能和引脚完全一样。
- 利用74LS160，通过置数法设计八进制计数器。



当计数到最大数1001时，处于预置数状态，下一个CLK上升沿，计数器被置数为0010，跳过的状态为0000和0001。

0010—0011—0100—0101—0110—0111—1000—1001

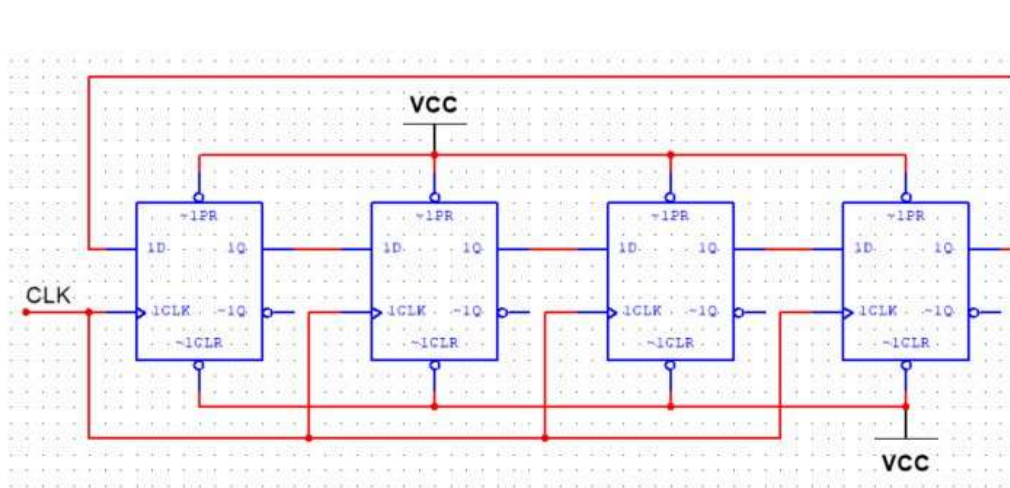
八进制加法计数器



移位寄存器型计数器（了解）

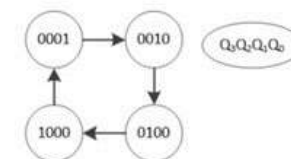
➤ 环形计数器

➤ 由4个D触发器组成四位环形计数器，同步时序逻辑电路。

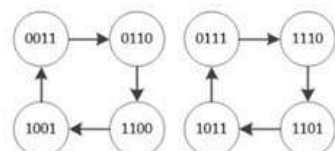


$$D_0 = Q_3^n, D_1 = Q_0^n, D_2 = Q_1^n, D_3 = Q_2^n$$

0000
0001
0010
0011
0100
0101
0110
0111
1000
1001
1010
1011
1100
1101
1110
1111



有效循环



无效循环

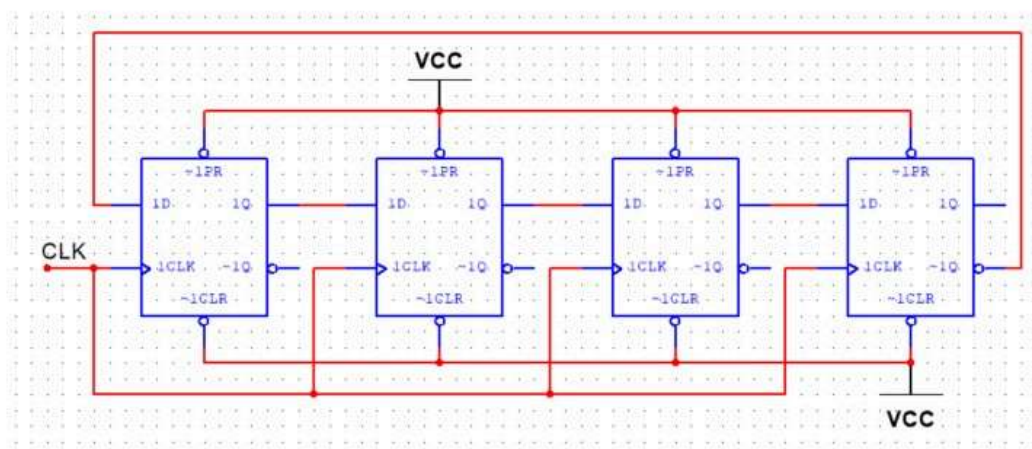
2025/4/23

东北大学 机械工程与自动化学院

32

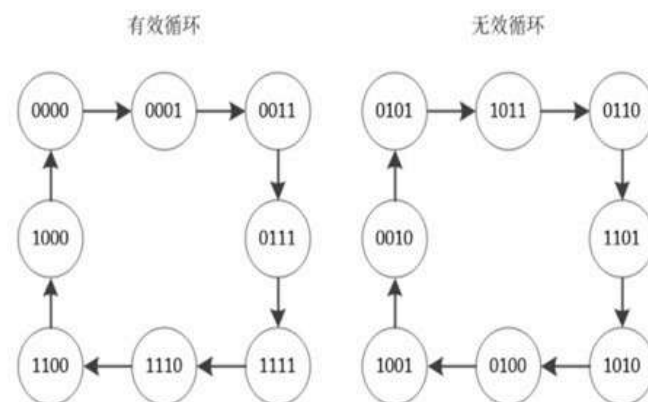


➤ 扭环形计数器 (了解)



将环形计数器的反馈改为 $D_0 = \overline{Q_3^n}$

$$D_0 = \overline{Q_3^n}, \quad D_1 = Q_0^n, \quad D_2 = Q_1^n, \quad D_3 = Q_2^n$$



有效循环有8个状态，相邻状态只有一个变量不同，不会产生竞争-冒险现象。

2025/4/23

东北大学 机械工程与自动化学院

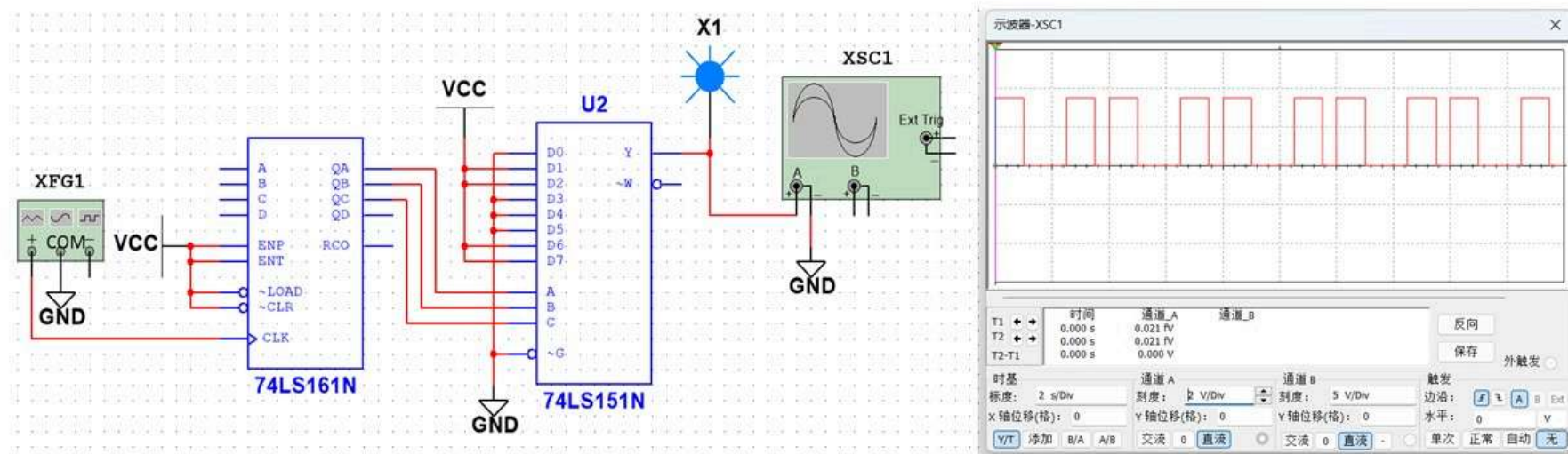
33



集成计数器的应用

➤ 计数器和数据选择器，设计序列信号发生器

0000 0000 0010 0011 0100 0101 0110 0111
1000 1001 1010 1011 1100 1101 1110 1111



计数器74LS161和八选一数据选择器，实现01100011序列发生器。
序列长度为8，74LS161的输出为8进制计数器。

$$D_0 \rightarrow D_1 \rightarrow D_2 \rightarrow D_3 \rightarrow D_4 \rightarrow D_5 \rightarrow D_6 \rightarrow D_7$$

2025/4/23

东北大学 机械工程与自动化学院

34



同步时序逻辑电路的设计

- 时序逻辑电路的设计，是时序逻辑电路分析的逆过程。
- 已知设计要求，求满足要求的逻辑电路。
- 设计步骤



2025/4/23

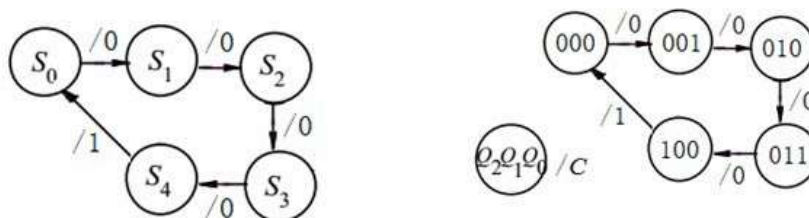
东北大学 机械工程与自动化学院

35



►例题5，设计同步五进制加法计数器（了解）

- 根据设计要求，设定状态，建立状态图。
- 状态化简。五个不同的状态，表示输入的时钟脉冲数，不需要化简。
- 状态分配，五个状态，采用三位二进制代码，三个触发器。将八种组合中取五种，列状态转换表。
- 求状态方程和输出方程。
 - 次态卡诺图和进位输出的卡诺图
 - 分解成小卡诺图，进行卡诺图化简



		Q_1^n			
		Q_0^n			
Q_2^n		00	01	11	10
0		001/ 0	010/ 0	100/ 0	011/ 0
1		000/ 1	×	×	×

状态转换表

状态 转换顺序	Q_2^n Q_1^n Q_0^n	Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}	进位输出 C
S_0	0 0 0	0 0 1	0
S_1	0 0 1	0 1 0	0
S_2	0 1 0	0 1 1	0
S_3	0 1 1	1 0 0	0
S_4	1 0 0	0 0 0	1

2025/4/23

东北大学 机械工程与自动化学院

36



►卡诺图化简，求状态方程和输出方程。

$Q_1^n \backslash Q_0^n$		00	01	11	10
Q_2^n	0	001/ 0	010/ 0	100/ 0	011/ 0
	1	000/ 1	×	×	×

$$Q_2^{n+1} = J\overline{Q_2^n} + \overline{K}Q_2^n$$

$$Q_2^{n+1} = D$$

$Q_1^n \backslash Q_0^n$		00	01	11	10
Q_2^n	0	0	0	1	0
	1	0	×	×	×

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n}$$

$$Q_2^{n+1} = Q_0^n Q_1^n$$

$Q_1^n \backslash Q_0^n$		00	01	11	10
Q_2^n	0	1	0	0	1
	1	0	×	×	×

$$Q_0^{n+1} = \overline{Q_0^n} \overline{Q_2^n}$$

$Q_1^n \backslash Q_0^n$		00	01	11	10
Q_2^n	0	0	1	0	1
	1	0	×	×	×

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$Q_1^n \backslash Q_0^n$		00	01	11	10
Q_2^n	0	0	0	0	0
	1	1	×	×	×

$$C = Q_2^n$$

2025/4/23

东北大学 机械工程与自动化学院

37



➤ 采用JK触发器，求驱动方程

$$J_2 = Q_0^n Q_1^n \quad K_2 = 1$$

$$J_1 = Q_0^n \quad K_1 = Q_0^n$$

$$J_0 = \overline{Q_2^n} \quad K_0 = 1$$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n}$$

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

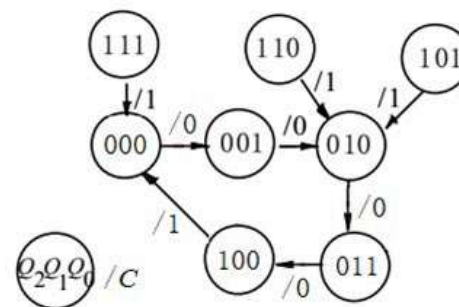
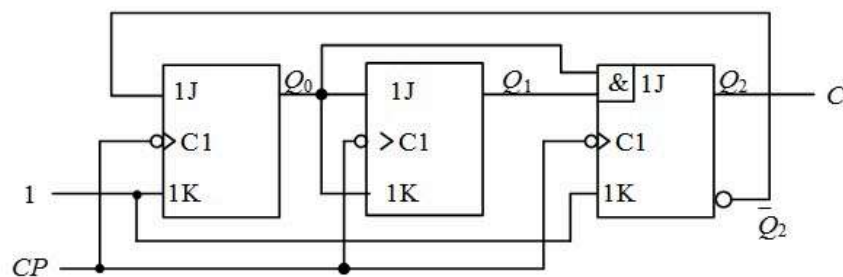
$$Q_0^{n+1} = \overline{Q_0^n} \overline{Q_2^n}$$

$$C = Q_2^n$$

➤ 画逻辑图

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

分析，检查自启动。能自启动。



2025/4/23

东北大学 机械工程与自动化学院

38



➤采用D触发器，求驱动方程

(无关项)

$$D_2 = Q_0^n Q_1^n \quad D_1 = Q_0^n \oplus Q_1^n \quad D_0 = \overline{Q_0^n} \overline{Q_2^n}$$

$$Q_2^{n+1} = Q_0^n Q_1^n$$

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

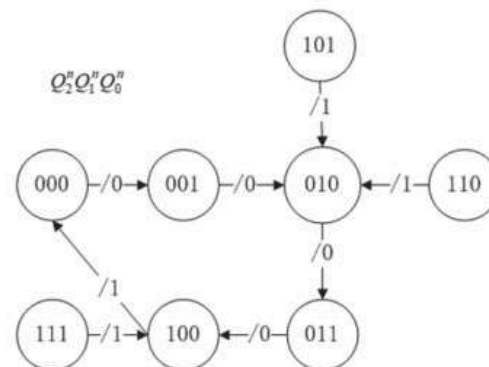
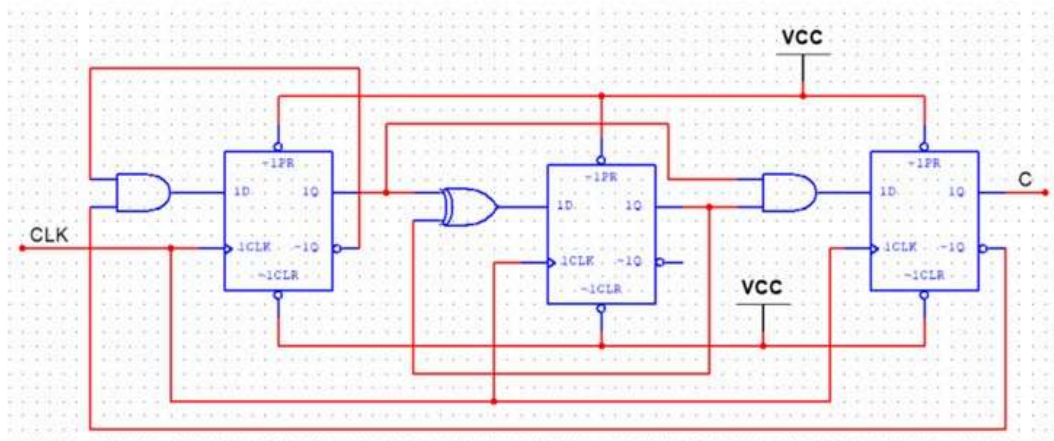
$$Q_0^{n+1} = \overline{Q_0^n} \overline{Q_2^n}$$

$$C = Q_2^n$$

➤画逻辑图

$$Q^{n+1} = D$$

分析，检查自启动。能自启动。



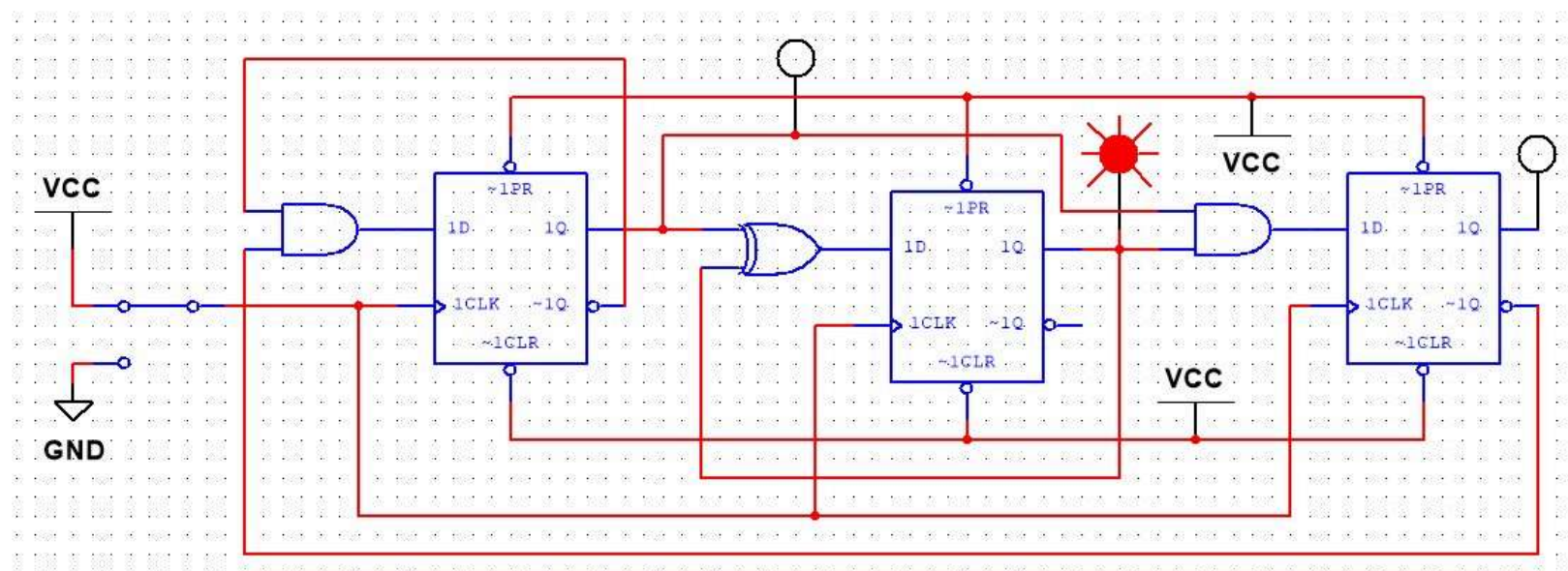
2025/4/23

东北大学 机械工程与自动化学院

39



►五进制加法计数器—D触发器



000→001→010→011→100→000

2025/4/23

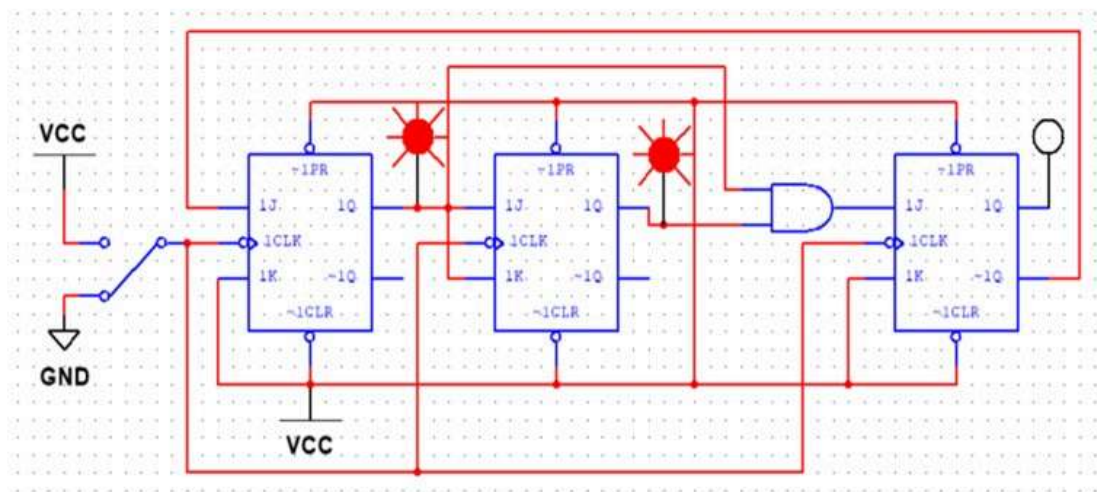
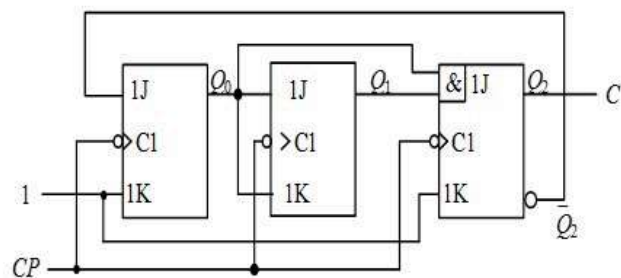
东北大学 机械工程与自动化学院

40



► 同步五进制加法计数器—JK触发器

$$J_2 = Q_0^n Q_1^n \quad K_2 = 1 \quad J_1 = Q_0^n \quad K_1 = Q_0^n \quad J_0 = \overline{Q_2^n} \quad K_0 = 1$$



000→001→010→011→100→000

2025/4/23

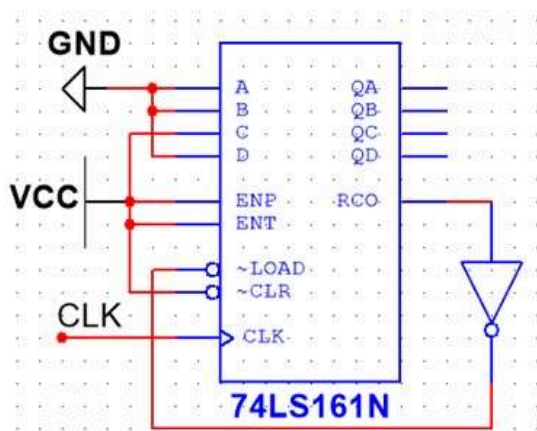
东北大学 机械工程与自动化学院

41

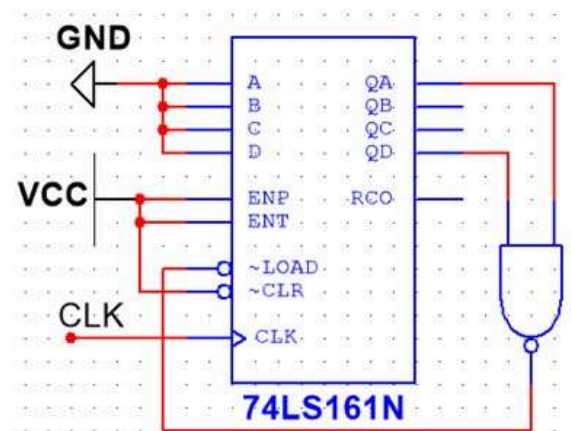


总结

- 例题5个。
- 练习题2个。
- 下面的计数器为 () 进制计数器。 下面的计数器为 () 进制计数器。



0100→1111, 十二进制计数器。



0000→1001, 十进制计数器。

2025/4/23

东北大学 机械工程与自动化学院

42